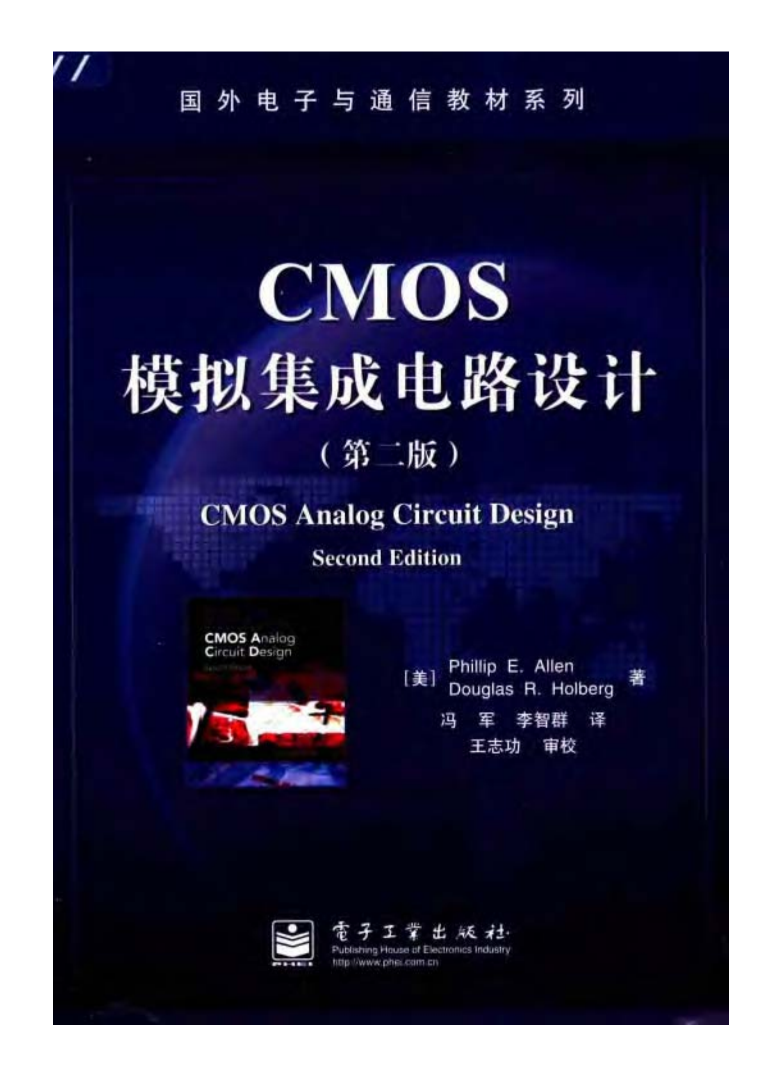
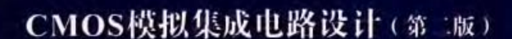


国外电子与通信教材系列
CMOS
模拟集成电路设计
（第二版）
CMOS Analog Circuit Design
Second Edition
[美] Phillip E. Allen
Douglas R. Holberg 著
冯 军 李智群 译
王志功 审校
電子工業出版社
Publishing House of Electronics Industry
http://www.phei.com.cn



CMOS Analog Circuit Design, Second Edition

期待多年之后，备受尊敬的两位作者 Phillip E. Allen和Douglas R. Holberg又为读者奉上了经典教材《CMOS 模拟集成电路设计》的第二版。作者从 CMOS 技术的前沿出发，将他们丰富的实践经验与教学经验相结合，对CMOS模拟电路设计的原理和技术给出了深入和详尽的论述。本书有两个主要目标：

- 将理论和实践完美结合，在内容处理上既不肤浅也不拘泥于细节
- 使读者能够应用层次化设计的方法进行模拟集成电路设计

第二版中讲到的多数技术和原理在过去的十年中已经介绍给了工业界的读者，他们提出的问题和需求对本书的修订起了很大作用，从而使新版教材成为更有价值的工程技术人员的参考书。

本书的特点是其独特的设计方法，该方法可使读者一步一步地经历创建实际电路的过程，并能够分析复杂的设计问题。本书详细讨论了容易被忽略的问题，同时有意识地淡化了双极型模拟电路，因为CMOS是模拟集成电路设计的主流工艺。本书适用于具有一定基础电子学背景知识的高年级本科生和研究生，这些知识主要包括：偏置、建模、电路分析和频率响应。本书提供了一个完整的设计流程图（包括建模、仿真和测试），使读者能够用 CMOS 技术完成模拟电路设计。

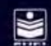
本书特点

- 传授专家们在设计方法上的经验
- 指出初学者在设计中遇到的共性问题
- 每章提供的例题有助于进一步加深学生对内容的理解
- 包含大量习题，可作为课后作业、测验和考试之用
- 增加了开关电容电路的内容
- 在附录中提供了仿真技术的材料和下面的补充材料：
  - CMOS 模拟设计电路分析的简单回顾
  - 分析 CMOS 电路的计算程序
  - 二阶系统时域和频域关系的概述









责任编辑：周宏敏
封面设计：毛惠庚

ISBN 7-121-00641-3　定价：65.00 元

国外电子与通信教材系列

CMOS 模拟集成电路设计

（第二版）

CMOS Analog Circuit Design

Second Edition

［美］ Phillip E. Allen
Douglas R. Holberg 著

冯 军 李智群 译

王志功 审校

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内容简介

本书是模拟集成电路设计课程的一本经典教材，作者从CMOS技术的前沿出发，结合丰富的工程和教学经验，对CMOS模拟电路设计的原理和技术以及容易被忽略的问题给出了详尽论述，阐述了分层设计的方法。全书共分十章，主要介绍了模拟集成电路设计的背景知识，CMOS技术，器件模型，以及主要模拟电路的原理和设计，包括CMOS基本单元电路（MOS开关、MOS二极管、有源电阻、电流漏、电流源、电流镜、带隙基准源、基准电流源和电压源等），放大器，运算放大器，比较器，开关电容电路，D/A和A/D转换电路。本书通过大量设计实例阐述设计原理，将理论与实践融为一体，同时还针对许多工业界人士的需求和问题进行了分析和解释，因而本书不仅可以用做大专院校相关专业高年级本科生和研究生的教材，也可以作为半导体和集成电路设计领域技术人员很有价值的参考书。

版权贸易合同登记号　图字：01-2003-3949

图书在版编目（CIP）数据

CMOS模拟集成电路设计（第二版）/（美）艾伦（Allen, P. E.）等著；冯军等译.
北京：电子工业出版社，2005.3
（国外电子与通信教材系列）
书名原文：CMOS Analog Circuit Design, Second Edition
ISBN 7-121-00641-3

Ⅰ.C…　Ⅱ.①艾…　②冯…　Ⅲ.模拟集成电路－电路设计－教材　Ⅳ.TN431.102

中国版本图书馆CIP数据核字（2005）第011573号

责任编辑：周宏敏
印　　刷：北京顺义兴华印刷厂
出版发行：电子工业出版社
　　　　　北京市海淀区万寿路173信箱　邮编：100036
经　　销：各地新华书店
开　　本：787×1092　1/16　　印张：41.25　　字数：1056千字
印　　次：2005年3月第1次印刷
定　　价：65.00元

凡购买电子工业出版社的图书，如有缺损问题，请向购买书店调换；若书店售缺，请与本社发行部联系。联系电话：（010）68279077。质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

序

2001年7月间，电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师，商量引进国外教材问题。与会同志对出版社提出的计划十分赞同，大家认为，这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材，意味着开设了一门好的课程，甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书，对近代电子学科、特别是对雷达技术的推动作用，就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代，在原教委教材编审委员会的领导下，汇集了高等院校几百位富有教学经验的专家，编写、出版了一大批教材；很多院校还根据学校的特点和需要，陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来，随着教学改革不断深入和科学技术的飞速进步，有的教材内容已比较陈旧、落后，难以适应教学的要求，特别是在电子学和通信技术发展神速、可以讲是日新月异的今天，如何适应这种情况，更是一个必须认真考虑的问题。解决这个问题，除了依靠高校的老师和专家撰写新的符合要求的教科书外，引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，是会有好处的。

一年多来，电子工业出版社为此做了很多工作。他们成立了一个"国外电子与通信教材系列"项目组，选派了富有经验的业务骨干负责有关工作，收集了230余种通信教材和参考书的详细资料，调来了100余种原版教材样书，依靠由20余位专家组成的出版委员会，从中精选了40多种，内容丰富，覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面，既可作为通信专业本科生和研究生的教学用书，也可作为有关专业人员的参考材料。此外，这批教材，有的翻译为中文，还有部分教材直接影印出版，以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里，我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度，充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步，对高校教学工作会不断提出新的要求和希望。我想，无论如何，要做好引进国外教材的工作，一定要联系我国的实际。教材和学术专著不同，既要注意科学性、学术性，也要重视可读性，要深入浅出，便于读者自学；引进的教材要适应高校教学改革的需要，针对目前一些教材内容较为陈旧的问题，有目的地引进一些先进的和正在发展中的交叉学科的参考书；要与国内出版的教材相配套，安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求，希望它们能放在学生们的课桌上，发挥一定的作用。

最后，预祝"国外电子与通信教材系列"项目取得成功，为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题，提出意见和建议，以便再版时更正。

吴佑寿
中国工程院院士、清华大学教授
"国外电子与通信教材系列"出版委员会主任

出 版 说 明

进入21世纪以来，我国信息产业在生产和科研方面都大大加快了发展速度，并已成为国民经济发展的支柱产业之一。但是，与世界上其他信息产业发达的国家相比，我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天，我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社，我们始终关注着全球电子信息技术的发展方向，始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间，我社先后从世界著名出版公司引进出版了40余种教材，形成了一套"国外计算机科学教材系列"，在全国高校以及科研部门中受到了欢迎和好评，得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，将有助于我国信息产业培养具有国际竞争能力的技术人才，也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于"十五"期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见，我们决定引进"国外电子与通信教材系列"，并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商，其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等，其中既有本科专业课程教材，也有研究生课程教材，以适应不同院系、不同专业、不同层次的师生对教材的需求，广大师生可自由选择和自由组合使用。我们还将与国外出版商一起，陆续推出一些教材的教学支持资料，为授课教师提供帮助。

此外，"国外电子与通信教材系列"的引进和出版工作得到了教育部高等教育司的大力支持和帮助，其中的部分引进教材已通过"教育部高等学校电子信息科学与工程类专业教学指导委员会"的审核，并得到教育部高等教育司的批准，纳入了"教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书"。

为做好该系列教材的翻译工作，我们聘请了清华大学、北京大学、北京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望，具有丰富的教学经验，他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外，对于编辑的选择，我们达到了专业对口；对于从英文原书中发现的错误，我们通过与作者联络、从网上下载勘误表等方式，逐一进行了修订；同时，我们对审校、排版、印制质量进行了严格把关。

今后，我们将进一步加强同各高校教师的密切关系，努力引进更多的国外优秀教材和教学参考书，为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足，在选题、翻译、出版等方面的工作中还有许多需要改进的地方，恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

译 审 者 序

"CMOS Analog Circuit Design"（即《CMOS 模拟集成电路设计》）一书是由 IEEE 会员、美国佐治亚理工学院教授 Phillip E. Allen 与 Cygnal 集成产品公司的共同创立者之一、现公司副总裁和首席技术官 Douglas R. Holberg 合作写出的关于 CMOS 模拟电路设计的专著，第一版于 1987 年问世。作者以丰富的经验在书中给出的"设计秘诀"深受读者欢迎。此后经过 15 年坚持不懈的努力，尤其通过学术界与工业界的结合，使第二版更具特色：在内容上，将理论与实践融为一体，对第一版在模拟电路设计方面的观点和概念进行了大量补充，在收录教学实践中不同层次学生的需求、思考和观念以及问题解答的同时，还针对工业界的需求和问题给出了分析和解释；在结构上，对全书进行了相应调整，使之更适应当前技术发展的需求。因此，本书不仅可以作为大专院校相关专业的教材，而且可以作为半导体和集成电路设计领域科技人员的参考书。

我们受电子工业出版社的委托，对该书的 2002 年版（即第二版）进行了翻译，旨在为我国正在蓬勃兴起的集成电路尤其是模拟集成电路设计人才的培养提供有价值的参考书，并为采用该原版教材进行双语教学的师生提供对照阅读的中译本。

本书第 1 ~ 6 章由冯军教授主持翻译，第 7 ~ 10 章和附录由李智群博士主持翻译，全书由王志功教授审校。

2003 年在东南大学无线电工程系射频与光电集成电路研究所从事研究工作的部分本科生和研究生为本书的翻译做了大量准备工作。在此对他们表示感谢。

鉴于时间紧迫和译者水平，译文中难免有错误之处，敬请读者批评指正。

译　者：冯 军，李智群
审校者：王志功

前　　言

本书第二版的目的仍然是介绍CMOS模拟电路的设计方法，只是电路设计的介绍远不止是给出一些电路的例子以及分析方法，它还包括在分层次设计方式中必须用到的基础知识和背景知识，以便初学者易于理解。本书最重要的就是讲授采用CMOS技术设计模拟集成电路的概念。这些概念能使读者理解模拟CMOS电路的工作原理以及如何改变电路性能。在当今依靠计算机的情况下，至关重要的一点就是继续保持人对设计的控制，知道希望得到什么，当模拟结果有误时如何辨别。随着集成电路设计变得越来越复杂，了解电路怎样工作变得越来越重要。如果不了解电路的工作原理，进行电路的模拟可能会引起错误的结果。

读者应怎样获取关于电路工作的知识呢？这是本书第二版致力解决的问题。在获取知识的过程中有这样几个重要的步骤：首先，学会分析电路。这种分析应能导出简单、易懂且可在不同场合重复应用的结果。其次，以分层次的观点来看模拟集成电路的设计。这就意味着设计者要能够清楚怎样利用子电路形成整体电路，怎样用简单电路构成复杂电路，等等。第三，列出一些步骤以便帮助初学者做出一些实用的设计。这就形成了一些所谓的"设计秘诀"，在第一版中曾很受欢迎，因此在第二版中又做了些补充。有一点很重要，这就是设计者了解CMOS模拟电路设计有三种简单的输出，它们是：(1)电路图；(2)直流电流；(3)宽长比。绝大多数设计流程或者"秘诀"都可以很容易地围绕这三种输出组织起来。

15年以前，人们还不清楚CMOS技术会对模拟电路设计产生多么重要的影响。然而，现在已经非常清楚，CMOS技术已成为混合信号环境中模拟电路设计的一种选择。这种技术并不是设计者必须的选择，而是工业界的必然倾向，他们希望用标准技术实现模拟电路和数字电路。为此，第一版的《CMOS模拟集成电路设计》在这个主题上率先满足了该领域对教科书的需求。该书不仅广泛应用于工业界，而且在世界各地的学校也都获得了广泛的应用。和第一版一样，第二版也未包含BJT技术。随着时间的推移人们将会看到这种选择的明智。编写本书第二版的目的就是对第一版在模拟电路设计方面的观点和概念进行补充。

第二版的编写酝酿了很长时间，采用了一种独特的工业界和学术界相结合的方式。这种结合在过去的15年中就已经出现在本书的第一作者所执教的培训班上。自第一版以来已经举办了50多期培训班，来自世界各地的1500多名工程师参加了培训。在培训班上这些工程师想知道CMOS模拟电路设计的观点和概念。对这些问题的回答大部分都被纳入第二版中。除此之外，在过去的10~15年里，作者一直在佐治亚理工学院和得克萨斯大学奥斯汀分校讲授这些材料，这些经历为我们提供了一些来自于学生的思考问题的观念，这些观念也都包含在第二版中。同样，这些材料对理论的应用也形成了大量测试性习题。它们现在也被收录进第二版中。第一版有335个习题，第二版有500多个习题并且大部分都是新的。

本书第二版的读者和第一版基本相同。第一版对于那些刚开始接触CMOS模拟电路设计的初学者来说是非常有用的。许多人告诉作者，这本书已成为他们日常工作中一本便捷的参考书，而第二版无论是对新手还是对工业界富有经验的工程师来说都将继续保持其价值。即使是技术继续

发展，书中讨论的原理和概念也不会过时。

本书的另一部分读者是学生。那些从学校毕业并且想进入 CMOS 模拟设计领域的学生还不适应业界的要求。我们希望第二版成为教师和学生们的一种工具，帮他们满足业界的要求。为了促进这一目标的实现，两个作者都提供了网址，允许下载 pdf 格式的短训班课程的幻灯片、课程进度表、课堂笔记以及习题和解答。在 www.aicdesign.org（P. E. Allen）和 www.holberg.org（D. R. Holberg）上可以找到更多的信息。这些网站一直在不断更新，我们欢迎老师和同学们使用上面的信息和教学辅助材料。

第二版在第一版的基础上做了大范围的修改。这些修改包括将第一版中的第 4 章移到第二版的附录 B 中。第一版中的比较器是在运算放大器之前讲解的，第二版中将比较器放到了运算放大器之后。自从第一版出版以后的 15 年里，比较器更像一个传感放大器而不是一个没有补偿的运算放大器。另一个主要的变化是加进第 9 章的开关电容电路。这样做有两个原因：开关电容在模拟电路和系统设计中都是非常重要的，这些知识对于学习第 10 章中有关数模、模数转换器来说都是必需的。第一版中的第 11 章被去掉了。原本计划用一章讨论包含锁相环和 VCO 的模拟系统来代替它，但因时间关系而未能实现。第二版的习题放在各章之后，目的是强化和扩充关于这个主题的原理和概念。

本书的层次结构如表 1.1-2 所示。第 1 章给出了介绍 CMOS 模拟电路设计所必需的一些知识。这一章对 CMOS 模拟电路设计进行了概述，定义了符号和一些术语，扼要介绍了模拟信号处理，最后给出了模拟 CMOS 设计的一个例子，这个例子着重强调了设计中的层次。第 2 章和第 3 章构成了模拟 CMOS 设计的基础，介绍了 CMOS 技术和器件模型。第 2 章介绍了用于各种元器件的 CMOS 技术，这些器件包括：MOS 器件、pn 结、与 CMOS 技术兼容的无源器件和诸如横向 BJT、衬底 BJT 和锁存器等的其他器件。这一章还用了一节专门介绍集成电路版图的影响。在这里说明了集成电路中物理层设计与电路设计具有同样的重要性，许多好的电路设计会因为低劣的物理层设计或版图设计而失败。第 3 章介绍了器件模型的关键问题，它将贯穿全书被应用于电路分析以预测 CMOS 电路的性能。这一章的核心就是介绍一个足够好的模型，能够被用来在±10%~±20%的误差范围内分析 CMOS 电路的性能，而且便于设计者观察和理解。计算机模拟可以采用更精确的电路模型，但是不能给出有关电路的任何直观的图像和理解。这一章中给出的模型包括 MOSFET 的大信号和小信号模型，考虑频率影响的模型。另外，该章还介绍了怎样对 MOSFET 中噪声和温度的影响以及兼容的无源元件建立模型。这一章还讨论了计算机模拟的模型，虽然这个问题的复杂程度远远超出了本书的范围，但是给出的一些基本思想有利于读者对计算机模拟模型有所认识。此外还介绍了其他一些模型，诸如亚阈区工作的模型以及怎样用 SPICE 对 MOSFET 电路进行计算机模拟。

第 4 章和第 5 章介绍子电路和放大器，这些电路将被用来设计诸如运算放大器等更复杂的模拟电路。第 4 章介绍 MOSFET 的开关应用，然后是 MOS 二极管或有源电阻。接下来介绍电流漏和镜像电流源等关键子电路。这些子电路的介绍涵盖了一些重要的设计概念，例如负反馈、设计中的折中以及匹配原理。最后，介绍了独立基准电压、电流和带隙基准电压。这些基准电路提供不受电源以及温度影响的电压或电流。第 5 章介绍各种形式的放大器，用大信号和小信号性能来描述它们的特征，有时也考虑噪声和带宽。放大器的种类包括反相放大器、差分放大器、共源共栅放大器、电流放大器以及输出放大器。最后一节讨论怎样用本章中的放大器模块构成高增益放大器。

第 6 章、第 7 章和第 8 章介绍一些复杂模拟电路的实例。第 6 章介绍一个简单的两级运算放

大器电路的设计。该运算放大器中应用了实用电路所必需的补偿原理。对这两级运算放大器的分析提供了设计这一类模拟电路的方法。这一章中还介绍了共源共栅运算放大器的设计，特别是折叠式共源共栅运算放大器。本章最后讨论运算放大器的测试和/或仿真技术以及宏模型。宏模型可以在较高的抽象层次上更有效地对运算放大器进行仿真。第7章介绍高性能的运算放大器。在这一章中要对简单运算放大器的各种性能以其他性能为代价进行优化。这些运算放大器包括输出缓冲运算放大器、高频运算放大器、差分输出运算放大器、低功耗运算放大器、低噪声运算放大器和低电压运算放大器。第8章介绍开环比较器，其实就是一个未加补偿的运算放大器。之后介绍设计这类具有线性或快速响应比较器的方法。介绍包括自动校零、迟滞技术等改进开环比较器性能的方法。最后，介绍再生比较器以及它们如何与低增益、高速放大器结合构成具有极小传输时延的比较器。

第9章和第10章专门讨论模拟系统。新引入的第9章介绍开关电容电路。开关电容的基本原理在介绍开关电容放大器和积分器电路的同时予以介绍。第9章还给出了分析和仿真开关电容电路的方法，以及采用一阶和二阶开关电容电路设计各种级联或梯形滤波器的方法。最后给出一个全部由开关电容电路构成的抗混叠滤波器。第10章介绍CMOS数/模、模/数转换电路。这里，数/模转换器按照电压、电流和电荷3种比较参考源的方式逐一加以介绍。此外还会介绍提高数/模转换器精度的方法。模/数转换器可分为奈奎斯特和过采样两种方式。奈奎斯特转换器依照它们工作的速度，即慢速、中速和快速逐一介绍。最后将会介绍过采样模/数和数/模转换器。这类转换器具有高分辨率且特别适合于CMOS技术。

三个附录的内容分别是关于CMOS模拟电路的电路分析方法、CMOS器件的特性（其实就是第一版的第4章）以及二阶系统时域和频域间的关系。

第二版的内容对15周的课程来说可能过多。根据学生的情况，一学期15周课程，每周3学时可以讲授的内容包括第2章和第3章的部分内容、第4章~第6章、第7章的一部分内容以及第8章。第9章和第10章可以作为模拟系统课程的部分内容。在佐治亚理工学院，这本教材是和《模拟集成电路的分析与设计》（“Analysis and Design of Analog Integrated Circuits”）（第四版）一起使用的，两学期的课程中包括了BJT与CMOS模拟IC设计。第9章和第10章可以作为一个学期的模拟IC系统设计课程70%的内容。

学习本书必要的基础是较好地掌握基本电子学知识。主要内容是：大信号模型、偏置、小信号模型、频率响应、反馈和运算放大器。当然，具有半导体器件及其工作原理、集成电路工艺、用SPICE仿真及MOSFET模型化的相关背景知识对学习本课程将会很有帮助。如果具有这些背景知识的话，读者从第4章开始学习也不会有什么问题。

作者衷心感谢许多对本书第二版修改做出贡献的人，包括许多研究生和本科生。在使用第一版的过程中他们提出了很多建议和修正意见。这些人也包括1500多位工业界的参与者，在过去的15年里他们相继参加了关于这个课题的为期一周的短训班。感谢他们的鼓励、耐心以及建议。我们还要感谢那些给予我们反馈和修正意见的来自全球范围内的业界和学术界的人士。此外我们十分感谢那些阅读、使用本书初稿并不断给我们提出意见的人。特别是Tom DiGiacomo、Babak Amini和Michael Hackner，非常感谢他们对新版本提供了有价值的反馈意见。我们十分感谢在第二版编写的过程中来自牛津大学出版社科学与计算机科学类图书的总编Peter Gordon的耐心和鼓励，以及在出版过程中项目主管Justin Collins坚定而和善的领导作风。最后，对Marge Boehme在协助备课和教学上所做的细致工作表示感谢。

目　　录

第1章 绪 论

超大规模集成电路（VLSI）技术已经发展到可以在一块芯片上集成数百万个晶体管的水平。芯片中那些原来组成子系统的电路，尤其是数模接口部分的电路，现在能够以数模混合方式集成在一起形成一个片上系统[1]①，互补金属-氧化物半导体（CMOS）技术已经成为实现混合信号②电路的主流技术，因为对数字电路来说其集成度高、功耗低，对模拟电路则能提供各种单元的良好的组合。由于应用广泛，CMOS 技术将成为本书讨论的主题。

由于数字电路的规律性和离散性，计算机辅助设计（CAD）方法学在给定所需功能行为描述的数字系统设计自动化方面已经非常成功。但是这不适用于模拟电路设计。一般说来，模拟电路设计仍需"手工"进行。而且，许多用于分立器件模拟电路的设计技术也无法应用于模拟/混合信号的 VLSI 电路设计中。因此，仔细研究模拟电路的设计过程，熟悉那些提高设计效率、增加设计成功机会的原则是必要的。为此，本书提供模拟集成电路设计的层次化结构和一般原则的综述。

本章主要介绍模拟集成电路设计的相关知识，为后续学习打下基础。本章首先阐述了模拟集成电路设计的一般问题，然后介绍本书中用到的字符、符号和术语，接下来讨论了涉及模拟信号处理系统的一般考虑，最后一节给出了一个模拟 CMOS 电路设计的例子。在学习第 2 章之前，读者也许希望先了解一些与之相关的知识，这些知识包括电子器件模型、计算机仿真技术、拉普拉斯变换和 z 变换理论以及半导体器件理论。

1.1 模拟集成电路设计

集成电路设计可分为两大类：模拟和数字。为了显示这两类设计方法的特征，我们必须首先定义模拟信号和数字信号。信号可以被认为是电压、电流或电荷等电量的可视值。信号应该反映物理系统的状态或行为信息。模拟信号定义为在连续时间范围内具有连续幅度变化的信号，图1.1-1（a）为模拟信号的示例。数字信号是只在一些离散幅度值上有定义的信号，换句话说，数字信号是一些量化了的离散值。典型的数字信号是只有两种幅值定义的信号的二进制加权和，如图1.1-1（b）和式（1.1-1）所示。图1.1-1（b）是图1.1-1（a）所示模拟信号的 3 位表示。

$$D = b_{N-1}2^{-1} + b_{N-2}2^{-2} + b_{N-3}2^{-3} + \cdots + b_0 2^{-N} = \sum_{i=1}^{N} b_{N-i}2^{-i} \qquad (1.1\text{-}1)$$

一个二进制数 b_i 取值仅为 0 或 1。因而，可以用只工作在两个稳定状态的器件来实现数字电路。这导致了很强的规则性，并可用代数方法描述电路的功能。因此，数字电路设计者可以得心应手地设计更复杂的电路。

模拟集成电路中还会遇到另一种信号，即模拟采样数据信号。模拟采样数据信号是指在连续幅值范围内仅在时间离散点上有定义的信号。通常，采样模拟信号保持的是采样周期结束时的值，形成的是采样保持信号。模拟采样保持信号如图1.1-1（c）所示。

① [n]表示见本章参考文献 n。——编者注

② 术语"混合信号"被广泛接受用来描述在同一块硅衬底上制作的模拟和数字电路。

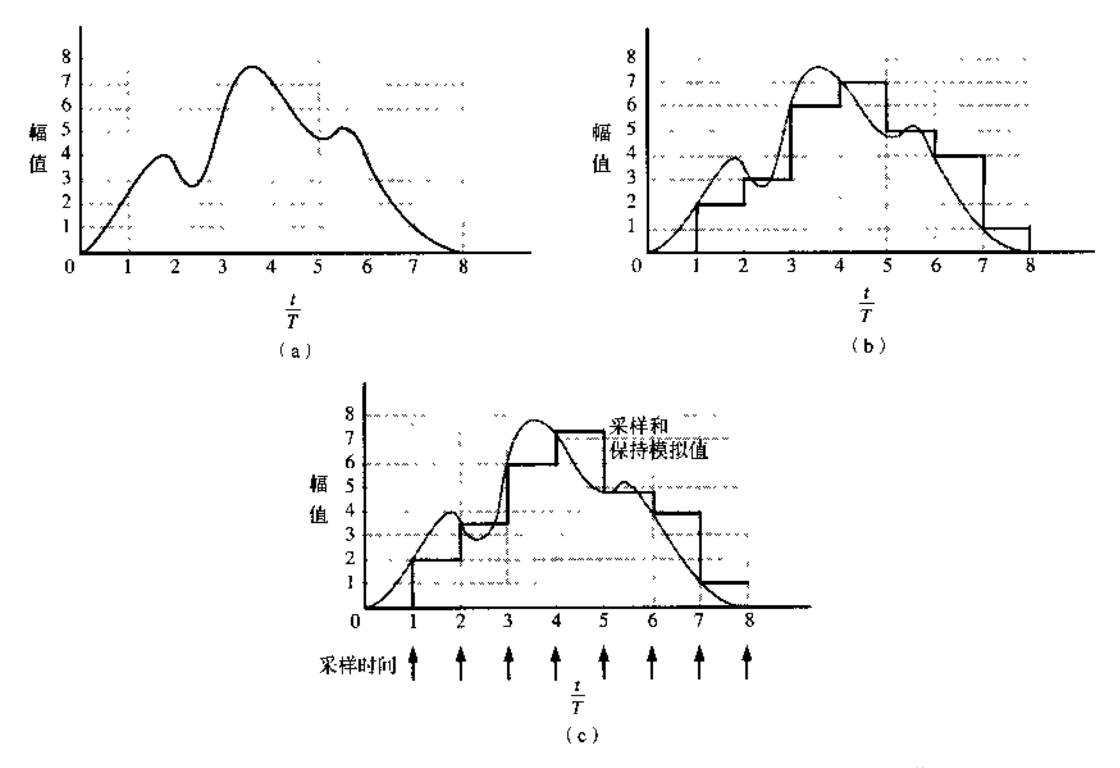


图 1.1-1　信号。(a) 模拟或连续时间信号；(b) 数字信号；(c) 模拟采样数据或离散时间信号；T 是数字信号或采样信号的周期

电路设计是为解决特定问题构思一个电路的创造性过程。对电路进行分析和比较能够更好地理解设计。如图1.1-2(a)所示，电路分析是从电路出发找出其特性的过程。分析过程的一个重要特点是答案或特性是惟一的。另一方面，电路综合或者设计是这样一个过程，从要求的特性出发，找出满足这些特性的电路。对设计来说方案并不惟一，于是为设计者提供了发挥创造力的机会。比如以设计一个 1.5 Ω的电阻为例，可以用三个 0.5 Ω电阻的串联实现，也可以用两个 1 Ω的电阻并联后再与一个 1 Ω的电阻串联来实现，等等。所有设计都会满足 1.5 Ω电阻的要求，虽然有些设计的其他特性可能会更好。图 1.1-2 示出了综合（设计）与分析之间的不同。

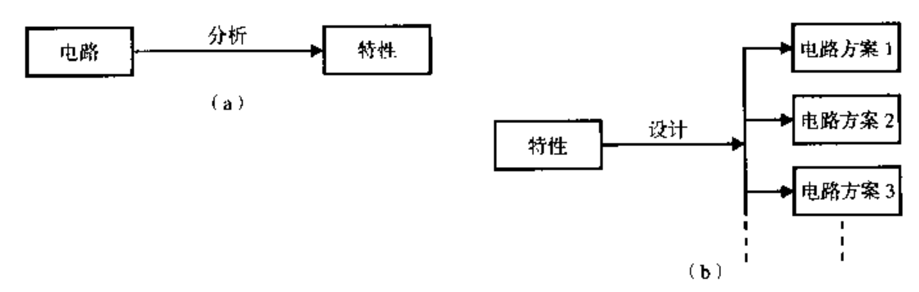


图 1.1-2　(a) 分析过程；(b) 设计过程

了解集成和分立模拟电路设计的不同是很重要的。与集成电路不同，分立电路不把有源和无源元件制作在同一衬底上，而将器件紧密地制作在同一衬底上的一个主要的优点就是器件间的匹配也可以作为设计考虑的一个工具。两种设计方式的一个不同点是在集成电路设计中有源器件和无源器件的几何尺寸是在设计者的控制之下的。在设计过程中这种控制赋予设计者更大的自由

度。另一个不同点就是集成电路设计无法用电路试验板验证。因此，设计者必须采用计算机仿真的方法来验证其电路的性能。再一个不同点是，在集成电路设计中，设计者将会更多地受到与所用工艺相关的元器件类型的约束。

设计一个模拟集成电路分为很多步骤。图1.1-3所示为一个集成电路设计的一般过程。主要的步骤有：

1. 定义
2. 综合或装配
3. 仿真或模型化
4. 版图设计
5. 考虑版图寄生参数后的仿真（后仿真）
6. 制作
7. 测试和验证

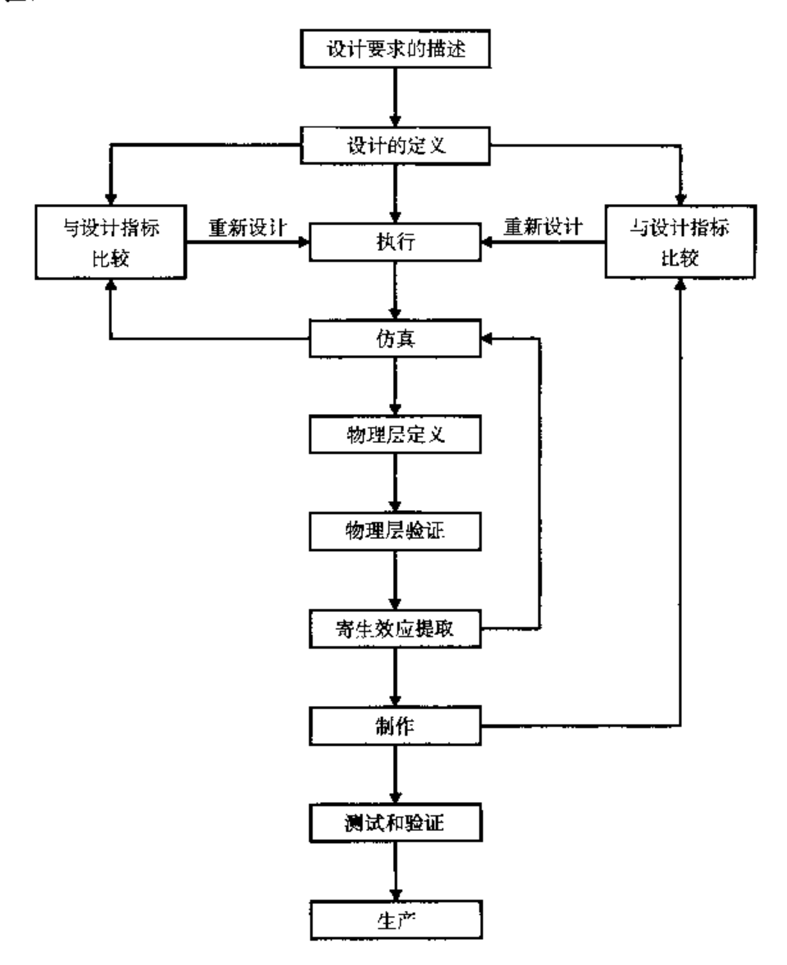


图 1.1-3　模拟集成电路设计过程

上述所有步骤，除了加工制造外，其余过程均需设计者负责。第一步是功能的定义和综合。这一步非常重要，因为这决定了设计的性能。当这些步骤完成后，设计者必须在制造之前能够

确认这个设计。为此，下一步就是对电路进行仿真，观察电路性能。开始设计者只能使用电路物理层的近似参数仿真，一旦完成版图设计，就可以用从版图得到的寄生参数信息检查仿真结果。此后设计者可反复用模拟结果改进电路的性能。一旦满足了性能要求，就可以进入下一步——电路的几何描述（版图）。通常情况下，这种几何描述由在不同层面上（z 轴）的各种形状的矩形或多边形（x-y 平面）形成的计算机数据库组成，它与电路的电性能密切相关。如前所述，版图完成后，需要将版图的寄生效应考虑进去再次仿真。如果性能满足，就可以制造电路了。制成之后，设计者将会面临最后一步——确定制成的电路是否满足设计要求。如果在整个设计过程中设计者没有仔细考虑这一步，那么在进行电路测试以及判断电路是否满足设计要求时可能会遇到困难。

正如前面所提到的，分立与集成模拟电路设计的区别之一是后者无法用电路试验板验证。计算机仿真技术已经有了长足的发展，能提供适当的模型。

其优点包括：

- 不需要电路试验板
- 具有监测电路任一处信号的能力
- 能够将反馈环路拆开
- 可以方便地修改电路
- 可在不同的工艺和温度条件下分析电路

计算机仿真也有一些缺点：

- 模型的精度问题
- 由于不收敛而得不出仿真结果
- 对大电路进行仿真很费时间
- 无法用计算机代替人的思维

由于仿真与设计过程密切相关，本书将在适当的地方进行介绍。

在完成上述各个设计步骤的过程中，设计者使用了三种不同的描述格式：设计描述、物理层描述和模型/仿真描述。设计描述的格式用来确定电路；物理层描述用来定义电路的几何形状；模型/仿真描述用来对电路进行仿真。设计者必须在每种描述格式中都能对设计进行描述。例如，模拟集成电路设计的第一步可以用设计描述格式完成，显然，版图设计阶段可以用物理层描述格式，仿真阶段可采用模型/仿真描述格式。

模拟集成电路设计还可以用分层的观点来描述。表1.1-1展示了由器件、电路和系统构成的纵向层次，横向分为设计、物理和模型三个层次。器件级是设计的最底层。可以分别用器件性能、几何图形和器件模型作为设计、物理和模型的相应描述。电路级是设计的较高层，可以用器件的术语来表示。电路级的设计、物理和模型描述的格式一般为：电压电流关系、参数化的版图和宏模型。设计的最高层是系统级——用电路来表示。系统级的设计、物理和模型描述的格式为：数学或图形描述、芯片布局规划以及行为模型。

表 1.1-1 模拟集成电路设计过程的层次及描述

层次	设计	物理	模型
系统	系统说明	版图布局	行为模型

（续表）

层次	设计	物理	模型
电路	电路性能	参数化模块/单元	宏模型
器件	器件特性	版图描述	器件模型

本书的组织体系侧重于集成电路设计的层次化观点，表1.1-2示出了模拟电路设计与相应各章的对应关系。在器件级，第2章和第3章介绍CMOS工艺技术及模型。为了设计CMOS模拟集成电路，设计者必须了解工艺技术，因此第2章概要地介绍了CMOS工艺技术以及由工艺考虑得出的设计规则。这些信息对于设计者理解工艺的限制和约束是非常重要的。在开始设计之前，设计者应该已经知道工艺和器件模型的电参数。建模在综合与仿真这两个步骤中是关键部分，这在第3章中做了介绍。设计者还应了解实际器件的模型参数，以便确定假设模型参数是否合适，理想情况下设计者已获得可以对这些参数进行测量的测试芯片。最终，制成后的模型参数测试可被用来测试完整的电路。器件描述方法在附录B中做了介绍。

表 1.1-2 模拟电路设计与相应各章的对应关系

设计层次	CMOS 技术		
系统	第9章 开关电容电路	第10章 数模和模数转换器	
复杂电路	第6章 CMOS运算放大器	第7章 高性能CMOS运算放大器	第8章 比较器
简单电路	第4章 模拟CMOS子电路	第5章 CMOS放大器	
器件	第2章 CMOS技术	第3章 CMOS器件模型	附录B CMOS器件性能

第4章与第5章主要介绍由两个管子及两个以上管子构成的电路，这类电路称为简单电路。在第6章到第8章中介绍如何由这些简单电路设计更复杂的电路。最后，在第9章和第10章中给出了由这些复杂电路设计的模拟系统。各种设计层次间的界限有时并不太明确。但是，基本的关系是有效的，可以给读者一个模拟集成电路设计的框架结构概念。

1.2 字符、符号和术语

为了让读者更清楚地理解本书介绍的内容，本节介绍书中所用到的字符、符号和术语。通常的选择是与本科电子学教材中使用的以及由技术协会建议的标准字符、符号和术语一致，计量单位采用国际单位制。本书将尽量采用这些规定。

首先是电流、电压的符号表示。信号通常用带下标的参量表示。参量和下标的大小写规定参见表1.2-1。

表 1.2-1 各种信号的符号定义

信号定义	参量	下标	示例
瞬时信号值	小写	大写	q_A
直流信号值	大写	大写	Q_A
交流信号值	小写	小写	q_a
复变量、相位或有效值	大写	小写	Q_a

图1.2-1示出在直流电平上叠加周期信号时如何用表1.2-1中的规定来表示。

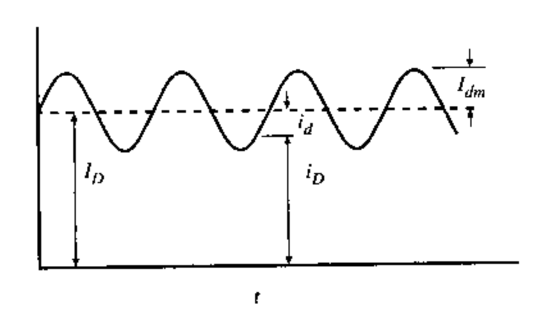


图 1.2-1 表示信号的符号

器件建模时这些符号是有用的。例如，在 MOS 模型中考虑场效应管的漏源电流与各端口间电压的关系。这个模型要用总的瞬态变量（i_D）表示；用直流变量（I_D）表示偏置；用交流变量（i_d）进行小信号分析；用复变量（I_d）讨论小信号频率特性。

第二项要讨论的是用什么符号表示各种元器件（这些符号中的大多数读者都很熟悉。只是 MOS 器件的符号有所不同，如图1.2-2 所示）。图1.2-2（a）与图 1.2-2（b）表示增强型 MOS 场效应管或其衬底（或体）（B）接相应的电源。一般来说，这种接法是指：p 沟道管衬底接最高电位，n 沟道管衬底接最低电位。图中三个电极分别是：漏极（D）、栅极（G）和源极（S）。如果衬底没有接在相应的电源，那么图1.2-2（c）和图1.2-2（d）可用来表示增强型 MOS 管。知道电路设计中所用 MOS 管的衬底接在何处是很重要的。

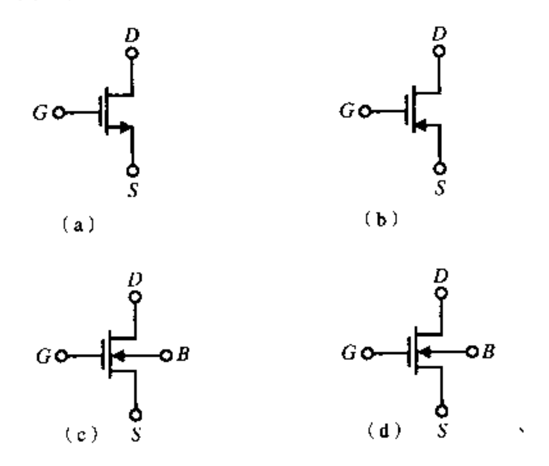


图 1.2-2 MOS 器件符号。（a）n 沟道增强型 MOS 管，衬底接最低电位；（b）p 沟道增强型 MOS 管，衬底接最高电位；（c）、（d）与（a）、（b）相同，只是衬底未给出连接

图 1.2-3 是另一类需要定义的符号。图1.2-3（a）表示差分输入的运算放大器，有时也可表示与运算放大器增益相近的比较器。图1.2-3（b）和图1.2-3（c）分别表示独立的电压电流源。有时电池符号用图1.2-3（b）所示的符号表示。最后，图1.2-3（d）~图1.2-3（g）表示四种理想的受控源。图1.2-3（d）为电压控制电压源（VCVS），图1.2-3（e）为电压控制电流源（VCCS），图1.2-3（f）为电流控制电压源（CCVS），图1.2-3（g）为电流控制电流源（CCCS）。这些受控源的增益分别为 A_v、G_m、R_m 和 A_i（分别对应于 VCVS、VCCS、CCVS 和 CCCS）。

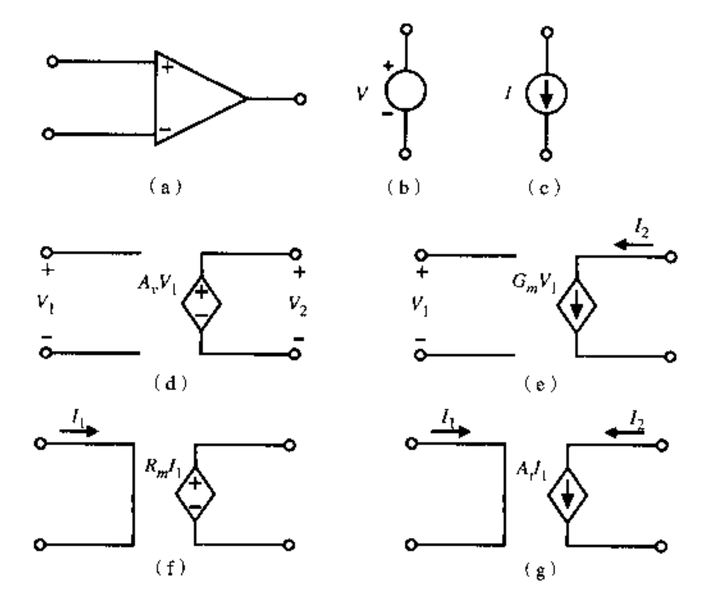


图 1.2-3 （a）运算放大器符号；（b）独立电压源；（c）独立电流源；
（d）电压控制电压源（VCVS）；（e）电压控制电流源（VCCS）；
（f）电流控制电压源（CCVS）；（g）电流控制电流源（CCCS）

1.3 模拟信号处理

在深入学习模拟电路设计之前，需要探讨这类电路的应用。模拟信号处理包括本书将提到的大部分电路与系统。图1.3-1 所示为一典型的信号处理系统的简单框图。过去，这样一个信号处理系统需要多个集成电路以及其他无源器件。然而，随着模拟数据采集技术以及 MOS 工艺的出现，使得在单片集成电路中同时采用模拟、数字技术实现信号处理的设计成为可能[2]。

模拟信号处理系统设计的第一步是仔细考察技术指标，确定系统中的模拟部分和数字部分。多数情况下，输入信号是模拟的，可以是语音信号、传感器输出、雷达回波等。图1.3-1中的第一个模块是预处理模块。一般来说，这个模块由滤波器、自动增益控制电路和模数转换器（ADC 或 A/D）组成。通常，精确的速度和精度要求由该模块的组件承担。模拟信号处理器后面接数字信号处理器。用数字的方式进行信号处理有很多优点。一个是数字电路易于用最小尺寸的工艺实现，提供了价格和速度优势。另一个是与数字信号处理中（例如，线性相移滤波器）额外的有效自由度有关。还有一个优点是很容易对数字器件进行编程。最终，必须有一个模拟的输出。在这个例子中需要一个后加工模块，此模块通常包括一个数模转换器（DAC 或 D/A）、放大器和滤波器。

在信号处理系统中，待处理信号的带宽是需要特别考虑的问题。图1.3-2中列出了一些信号的工作频率。低端是地震信号，因地壳的吸收作用不会低于1Hz。高端是微波信号。高于30GHz 的信号未被列出，因为在高频即使最简单的信号处理也很难。

为使图1.3-2 所示的任何特定区域均能使用，必须采用支持所要求带宽的工艺。图 1.3-3 所示为目前可用技术所能提供的速度。决定在某个应用领域采用哪种技术设计集成电路时，不仅要考虑带宽和速度的要求，还要考虑成本和集成度。如今的趋势是尽可能采用 CMOS 数模混合技术（如果需要的话），因为这可以达到很高的集成度，从而提供高可靠的紧凑系统解决方案。

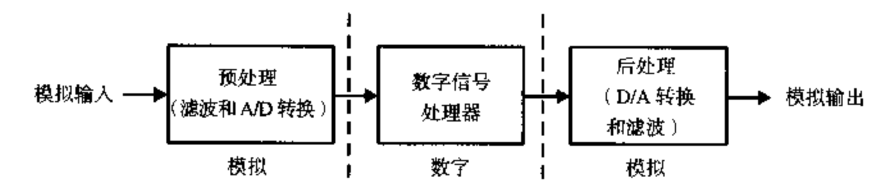


图 1.3-1 典型的信号处理系统框图

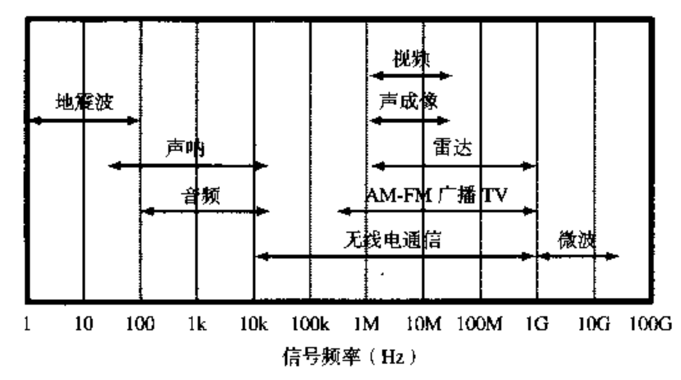


图 1.3-2 信号处理中的信号频率

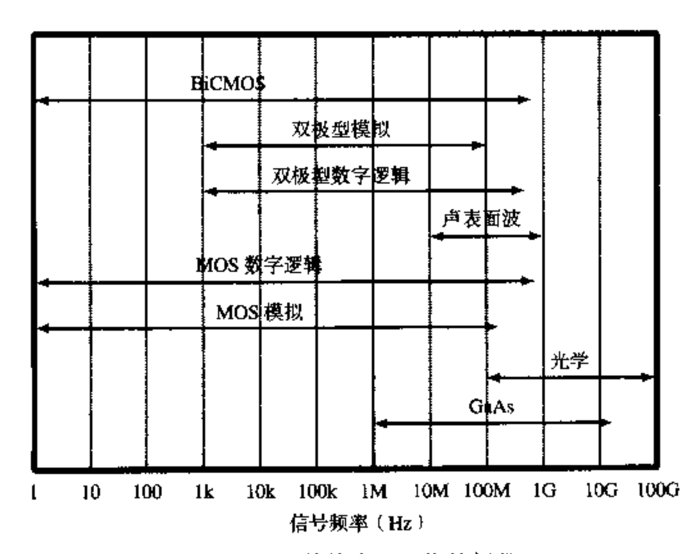


图 1.3-3 目前技术可工作的频段

1.4 VLSI 混合信号电路设计模拟举例

本节通过一个实例来说明模拟电路设计的方法。图1.4-1 所示为一个全集成的磁盘驱动器数字读/写信道的框图。在读入数据时设备采用部分响应最大可能性（PRML）序列检测来提高相对于信噪比的误码率性能。整个设备支持高达 64 Mb/s 的数据率，采用 0.8 μm 双层金属 CMOS 制造工艺。

在典型应用中，该IC从外部预放大器接收一个全差分模拟信号，此信号是从旋转的磁碟上经磁感应转换得到。这个差分读出脉冲先经由实时数字增益控制回路控制的可变增益放大器（VGA）

放大，然后通过一个 2 零点 7 极点等波纹相位低通滤波器。该滤波器的零点是实数并且对于虚轴对称，零点和极点的相对位置是可编程的且被设计成在高频时滤波器增益可提升，这样读出脉冲的宽度变窄。

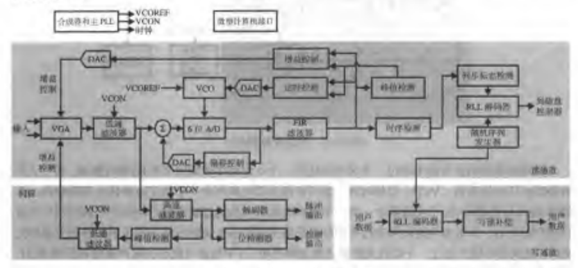


图 1.4-1 读/写信道集成电路框图

低通滤波器由跨导级（g_m级）和电容构成。低通滤波器设计中所用到的一个单极点原理图如图1.4-2所示。当极点的相对位置固定时，可用两种方法来调节低通滤波器的频率响应。第一种方法是利用控制电压（标注为VCON），这个电压是滤波器中所有跨导级共用的。该电压被加在每个跨导级 n 沟道管的栅极上。这些管子的电导决定了与它相关各级的电导，而且可以通过控制电压使其连续变化。第二种方法是对滤波器中的电容值进行数字控制。在这里所有电容结构相同，都是由具有二进制权值的电容构成的可编程阵列组成。

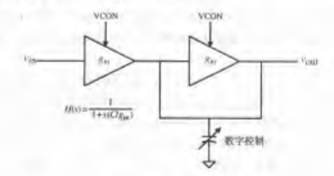


图 1.4-2 单极点低通滤波器

在跨导级设计中，利用 VCON 连续控制的能力为滤波器提供频率补偿，弥补由工艺、温度和电源电压变化引起的频响变化[3]。控制电压 VCON 由“主 PLL”产生，它与“主 PLL”结构中作为压控振荡器的滤波器的信号一样，如图1.4-3所示。振荡频率反比于特征时间常数，复制滤波器级的 C/g_m。通过 VCON 端电压的变化时使振荡器的频率和相位锁定在一个外部的参考频率上，以使特征时间常数保持不变。当低通滤波器中的电路元件与主滤波器匹配时，低通滤波器的特征时间常数（以及相应的频率响应）也就固定了。

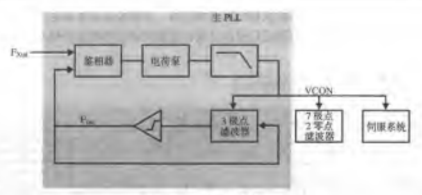


图 1.4-3 主滤波器锁相环

低通滤波器的正常输出通过一个缓冲器送到一个 6 位的单步瞬时采样模/数转换器。这个 A/D 转换器由压控振荡器（VCO）提供时钟，该压控振荡器的频率由一个数字时钟恢复环路控制。在瞬时 A/D 转换器的 63 个比较器中，每一个都含有用来对低通滤波器输出经缓冲后的模拟信号进行采样的电容。该电容在对信号进行采样时也采集比较器的失调电压用于矫正因失调而引起的失真[4]。比较器的输出通过一个检查无效模式的逻辑模块，若不检查可能会引起严重的转换错误[5]。这个模块的输出被编码为一个 6 位的字节。

由图 1.4-1 所示，数字化之后，A/D 转换器的 6 位输出要由一个有限脉冲响应（FIR）滤波器滤波。上面提到的数字增益和时钟控制环路监视原始数字信号或者 FIR 滤波器的输出作为增益和定时的误差。由于这些误差只有在信号脉冲发生时才能测量到，因此一个数字跃变检测器被用来监测脉冲以及激活增益和定时误差检测器。然后，增益和定时误差信号通过数字低通滤波器和模拟电路中的数/模转换器分别调节 VGA 增益和 A/D VCO 的频率。

读出信道 IC 的核心是时序检测器。检测器的工作基于 Viterbi 的运算法则，通常被用于完成最大似然性检测。检测器预见线性符号间的干扰且处理接收序列值后推论出最可能的发射序列（即由媒体读出的数据）。来自于检测器的序列位流通过运行长度限制器（RLL）检测模块并被解码，如果写入磁盘的数据在编码前已做过扰码处理，那么位流出现在读出信道输出端前必须有相应的逆过程。

写通道的详细描述如图 1.4-4 所示。在写模式时，数据首先经 RLL 编码器模块编码。当然，在送去编码之前也可以选择先将数据扰码。编码时，线性反馈移位寄存器被用来产生一个与输入数据异或的伪随机序列。用这种随机化方式可以保证位流的读出易于从随机输入数据中读出。

写时钟由置于锁相环中的 VCO 综合而成，设置数据速率。VCO 时钟频率按可编程数值 "M" 分频，分频后信号与输入信号锁定，该输入信号是外部参考信号经二分频后再按可编程值 "N" 分频所得。结果写时钟频率是外部参考频率的 M/2N 倍。其中 M 和 N 的值均可在 2~256 之间变化。同时，写时钟能够被综合成支持零位录制设计，这里定义了媒体上具有不同数据速率的零。

然后，编码数据通过写预补偿电路。由符号间干扰引起的线性位偏移影响在 PRML 通道中不必补偿，同时在另一个跃变附近出现写操作引起磁感应的地方非线性影响能引起偏移。虽然特别完成的 RLL 码在写的过程中禁止两个连续的 "1"（因此两个跃变紧邻），而一个 "1/0/1" 码仍能形成在第二次跃变时测量偏移。为计算偏移写预补偿电路延迟第二个 "1" 的写入。综合写时钟加了两条延时线，每个都由与 VCO 中类似的结构组成。一般经过一条延时线的信号被用来将通道数据定时到输出驱动。然而，当 "1/0/1" 码被检测时，第二个 "1" 由另一条延迟线信号定时

到输出驱动。第二条延迟线是弱电流的，于是延时时间超过第一条，因此在码型中第二个“1”延时了，延时的量是可编程的。

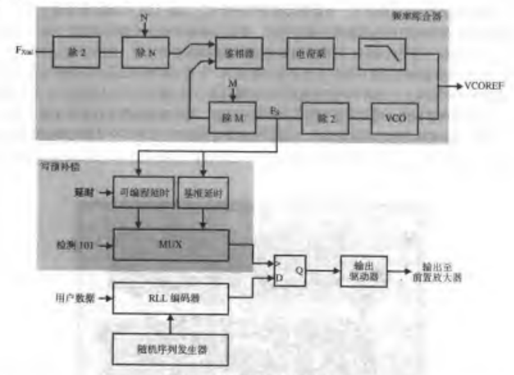


图1.4-4 频率合成器和写数据通道

图1.4-5所示的伺服通道电路被用来检测嵌入起始位置信息。伺服部分有三个主要功能块：

- 自动增益控制环路
- 位检测器
- 脉冲解调器

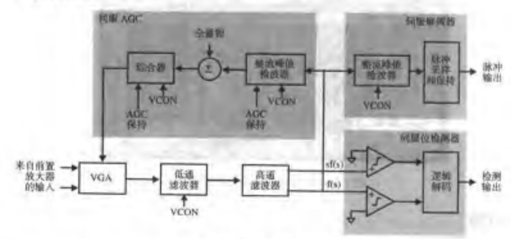


图1.4-5 伺服通道框图

在伺服部分，时间常数和电荷比是可编程的且由主滤波器控制，以避免由电源电压、工艺和

温度变化而引起的变化。为了节电，在伺服工作间歇期所有功能块是不供电的。

在伺服前同步期间，AGC 环路围绕 VGA 反馈迫使高通滤波器输出恒定电平。前同步由交变位码组成并定义 100%满幅电平。为避免必须提供的定时，伺服 AGC 环路在模拟域中完成。高通滤波器输出的幅度峰值用峰值整流检测器检测。整流检测器对电容的充放电取决于输入信号是高于还是低于电容上保持的电压。峰值检测器的输出与满幅参考值比较，然后经积分控制 VGA 的增益。VGA 的增益和控制电压间的关系是呈指数律的，于是环路的动态范围与增益无关。脉冲检测器用来检测和保持上升到四个伺服位置脉冲的幅度峰值，用以指示读写头与轨迹中心关系的位置。

异步位检测器被用来检测伺服数据信息和地址标志。用可编程域值比较器限定输入脉冲，以便只检测那些幅度峰值超过域值的脉冲。伺服位检测器提供输出以指示零交叉情况和检测出的极性。

图 1.4-6 所示为上述读出通道芯片的显微照片。电路用单层多晶硅、两层金属及 0.8 μm 的 CMOS 工艺制造。

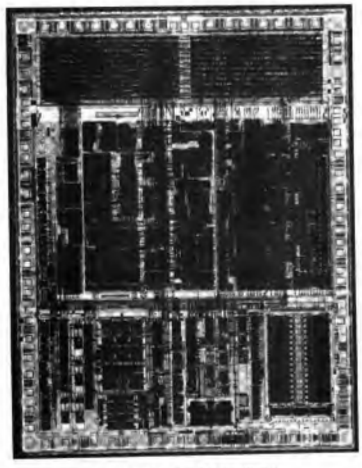


图 1.4-6 读出通道芯片的显微照片

1.5 小结

本章介绍了 CMOS 模拟集成电路设计。1.1 节给出模拟电路中信号的定义和模拟、数字以及模拟采样数据信号的定义。讨论了分析和设计之间的差别。分立和集成模拟电路设计之间的差别

主要在于设计者能够控制电路几何尺寸和需要计算机仿真而不是用试验板。这一节还给出了本书的概览且在表1.1-2说明了各章节的组织。我们建议读者在开始阅读每一章时先看一看表1.1-2。

1.2节讨论了字符、符号和术语。了解这些问题可以避免在各种主题的描述中可能发生的混淆。符号和术语的选择与标准惯例和定义一致。另外，与本节的主题有关的问题将在本书相应的地方给出。

1.3节列出了模拟信号处理的概述。多数模拟电路的用途在模拟信号处理的几种运行方式中得以反映。本节介绍了电路应用、电路技术和系统带宽等重要概念，同时指出，模拟电路较少单独使用，一般与数字电路一起完成一些信号处理的任务。模拟电路和数字电路间的界限取决于应用、性能和面积。

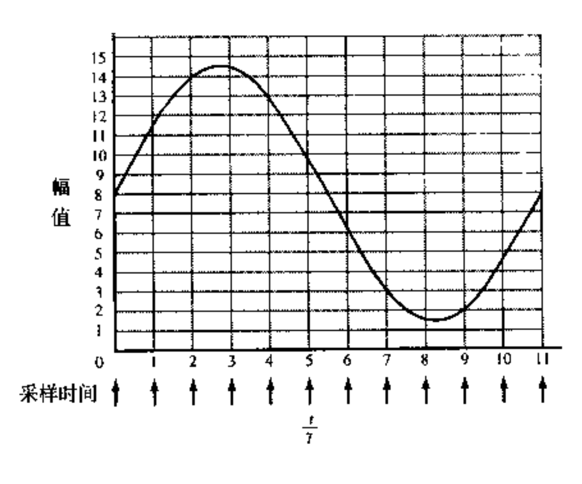
1.4节给出全集成磁盘驱动读出通道电路设计实例，这个实例强调设计的层次化结构并说明如何用下面章节中介绍的子电路完成一个复杂设计。

开始下面章节的学习之前，读者也许愿意先读一读附录A，因为附录A提供了进一步学习应该掌握的知识，具体包含了与模拟电路设计相关的电路分析和与本章末的一些习题有关的材料。读者也许还想浏览一下其他材料，诸如电子建模、计算机仿真技术、拉普拉斯变换和z变换理论以及半导体器件理论。

习题

1.1-1 用式（1.1-1）将5位二进制数11010（顺序为b_4、b_3、b_2、b_1、b_0）换算成十进制数。

1.1-2 对图P1.1-2所示的正弦波进行模拟采样和保持，假设采样点在t/T的整数值上。



图P1.1-2

1.1-3 按照式（1.1-1）用4位数据完成图P1.1-2正弦波的数字化。

下面的问题参照附录A中的内容。

1.1-4 用节点方程求出图P1.1-4的v_{out}/v_{in}。

1.1-5 用网孔方程求出图P1.1-4的v_{out}/v_{in}。

1.1-6 用电源等效变换和置换的概念简化图P1.1-6，并求出i_{out}/i_{in}（仅用链形计算）。

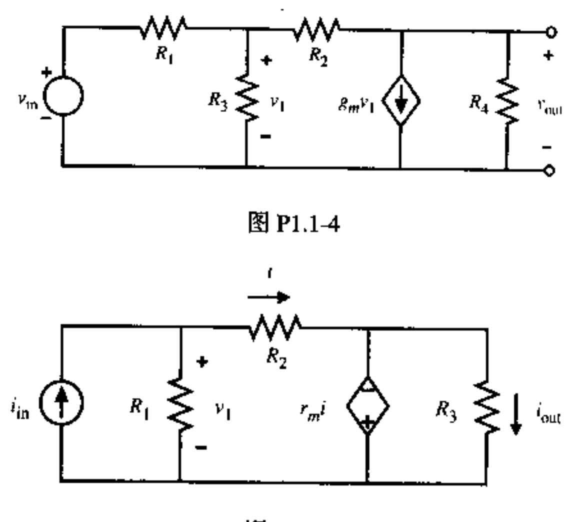


图 P1.1-4

图 P1.1-6

1.1-7 电路如图 P1.1-7 所示，求 v_2/v_1 和 v_1/i_1。

1.1-8 用电路简化技术求解图 P1.1-8 中的 v_{out}/v_{in}。

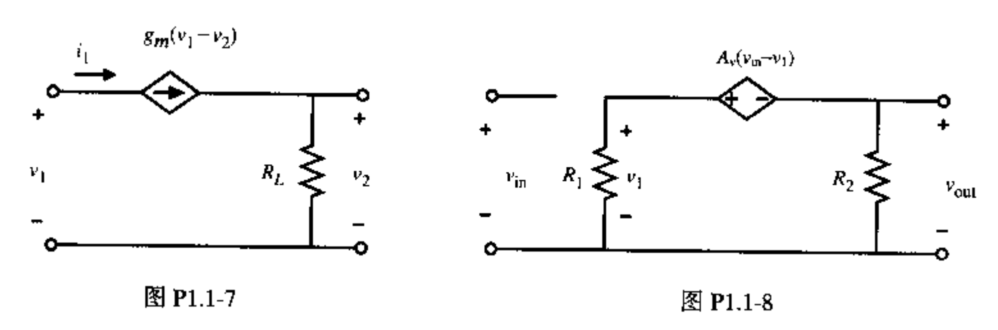


图 P1.1-7

图 P1.1-8

1.1-9 用米勒简化概念求解图 A.1-3 中的 v_{out}/v_{in}（见附录 A）。

1.1-10 求图 A.1-12 中的 v_{out}/i_{in} 并与例 A.1-1 进行比较。

1.1-11 用附录 A 中介绍的米勒简化技术求解图 P1.1-4 中的输出电阻 v_o/i_o；不要用米勒简化技术直接计算输出电阻并对结果进行比较。

1.1-12 在一个增益 $A_v = 0.99$ 的理想电压放大器中，用一个50 kΩ的电阻从输出端连接到输入端，试用米勒简化概念计算电路的输入电阻。

参考文献

1. D. Welland, S. Phillip, K. Leung, T. Tuttle, S. Dupuie, D. Holberg, R. Jack, N. Sooch, R. Behrens, K. Anderson, A. Armstrong, W. Bliss, T. Dudley, B. Foland, N. Glover, and L. King, "A Digital Read/Write Channel with EEPR4 Detection," *Proc. IEEE Int. Solid-State Circuits Conf.*, Feb. 1994.
2. M. Townsend, M. Hoff, Jr., and R. Holm, "An NMOS Microprocessor for Analog Signal Processing," *IEEE J. Solid-State Circuits*, Vol. SC-15, No. 1, pp. 33–38, Feb. 1980.
3. M. Banu and Y. Tsividis, "An Elliptic Continuous-Time CMOS Filter with On-Chip Automatic Tuning," *IEEE J. Solid-State Circuits*, Vol. 20, No. 6, pp. 1114–1121, Dec. 1985.
4. Y. Yee et al., "A 1 m V MOS Comparator," *IEEE J. Solid-State Circuits*, Vol. 13, pp. 294–297, June 1978.
5. A. Yukawa, "A CMOS 8-bit High-Speed A/D Converter IC," *IEEE J. Solid-State Circuits*, Vol. 20, pp. 775–779, June 1985.

第 2 章　CMOS 技术

双极型技术和 MOS 技术是当今最流行的集成电路技术。图 2.0-1 示出了这两种技术系列的各种分支技术，它们都是被广泛应用的硅集成电路技术。多年来，硅集成电路技术中占主导地位的是双极型技术，突出表现在单片运算放大器和 TTL 系列（晶体管-晶体管逻辑）的广泛应用。在 20 世纪 70 年代初期，MOS 技术被证明可以运用于动态随机存储器（DRAM）、微处理器和 4000 系列逻辑芯片等领域。到了 20 世纪 70 年代末期，由于集成度需求的驱动，MOS 技术变成开发数字 VLSI 的技术支撑。与此同时，一些组织也试图用 MOS 技术来设计模拟电路[1~4]。NMOS（n 沟道 MOS）技术是早期数字和模拟 MOS 设计的首选技术。20 世纪 80 年代初期，VLSI 开始向硅栅 CMOS 方向发展，从那时至今，硅栅 CMOS 技术已成为 VLSI 数字和混合信号设计的主导技术[5, 6]。近来已经证明，由 CMOS 技术和双极型技术混合的工艺（即 BiCMOS）不但在技术上而且在市场上都是成功的。这里市场的主要推动力是要求提高数字电路（主要是静态随机存储器，SRAM）的速度。在 BiCMOS 技术中由于增强了在 CMOS 技术中提供的双极型晶体管的性能而使其在模拟电路设计上具有潜力。本书的重点是模拟和混合信号电路设计中 CMOS 的应用。

由于有许多关于 MOS 器件物理工作原理的参考资料[7, 8]，所以本书仅介绍与电路设计有关的理论部分。目的是了解下章将要介绍的 MOS 电路模型的限制和理解在电性能上的物理约束。

本章从物理角度介绍了 CMOS 工艺的多方面情况。为了解 CMOS 技术，将首先简单回顾基本的半导体制造工艺，接着介绍基本 CMOS 工艺必须的制造步骤。然后讨论 pn 结及特性。接下来讨论如何描述与 CMOS 技术兼容的有源和无源器件的制造。紧接着介绍 CMOS 技术性能上的重要限制，包括闩锁效应、温度特性和噪声。最后介绍为后续制造在物理层定义集成电路时所用到的拓扑规则。

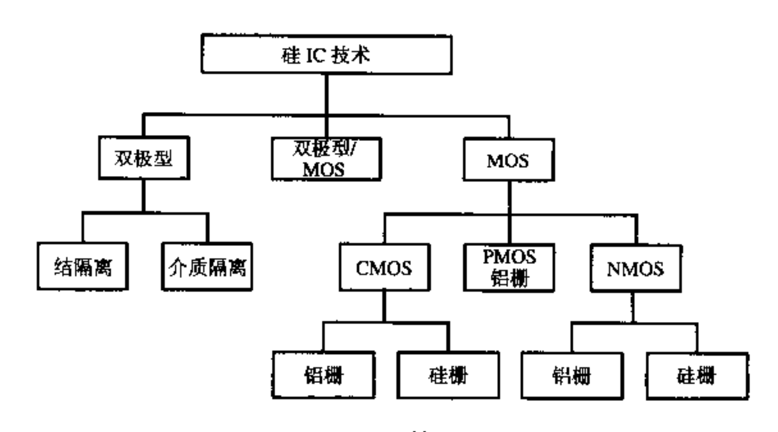


图 2.0-1　硅技术分类

2.1　基本 MOS 半导体制造工艺

半导体技术是基于许多用于制造半导体部件的完整的工艺步骤之上的。为了了解制造工艺，

就必须首先了解这些步骤。这些步骤包括氧化、扩散、离子注入、沉积和刻蚀。用于确定半导体部件区域的工艺叫做光刻。

所有的工艺都以单晶硅为起点。生长单晶硅有两种方法[9]。用得较多的方法是在1917年由Czochralski提出的方法的基础上发展而成的；第二种方法叫做浮融带法，它可以产生高纯度晶体，常用于功率器件。一般来说，晶体是按<100>或<111>方位生长的，长成的晶体是直径为75~300 mm、长度为1 m的圆柱体，然后柱状晶体被切成0.5~0.7 mm厚、100~150 mm大小的晶圆[10]。晶圆的厚度主要由物理强度要求决定。在晶体生长过程中，被掺进n型或p型杂质即可形成n或p型衬底。衬底是制造工艺中晶圆的起始材料。多数衬底的掺杂浓度近似为 $10^{15}/cm^3$（即每立方厘米 10^{15} 个杂质原子），大致对应于n型衬底电阻率为3~5 Ω·cm，p型衬底电阻率为14~16 Ω·cm[11]。

另一种以轻掺杂的硅晶圆作为起点的方法是在重掺杂的晶圆顶部进行轻掺杂以形成外延层，在外延层形成器件。虽然外延晶圆更昂贵，但是它具有一些优点，例如降低闩锁效应（以后将讨论到）的敏感度，在混合信号集成电路中减少模拟和数字电路间的干扰。

接下来将介绍为制造半导体元器件对掺杂硅晶圆采用的五个基本的工艺步骤（氧化、扩散、离子注入、沉积和刻蚀）。

氧化

基本工艺的第一步是氧化物生长或称氧化[12]。氧化是在硅晶圆的表面形成二氧化硅（SiO_2）的工艺。氧化物在硅表面生长的同时也深入到硅的内部，如图2.1-1所示。一般情况下，氧化物总厚度中大约有56%生长在原材料表面之上，44%生长在原材料表面之下。氧化物的厚度用 t_{ox} 表示，既可以用干法也可以用湿法生长，其中，前者具有较低的缺陷密度。一般来说，氧化物的厚度变化范围可以从低于150 Å的栅氧化层到超过10 000 Å的场氧化层。氧化过程发生在700~1100℃的温度范围内，而氧化物的厚度正比于生长时的温度（在一个确定的时间内）。

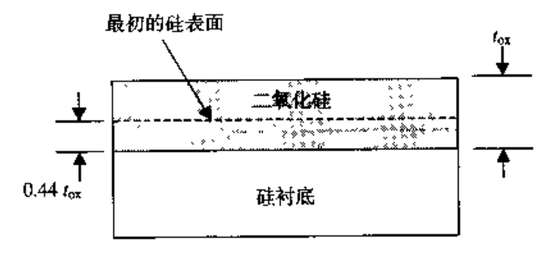


图 2.1-1 硅晶圆表面上二氧化硅的生长

扩散

第二个基本工艺步骤是扩散[13]。在半导体材料中扩散是一种杂质原子由材料表面向材料内部运动的过程。扩散发生在800~1400℃的温度范围内，且与气体在空气中的扩散类似。半导体中杂质的浓度分布是表面杂质浓度和半导体在高温环境内时间的函数。按半导体表面的杂质浓度区分，有两种基本扩散机制：第一种机制假定在整个扩散过程中表面杂质源（$N_0\ cm^{-3}$）无穷多。在无穷多杂质源的情况下，杂质的分布是扩散时间的函数，如图2.1-2（a）所示。第二种机制假定初始情况下材料表面的杂质源是有限的，在 t=0 时的值为 N_0。然而，随着时间的增加，表面杂质的浓度将减少，如图2.1-2（b）所示。N_B 在图中表示半导体扩散前的杂质浓度。

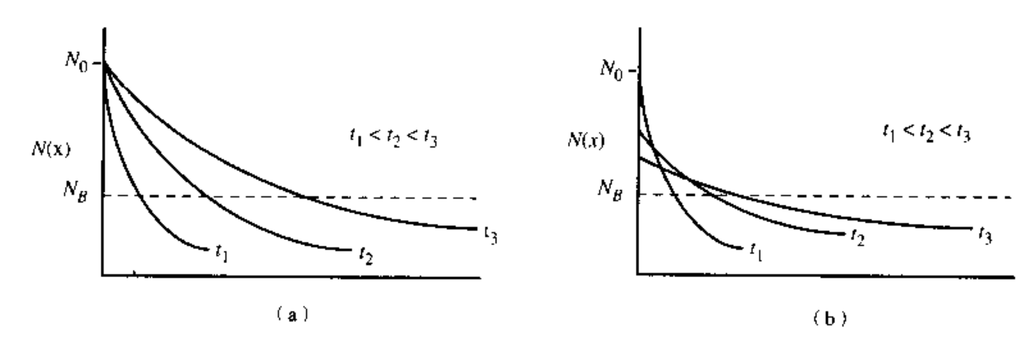


图 2.1-2　作为时间函数的扩散分布　（a）表面无穷杂质源的情形；（b）表面有限杂质源的情形

无穷源和有限源的扩散分别是预沉积扩散和渗透扩散的典型应用。预沉积扩散的目的是在材料表面附近掺进高浓度的杂质。能够扩散进硅材料的最大杂质浓度取决于杂质类型，由于受固体溶度的限制，最大浓度在 5×10^{20}~$2\times10^{21}/cm^3$ 的范围内变化。沉积扩散后是渗透扩散，主要用于使杂质更加深入半导体。预扩散杂质面和相反类型杂质扩散面的交叠处定义为半导体结。这是在p型和n型半导体材料之间的结，所以称为pn结。半导体的表面到结的距离称为结深。典型的扩散深度可以从预沉积型的0.1 μm到渗透型的大于10 μm。

离子注入

接下来的一个基本工艺步骤是离子注入，被广泛应用于MOS元件的制造[14, 15]。离子注入是特殊掺杂物（杂质）的离子由电场加速至很高的速度并注入半导体材料中的工艺。渗透的平均深度在0.1 μm到0.6 μm范围内，具体取决于注入硅晶圆离子的速度和角度。每个离子的路径取决于它的碰撞经历。所以，离子的注入一般偏离晶圆的轴向，以便离子有机会与原子晶格相碰撞，避免了在硅中产生不希望的深离子沟槽。另一种形成沟道的方法是通过二氧化硅进行注入，这将使离子在到达硅表面之前具有随机的注入方向。离子注入过程会对半导体晶格产生破坏，使许多注入离子留在电不活动区。这种损害可以用退火的方法来修复，也就是注入后将半导体温度上升到800 ℃以使离子移动到半导体晶格内的激活区。

既然离子注入和扩散的目的都是让杂质掺进半导体材料内，因此可以用离子注入代替扩散。离子注入相对于热扩散来说有几大优点：一是掺杂的精确控制，误差在±5%。重复性好，可以调节MOS器件的阈值，或用于制造精确的电阻；二是离子注入为室温工艺，只在修复硅晶格缺陷的退火过程中要求高温；三是可以通过薄层注入，因此在注入期间或者注入后，被注入的材料都不会暴露于污染物中。与离子注入不同，扩散需要把表面的二氧化硅层或氮化硅层除去；最后，离子注入可以控制注入杂质的分布，例如，如果需要，可以在硅表面下形成浓度峰值。

沉积

第四个基本工艺步骤是沉积。沉积就是把多种不同材料的薄膜层沉积到硅晶圆上。这些薄膜可以用几种不同的技术沉积，包括蒸发沉积[16]、溅射沉积[17]和化学气相沉积（CVD）[18, 19]。在蒸发沉积中，一种固体材料被放在真空中加热后蒸发，蒸发出的分子撞击较冷的晶圆，在晶圆表面浓缩为一层固体薄膜。沉积材料的厚度取决于温度和蒸发的时间（典型厚度为1 μm）。溅射技术是利用正离子轰击阴极，该阴极是采用需要沉积的材料覆盖的，被轰击或目标材料被直接的动力转换驱使沉积到放在阳极的晶圆表面。溅射技术被用在DC、射频（RF）和磁电管（磁场）

这些集成电路上。溅射通常在真空中完成。化学气相沉积是在硅晶圆表面进行化学反应或者气相高温分解使薄膜沉积的方法。这种沉积技术一般用来沉积多晶硅、二氧化硅（SiO_2）或氮化硅（Si_3N_4）。化学气相沉积一般在大气压力下完成，但它也可以在扩散率显著上升的低压下进行，这种技术叫做低压化学气相沉积。

刻蚀

这里介绍半导体制造的最后一个工艺步骤：刻蚀。刻蚀是去除被暴露材料（未保护）的工艺。使一些材料被暴露、另一些不暴露的方法将在下面介绍光刻的时候讨论。现在，我们假设图2.1-3（a）的情况已经存在。从图中可以看到称做薄膜的顶层和一个底层。称做掩膜层[①]的保护层覆盖在不需要刻蚀的薄膜上。刻蚀的目的就是除去这些暴露的薄膜部分。为了达到这一目的，刻蚀过程必须有两个重要特性：选择性和各向异性。所谓选择性就是指刻蚀时只除去希望除去的层，不影响保护层（掩膜层）或底层。选择性可以用期望层的刻蚀率与不期望层的刻蚀率之比来衡量，公式如下：

$$S_{A-B} = \frac{\text{期望层的刻蚀率（A）}}{\text{不期望层的刻蚀率（B）}} \tag{2.1-1}$$

各向异性是指刻蚀本身在同一个方向的特性，也即，完美的各向异性刻蚀应该仅在一个方向上刻蚀。各向异性的程度可用如下公式表示：

$$A = 1 - \frac{\text{横向刻蚀率}}{\text{垂直刻蚀率}} \tag{2.1-2}$$

事实上，现实中既不可能做到完美的选择性，也不可能有完美的各向异性，结果往往如图2.1-3（b）所示的那样，既有侧凹影响也会除去部分底层。如图所示，在掩膜层上选择性的不完善用 a 表示，底层选择性的不完善用 b 表示，而 c 则表示了各向异性的程度。具有高度各向异性优势的刻蚀技术可以有最小的侧凹效应、保持高选择性。通常被刻蚀的材料包括多晶硅、二氧化硅、氮化硅和铝。

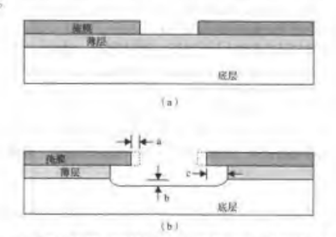


图 2.1-3　（a）准备刻蚀的顶层部分；（b）刻蚀结果表示水平刻蚀和底层刻蚀

有两种基本刻蚀技术。湿法刻蚀利用化学试剂去除需刻蚀的材料。氢氟酸（HF）被用来刻蚀

① 分清两种掩膜间的区别，沉积掩膜引用“掩膜”，在光刻胶曝光中所用的照相版称做“光掩膜”。

二氧化硅；磷酸（H_3PO_4）用来刻蚀氮化硅；硝酸、乙酸或氢氟酸用来除去多晶硅；硅则用氢氧化钾来刻蚀；磷酸混合物可以用来除去金属。湿刻蚀技术非常依赖时间和温度，而且由于酸的潜在危险，使用中必须小心。*干法刻蚀*或*等离子刻蚀*利用高频发生器产生具有化学活性的离子化的气体来进行刻蚀。这种工艺需要对优化压力、气流率、气体混合度和高频功率特别关注。干法刻蚀技术十分类似于溅射，而且实际上可以用同种设备来实现。离子反应刻蚀（RIE）是一种伴有离子轰击的等离子体刻蚀。由于干法刻蚀可以获得各向异性的分布（没有侧凹），所以被用在亚微米工艺中。

光刻

除了氧化和沉积步骤之外，至此所有讨论到的基本半导体制造工艺都只用来实现对硅晶体的部分区域进行加工，完成这些区域选择的工艺称做光刻[12, 20, 21]。光刻是从光掩膜或计算机的数据库中将版图转换到晶圆上的过程。光刻的基本单元是光刻胶材料和光掩膜。光掩膜被用来使光刻胶的一些区域暴露在紫外（UV）光下，而另一些则被遮掩保护起来。所有集成电路都由许多形成器件或元件的分层结构组成，每个不同的层次都必须被物理定义为一个几何集合。为实现这一步，可先以大比例尺寸画出，然后再缩小到合适的尺寸。然而，目前常用的做法是利用计算机辅助设计（CAD）系统来完成版图的绘制，并将其保存为电子数据格式。

光刻胶是一种曝露在紫外光下就会改变特性的有机聚合体，它分为正性和负性两种。正性光刻胶被用来制作有图形存在（紫外光无法穿透）区域的掩膜版，负性光刻胶用来制作无图形存在（紫外光可以透过）区域的掩膜版。光刻工艺的第一步是将光刻胶涂在材料表面。把光刻胶滴到晶圆上的同时让晶圆以每分钟几千转的速率旋转，使光刻胶均匀散开涂覆在晶圆的表面。光刻胶的厚度只与晶圆转动的角速度有关。第二步是“软烘干”，去除光刻胶中的溶剂。再接下来就是有选择地将晶圆在紫外线下曝光。如果利用正性光刻胶，那么在紫外线下曝光的区域会随溶剂去除，只留下那些未曝光的部分；相反，如果利用负性光刻胶，那么曝光部分将不受溶剂影响，而未曝光部分将被去除。这个曝光和随后的选择性去除光刻胶的过程称做显影。然后，显影过的晶圆在高温下进行“硬烘干”，以使留下的光刻胶达到最大的粘附性。硬化过的光刻胶可以在等离子刻蚀和酸刻蚀过程中保护被选择的区域。当保护功能完成后，将光刻胶用溶剂或不损害底层的等离子束加以去除。该过程必须对集成电路制作中的每层结构重复进行。图2.1-4所示的是利用正性光刻胶确定多晶硅图形的基本光刻流程。

光通过掩膜对晶圆选择性曝光的过程称做光刻。一般有三种光刻方法：

- 接触式光刻
- 接近式光刻
- 投影式光刻

最简单、最精确的方法是接触式光刻。这种方法利用一块带有所需图形且比实际晶圆尺寸略大的玻璃板与晶圆直接接触。通常这块玻璃板称做光掩膜版。这种方法分辨率高，产量高且费用低。问题是由于直接接触，掩膜版会有损耗，使用10~25次后就必须更换。同时，这种方法由于直接接触会引进杂质和缺损。鉴于这些原因，现代VLSI中不采用接触式光刻。

第二种曝光方法叫做接近式光刻，在这种系统中，掩膜版和晶圆靠得非常近，但不直接接触。随着掩膜版和晶圆的间隔增大，分辨率将减小。一般来说，当最小特征尺寸小于2μm时，就无法采用这种方法了，所以接近式光刻也不适用于VLSI。

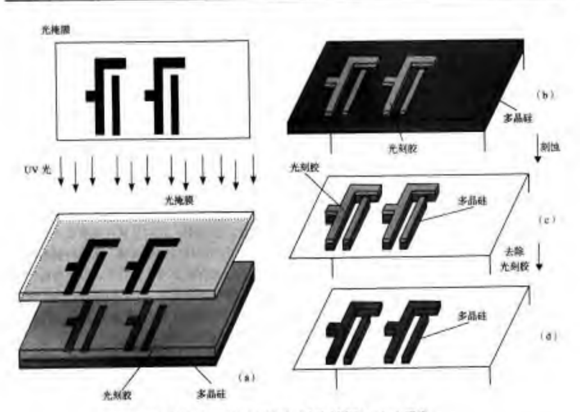


图 2.1-4　确定多晶硅形状的基本光刻流程。（a）曝光；（b）显影；（c）刻蚀；（d）去除光刻胶

投影式光刻把掩膜版和晶圆拉开一段距离，采用透镜或镜面光掩膜上的图形聚焦到晶圆表面。投影式光刻有扫描和步进两种方式。扫描方法使光线通过光掩膜版，经一系列复杂的光学反射多棱镜，利用弧光在晶圆表面上形成影像，以优化最小失真。掩膜版和晶圆扫描照亮的弧光。这种方法的最小特征尺寸为 2–3 μm。

现在最常用的投影式光刻技术是步进技术。这种方法可以利用两种方式来实现：缩小和非缩小投影。缩小投影式光刻利用光掩膜按比例缩小图形，典型值为 5×。这种方法的优点是缺损也等量缩小了。而非缩小投影的方法则没有这种优点，于是为了得到较低的缺损密度，需要提高对掩膜版本身的制造要求。

电子束曝光技术由于其高分辨率（小于 1 μm）而常被用来制作投影光刻用的掩膜版。不过，电子束也可以不经过光掩膜版而直接对光刻胶进行刻写。利用电子束曝光系统的优点是精确性和具有利用软件进行修改的能力，缺点是成本高和生产能力低。

n 阱 CMOS 制造步骤

对于一个电路设计者来说了解一些 CMOS 电路的基本制作步骤是非常重要的。在这里我们将详细介绍一种广为流行的硅栅 CMOS 工艺的制作过程。在 n 阱硅栅 CMOS 工艺中，第一步是在 p^- 型衬底（晶圆）上生长一层薄的二氧化硅层。接下来，利用掩膜对沉积光刻胶曝光，在氧化层上定义出制作 n 阱的区域。显影光刻胶后，n 型杂质被注入晶圆，如图2.1-5（a）所示。接下来，除去光刻胶，在高温下进行氧化和扩散，使注入的离子进入 p^- 型衬底。然后，去除氧化层，再一

次进行薄垫底氧化层生长（垫底氧化层的作用是保护衬底，防止由于硅和氮化硅的热膨胀不同而产生的应力）。然后一层氮化硅被沉积在整个晶圆表面，如图 2.1-5（b）所示。再一次按照如前所述的过程操作，涂光刻胶、成形并显影，将氮化硅从成形处去除。仅在制作有源器件的地方留下氮化硅和光刻胶。留有氮化硅的区域称为有源区或有源槽。

接着，整个 n 型场（沟道停止）注入完成，如图 2.1-5（c）所示。这一步的目的是为确保在各互连线下面不会形成导通的寄生 p 沟道管。然后，除去光刻胶，并利用 p 型场（沟道停止）注入掩膜版再涂光刻胶、成形，然后进行 p^-场注入，过程如图 2.1-5（d）所示。这一步的目的是为确保在各种互连线情况下不会形成导通的寄生 n 沟道管。接下来为了隔离有源区，在覆盖氮化硅的地方之外（氮化硅阻碍氧化物的生长）生长一层厚二氧化硅层覆盖整个晶圆。这种在器件之间建立隔离的特殊方法叫做 LOCOS（硅的局部氧化法）隔离法。LOCOS 隔离不理想的地方之一是氧化物在生长的过程中会侵蚀到氮化硅边缘的下面，导致有源区的减少（这就是著名的“鸟喙”效应）。图 2.1-5（e）显示了这一步的结果。一旦厚场氧化物（FOX）生长完成后，就可去除氮化硅且生长称做栅氧的薄氧化层。紧接着是在晶圆上沉积多晶硅[见图2.1-5（f）]、成形、刻蚀，仅留下需要制作晶体管的栅极和相互连线的多晶硅。

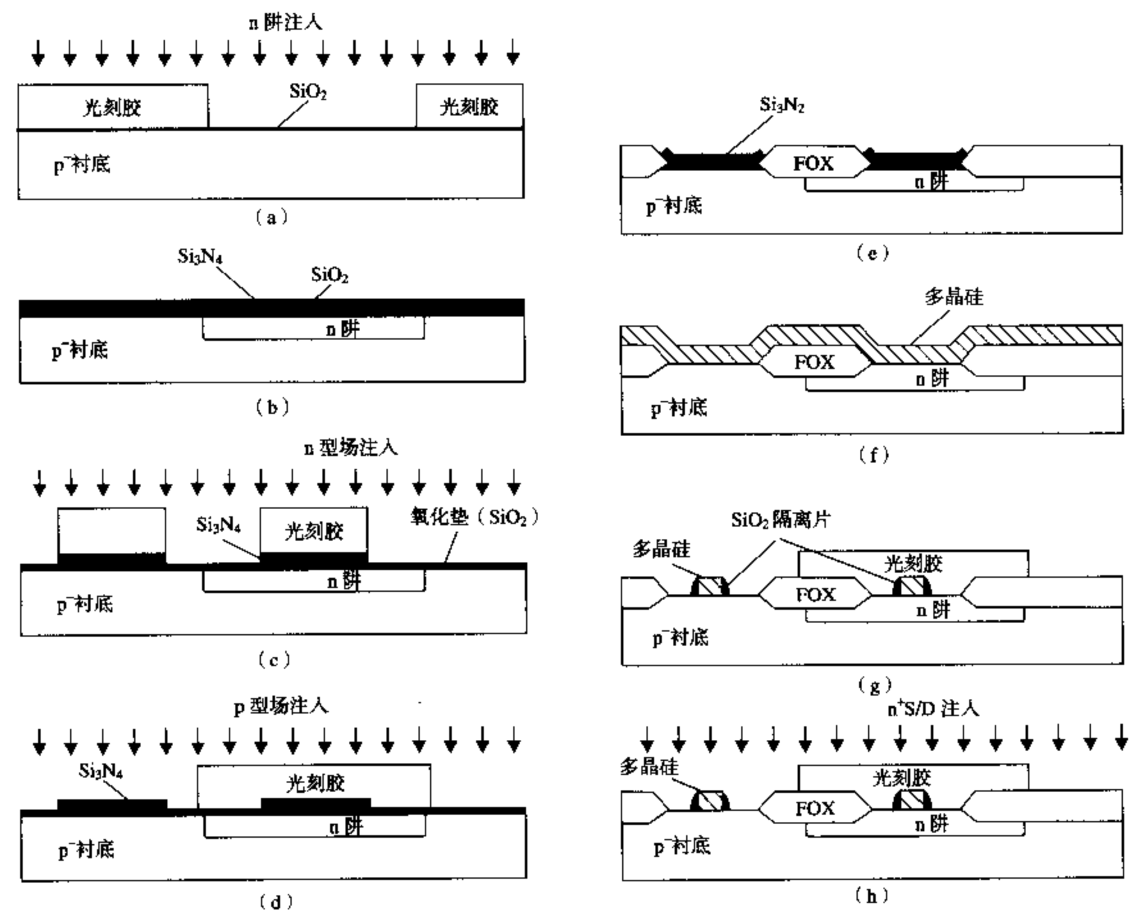


图 2.1-5 主要 CMOS 工艺步骤

至此，还没有在衬底中扩散源、漏区。现代工艺引入了轻掺杂漏区/源区（LDD）扩散，以使碰撞离子化最小。为形成 LDD 结构，需在多晶硅上沉积隔离氧化物，然后进行各向异性氧化刻

蚀，在多晶硅栅的每边留下隔离片，如图 2.1-5（g）所示。为了做出源和漏中的 n^+，必须在所有需做 n 沟道晶体管的地方涂光刻胶；在 n^-区（如 n 阱）中需要连接金属引线的区域应形成 n^+ 区。显影后，对 n^+区域进行杂质注入，如图 2.1-5（h）所示。光刻胶像多晶硅和隔离片一样对注入起屏障作用。因此 n^+区与隔离片氧化物完全对齐。接下来除去隔离片氧化物，进行 n^-轻掺杂[如图 2.1-5（i）所示]，即得到一个与多晶硅栅对齐且具较高阻抗的源/漏区。形成 p 沟道晶体管时，只需重复这些步骤即可。图2.1-5（j）是完成后的横截面示意图。接下来再利用退火工艺激活注入离子。至此，如图 2.1-5（k）所示，除了一些必要的外部连接外，n 和 p 沟道 LDD 晶体管就完成了。

在做接触孔之前，先在整个晶圆上沉积一层新的厚氧化层[见图 2.1-5（l）]，这一层是一种典型的硼磷硅酸盐（borophosphosilicate）玻璃（BPSG），它有低的回流温度（可以给后续层提供更平坦的表面）[22]。做接触孔时，首先利用光刻工艺定位，然后，做接触孔区域的氧化层被刻蚀到硅表面。除去残留的光刻胶并在晶圆上沉积金属（铝）。然后，第一层金属连线（金属 1）通过光刻和刻蚀，除去不需要的部分。在做第二层金属前，需再沉积一隔离介质层[见图 2.1-5（m）]，通常这是一种用 CVD SiO_2、玻璃纤维（SOG）、CVD SiO_2形成的夹层，具有一定的平坦度。两层金属间的连接（过孔）由光刻、刻蚀、第二层金属（金属 2）沉积形成[见图 2.1-5（n）]。再次利用光刻和刻蚀工艺对第二层金属成形。

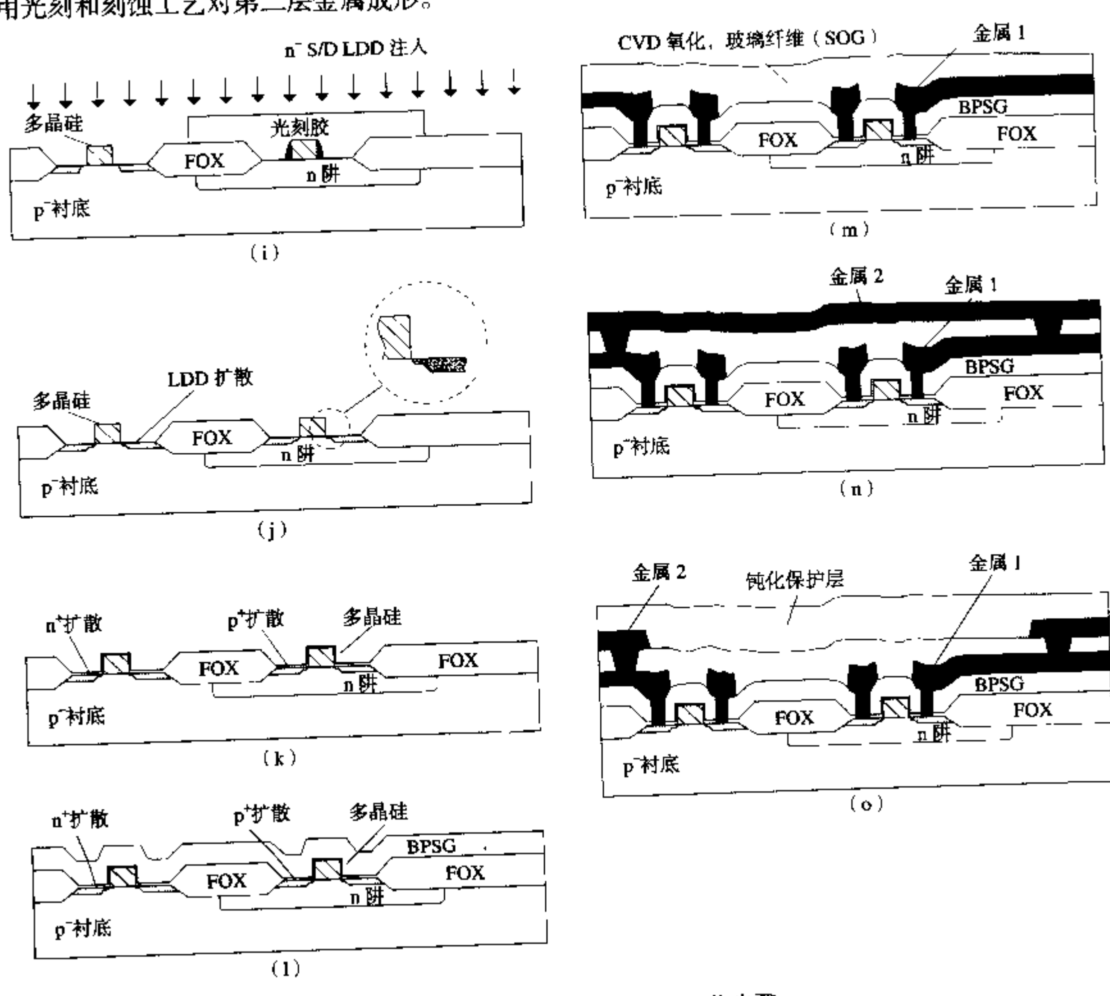


图 2.1-5（续） 主要 CMOS 工艺步骤

为了保护晶圆免受化学侵蚀和刮擦，将 SiO_2 或是 SiN_3 形成的钝化层覆盖在整个晶圆上，然后定义焊盘区（在集成电路和外部封装间用金属线键合的区域），仅在定义为焊盘的地方将钝化层去除。图 2.1-5（o）是最终电路的横截面图。

为着重详细说明制造工艺过程，这里并没有给出真实的尺寸关系（例如侧面图并不符合实际比例）。但是，建立一个实际尺寸的概念也是很有价值的，图 2.1-6 给出了一个相关尺寸图。

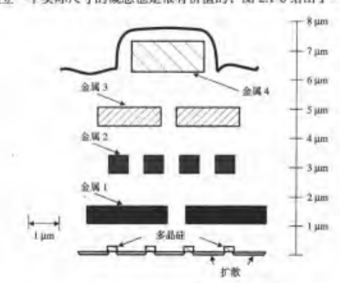


图 2.1-6　CMOS 集成电路侧面图

至此，n 阱 CMOS 工艺基本介绍完毕。下面将介绍一些提高电路性能的方法。

硅化技术是为了减小接触电阻率而产生的。为了实现这一目的，将低阻硅化物如 $TiSi_2$、WSi_2、$TaSi_2$ 或者其他一些硅化物放在多晶硅的顶部，以便整个多晶硅的电阻大幅减小，而不影响用多晶硅作为栅极的显著优点（即众所周知的功函数和多晶硅–硅界面特性）。

自校准硅化技术[①]是利用低阻多晶硅提供更低阻源/漏连接的技术。图 2.1-7 为两种技术所生产的晶体管的截面图[23]。对于模拟电路设计，具有可用的多晶硅电阻和未硅化的扩散电阻是很重要的，所以，一个好的混合信号工艺应该提供自校准硅化技术模块。

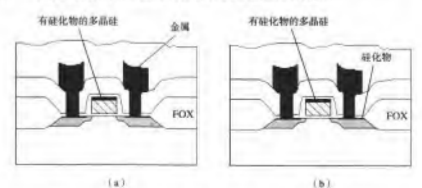


图 2.1-7　（a）有硅化物的多晶硅结构；（b）自校准硅化结构

① 术语硅化和自校准硅化（salicide）常可交换使用。此外 polycide 被认为是有硅化物的多晶硅。

这里没有讨论关于 CMOS 工艺的许多其他细节。而且已描述的基本 CMOS 工艺也有许多不同的实现方法。其中一些可以像制造多层金属那样制造多层多晶硅；另一些可以提供好的电容，这些电容可用两层多晶硅或两层金属（MOM 电容）、或者用重掺杂（与形成源或漏相同的工序）扩散区与上部的多晶硅制成；也有一些工艺开始于在 n^-衬底做 p 阱（而不是在 p^-衬底上做 n 阱）。而最新的工艺利用浅槽隔离（STI）代替 LOCOS 来消除氧化物侵蚀晶体管栅宽的问题，更新的工艺则加入了化学机械抛光（CMP）以达到最大可能的表面平坦度。

2.2 pn 结

pn 结在所有的半导体器件中都起着重要的作用。这一节的目标就是介绍 pn 结的概念，以便于以后的学习。这些概念包括耗尽区宽度、耗尽区电容、反偏或击穿电压和二极管方程，更多的信息可以阅读参考文献[24, 25]。

图 2.2-1（a）显示的是 pn 结的物理结构。在这个结构中假定杂质浓度由 n 型半导体的施主杂质浓度 N_D突变到 p 型半导体的受主杂质浓度 N_A，这种情况称做突变结，如图2.2-1（b）所示。x 是测量以 $x = 0$ 冶金结为原点向右的距离。当两种不同类型的半导体材料以这种方式结合时，每一种类型的载流子都以扩散的方式穿过结，此时，就会留下和载流子电荷相反的固定原子。例如，n 型半导体一侧结附近的电子扩散越过结时，在 n 型半导体侧结附近就留下固定的带正电荷（+）的施主原子，图2.2-1（c）中用高度为 qN_D的矩形来表示。同样，空穴从 p 型半导体扩散越过结到达 n 型半导体时，留下带负电荷固定的受主原子。以扩散方式越过结的自由电子和空穴很快与多子复合。因为结附近的正、负固定电荷未被载流子的扩散复合，所以产生了电场，使载流子产生反向的运动。当扩散产生的电流和电场产生的电流相等时，pn 结达到了平衡。在平衡状态下图 2.2-1（a）中的 v_D和 i_D都是 0。

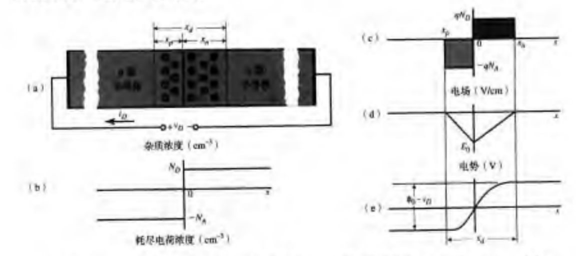


图 2.2-1 pn 结。（a）物理结构；（b）杂质浓度；（c）耗尽电荷浓度；（d）电场；（e）电势

在图 2.2-1（c）中带正电荷的施主原子（因失去了自由电子）占据的长度用 x_n 表示。同样，带负电荷的受主原子（因失去了空穴）占据的长度用 x_p 表示，在这张图中 x_p 是负值。定义载流子耗尽的冶金结为耗尽区，耗尽区定义为：

$$x_d = x_n - x_p \tag{2.2-1}$$

其中，$x_p < 0$。

由于电中性，pn结两边的电荷必定相等，所以：

$$qN_D x_n = -qN_A x_p \tag{2.2-2}$$

式中，q是电子电荷量（1.60×10^{-19}C），在耗尽区电场分布可以用高斯定律计算得出：

$$\frac{dE(x)}{dx} = \frac{qN}{\varepsilon_{Si}} \tag{2.2-3}$$

对pn结两边进行积分，可求出pn结中最大场强E_0，如图2.2-1（d）所示，E_0的表达式为：

$$E_0 = \int_0^{E_0} dE = \int_{x_p}^{0} \frac{-qN_A}{\varepsilon_{Si}} dx = \frac{qN_A x_p}{\varepsilon_{Si}} = \frac{-qN_D x_n}{\varepsilon_{Si}} \tag{2.2-4}$$

式中，ε_{si}是硅的介电常数，等于$11.7\varepsilon_0$（$\varepsilon_0 = 8.85\times10^{-14}$ F/cm）。

耗尽区的电压降如图2.2-1（e）所示，它可以通过对负电场积分得到，结果如下：

$$\phi_0 - v_D = \frac{-E_0(x_n - x_p)}{2} \tag{2.2-5}$$

式中，v_D为外加电压，ϕ_0被称为势垒，表达式为：

$$\phi_0 = \frac{kT}{q}\ln\left(\frac{N_A N_D}{n_i^2}\right) = V_t \ln\left(\frac{N_A N_D}{n_i^2}\right) \tag{2.2-6}$$

式中，k是波尔兹曼常数（1.38×10^{-23}J/K），n_i是硅的本征载流子浓度，在300 K时是1.45×10^{10}/cm^3。在室温时V_t的值为25.9 mV。应该注意，这里的V_t表示kT/q，而不是MOS管的阈值电压V_T（见2.3节），两者不要混淆。虽然当$v_D = 0$时也存在势垒电压，但在二极管的外部端点是反映不出来的。当二极管的两端与金属导线相接时，形成金属–半导体结。金属-半导体的势垒恰好等于ϕ_0，所以二极管的开路电压为零。

对式（2.2-2）、式（2.2-4）和式（2.2-5）联立求解，即可求得n型和p型半导体的耗尽区宽度，结果为：

$$x_n = \left[\frac{2\varepsilon_{Si}(\phi_0 - v_D)N_A}{qN_D(N_A + N_D)}\right]^{1/2} \tag{2.2-7}$$

和

$$x_p = -\left[\frac{2\varepsilon_{Si}(\phi_0 - v_D)N_D}{qN_A(N_A + N_D)}\right]^{1/2} \tag{2.2-8}$$

由式（2.2-1）、式（2.2-7）和式（2.2-8）可以解出耗尽区宽度x_d为：

$$x_d = \left[\frac{2\varepsilon_{Si}(N_A + N_D)}{qN_A N_D}\right]^{1/2}(\phi_0 - v_D)^{1/2} \tag{2.2-9}$$

由式（2.2-9）可见，图2.2-1所示的pn结耗尽区的宽度与势垒和外加电压之差的平方根成正比。还可看出，当$N_A \gg N_D$时，x_d近似等于x_n；当$N_D \gg N_A$时，x_d近似等于x_p。所以，耗尽区主要向轻掺杂半导体一侧扩展。

耗尽区电荷 Q_j 的特性也是我们关心的问题，它等于 pn 结两侧任一侧固定电荷的量。由上面的关系式得出耗尽区电荷如下式所示：

$$Q_j = |AqN_Ax_p| = AqN_Dx_n = A\left[\frac{2\varepsilon_{Si}qN_AN_D}{N_A + N_D}\right]^{1/2}(\phi_0 - v_D)^{1/2} \tag{2.2-10}$$

其中，A 是 pn 结的横截面积。

pn 结的电场强度 E_0 可以从式（2.2-4）、式（2.2-7）或式（2.2-8）求出，表达式为：

$$E_0 = \left[\frac{2qN_AN_D}{\varepsilon_{Si}(N_A + N_D)}\right]^{1/2}(\phi_0 - v_D)^{1/2} \tag{2.2-11}$$

式（2.2-9）、式（2.2-10）和式（2.2-11）是了解 pn 结的主要关系式。

pn 结耗尽区形成的电容称做耗尽层电容，它是由结附近没有被中和的固定电荷形成并随着外加电压的变化而改变。耗尽层电容 C_j 可利用式（2.2-10）按电容的定义求出：

$$C_j = \frac{dQ_j}{dv_D} = A\left[\frac{\varepsilon_{Si}qN_AN_D}{2(N_A + N_D)}\right]^{1/2}\frac{1}{(\phi_0 - v_D)^{1/2}} = \frac{C_{j0}}{[1 - (v_D/\phi_0)]^m} \tag{2.2-12}$$

式中，C_{j0} 是 $v_D = 0$ 时的耗尽层电容，m 为梯度系数。图2.2-1 所示情况的系数 $m = \frac{1}{2}$，称为突变结。如果 pn 结是采用 2.1 节中介绍的扩散工艺制成的，则图 2.2-2 所示的分布曲线图就会比图 2.2-1(b)更接近一些，这种情况下 $m = \frac{1}{3}$。通常梯度系数的范围在 $\frac{1}{3}$ 和 $\frac{1}{2}$ 之间。图 2.2-3 示出了 pn 结的耗尽层电容曲线。由图可见，当 v_D 为正并接近 ϕ_0 时，耗尽层电容将接近无穷大。但是，在此电压下，上述推导公式中的假设是无效的。尤其假设耗尽区没有载流子是不实际的。因此，实际的曲线将变弯曲，当 v_D 接近 ϕ_0 时 C_j 会减小[26]。

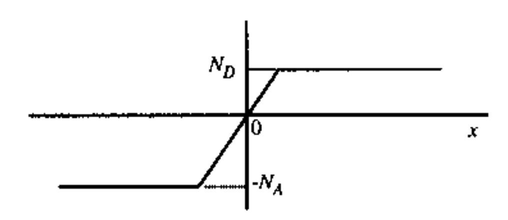


图 2.2-2　扩散 pn 结的杂质浓度分布曲线

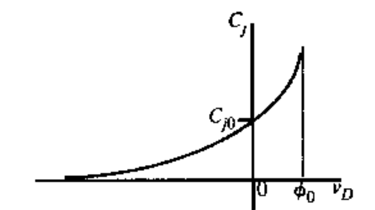


图 2.2-3　耗尽电容与外加电压的关系

例 2.2-1　pn 结特性

已知一突变结二极管的参数为：$N_A = 5\times10^{15}/\text{cm}^3$，$N_D = 10^{20}/\text{cm}^3$，结面积为 $10\ \mu\text{m}\times10\ \mu\text{m}$，外加电压为$-4$ V。求 x_p、x_n、x_d、ϕ_0、C_{j0} 和 C_j。

解：

室温下，由式（2.2-6）可得势垒为 0.917 V。由式（2.2-7）和式（2.2-8）求出 $x_n \cong 0$ 和 $x_p = 1.128\ \mu\text{m}$。所以，耗尽区宽度近似等于 x_p 或 1.128 μm。将这些值代入式（2.2-12），求出 $C_{j0} = 20.3$ fF，在外加电压为-4 V 时 C_j 为 9.18 fF。

反向偏置（$v_D < 0$）pn 结的击穿电压是由耗尽区所能承受的最大电场 E_{max} 决定的。对硅来说，最大电场近似为 3×10^5 V/cm。如果假设 $|v_D| > \phi_0$，然后将 E_{max} 代入式（2.2-11），便可以得到

最大反偏电压或击穿电压（BV）的表达式：

$$BV \cong \frac{\varepsilon_{Si}(N_A + N_D)}{2qN_AN_D}E_{max}^2 \tag{2.2-13}$$

将例 2.2-1 的数据代入式（2.2-13），取 $E_{max} = 3\times10^5$ V/cm，可得到击穿电压为 58.2 V。但是随着反向偏置电压从开始到趋近这个数值时，pn 结的反向电流才开始增加。电流的增加是由于在两种重掺杂半导体形成的 pn 结上加反向偏置时有两种导电机制引起的。第一种导电机制叫做雪崩倍增，它是由 pn 结上的高电场引起的。第二种叫做齐纳击穿。齐纳击穿是在高电场情况下直接分裂共价键，但是齐纳机制不需要高能离子化载流子。在多数击穿二极管中电流都是这两种机制共同作用的结果。

如果 i_R 是 pn 结的反向电流，v_R 是 pn 结上的反偏电压，那么实际的反向电流 i_{RA} 可以写成：

$$i_{RA} = Mi_R = \left(\frac{1}{1-(v_R/BV)^n}\right)i_R \tag{2.2-14}$$

M 是雪崩倍增因子，n 是一个指数，用来调整图 2.2-4 中曲线拐弯处的曲率，n 的典型值在 3～6 之间。如果 pn 结两侧都是重掺杂的，那么击穿将通过隧道发生，引起齐纳击穿，通常发生在低于 6 V 的电压下。齐纳二极管是在 n^+扩散区与 p^+扩散区的交叠处形成的。值得注意的是，尽管齐纳二极管的一端必须接到最低电源 V_{SS} 或最高电源 V_{DD}，但是齐纳二极管的制造却是和基本 CMOS 工艺兼容的。

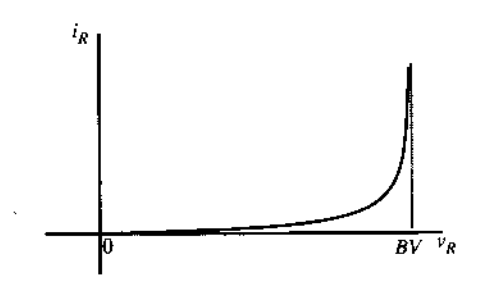


图 2.2-4　显示电压击穿的 pn 结反偏伏-安特性

二极管的电压-电流关系可由分析 pn 结中少数载流子的浓度推导得出。图 2.2-5 示出了 pn 结正向偏置时少数载流子浓度分布曲线。多数载流子浓度要比它大得多，在图中没有表示出来。正向偏置使少数载流子移动越过 pn 结并与另一边的多数载流子复合。pn 结两边过剩的少数载流子浓度在图中用阴影区域表示。我们注意到过剩载流子浓度从 $x = 0$（$x' = 0$）处以最大值开始，随着 $x(x')$得增大而减少到一个平衡值。过剩载流浓度的值在 $x = 0$ 处设为 $P_n(0)$，或在 $x' = 0$ 处设为 $n_p(0)$，它们可以用正向偏置 v_D 来表示：

$$p_n(0) = p_{n0}\exp\left(\frac{v_D}{V_t}\right) \tag{2.2-15}$$

和

$$n_p(0) = n_{p0}\exp\left(\frac{v_D}{V_t}\right) \tag{2.2-16}$$

这里，p_{n0} 和 n_{p0} 分别是 n 型和 p 型半导体中少数载流子的平衡浓度，该浓度等于本征浓度的平方

除以施主或受主的杂质原子浓度。如图 2.2-5 所示。如果 v_D 增加，过剩的少数载流子也增加；如果 v_D 为零，过剩载流子为零；如果 v_D 是负值（反向偏置），则少数载流子的浓度将低于平衡值。

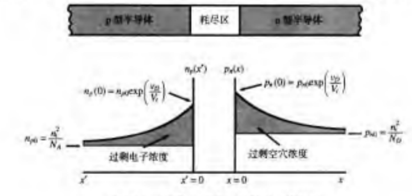


图 2.2-5　扩散 pn 结杂质浓度分布曲线图

流过 pn 结的电流正比于过剩少数载流子浓度在 $x = 0$（$x' = 0$）处的斜率。这个关系可由下面给出的 n 型半导体中空穴的扩散方程表示：

$$J_p(x) = -qD_p \left.\frac{dp_n(x)}{dx}\right|_{x=0} \tag{2.2-17}$$

其中，D_p 为 n 型半导体中的空穴扩散常数。在 n 型半导体中，过剩空穴可以表示为：

$$p_n'(x) = p_n(x) - p_{n0} \tag{2.2-18}$$

过剩少数载流子从 pn 结开始以指数规律衰减，可以表示为：

$$p_n'(x) = p_n'(0)\exp\left(\frac{-x}{L_p}\right) = [p_n(0) - p_{n0}]\exp\left(\frac{-x}{L_p}\right) \tag{2.2-19}$$

式中，L_p 是 n 型半导体中空穴的扩散长度，将式（2.2-15）代入式（2.2-19）可得：

$$p_n'(x) = p_{n0}\left[\exp\left(\frac{v_D}{V_t}\right) - 1\right]\exp\left(\frac{-x}{L_p}\right) \tag{2.2-20}$$

将式（2.2-20）代入式（2.2-17）可得 n 型半导体中由过剩空穴浓度产生的电流密度：

$$J_p(0) = \frac{qD_p p_{n0}}{L_p}\left[\exp\left(\frac{v_D}{V_t}\right) - 1\right] \tag{2.2-21}$$

同样，对 p 型半导体的过剩电子，有：

$$J_n(0) = \frac{qD_n n_{p0}}{L_n}\left[\exp\left(\frac{v_D}{V_t}\right) - 1\right] \tag{2.2-22}$$

如果忽略耗尽区的复合电流，pn 结的总电流密度的表达式为：

$$J(0) = J_p(0) + J_n(0) = q\left[\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right]\left[\exp\left(\frac{v_D}{V_t}\right) - 1\right] \tag{2.2-23}$$

用式（2.2-23）乘 pn 结的面积 A 可得总电流为：

$$i_D = qA\left[\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right]\left[\exp\left(\frac{v_D}{V_t}\right) - 1\right] = I_s\left[\exp\left(\frac{v_D}{V_t}\right) - 1\right] \quad (2.2\text{-}24)$$

I_s是常数，称为饱和电流。式（2.2-24）就是我们熟悉的 pn 结二极管的电压-电流关系式。

例 2.2-2 计算饱和电流

已知二极管参数，$N_A = 5\times10^{15}/\text{cm}^3$，$N_D = 10^{20}/\text{cm}^3$，$D_n = 20\ \text{cm}^2/\text{s}$，$D_p = 10\ \text{cm}^2/\text{s}$，$L_n = 10\ \mu\text{m}$，$L_p = 5\ \mu\text{m}$，$A = 1000\ \mu\text{m}^2$，求 pn 结二极管的饱和电流。

解：

根据式（2.2-24）可知饱和电流为：

$$I_s = qA\left[\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right]$$

由 n_i^2/N_D 求得 $P_{n0} = 2.103/\text{cm}^3$，由 n_i^2/N_A 求得 $n_{p0} = 4.205\times10^4/\text{cm}^3$，将面积的单位由$\mu\text{m}^2$转换到 cm^2 并代入上式，则饱和电流的值为 1.346×10^{-15}A 或 1.346 fA。

本节介绍了耗尽区宽度、耗尽电容、击穿电压和pn结的电压-电流特性。这些概念对了解 MOS 有源和无源器件的特性和性能都非常重要。

2.3 MOS 晶体管

采用 n 阱工艺的 n 沟道和 p 沟道 MOS 晶体管结构如图 2.3-1 所示。p 沟道器件是在称做阱的轻掺杂 n^-区中扩散出两个重掺杂的 p^+区构成的。两个 p^+区被称为漏和源，两者相距一个距离 L（称为器件长度）。漏源之间表面有一栅电极，电极与硅之间隔有一层薄的绝缘体（二氧化硅）。同样，n 沟道晶体管是由两个在轻掺杂的 p^-衬底上重掺杂的 n^+区组成。同样，在漏源之间表面有一个由二氧化硅将其与硅隔开的栅电极。从本质上来讲，两种类型的晶体管都是如图1.2-2（c,d）所示的四端器件。B 端是体，其上有源和漏的扩散区。对 n 阱工艺，p 型体是整个集成电路的接V_{SS}（通常是最负的电源）的公共端。在一个电路上可以有多个 n 阱，根据应用的需要以各种方式接到不同的电位上。

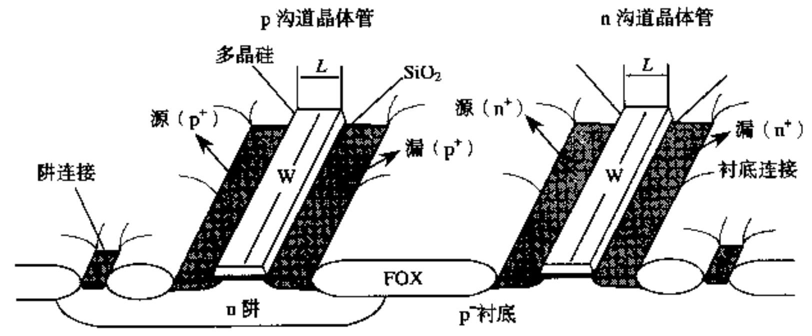


图 2.3-1 n 阱技术中 p 沟道和 n 沟道晶体管的物理结构

图 2.3-2 是一个四端接地的 n 沟道晶体管。平衡时 p^-衬底和 n^+的漏、源形成 pn 结。因此，在 n^+的漏、源与 p^-衬底之间有耗尽区。因为源、漏是由背对背的pn结分开的，漏、源之间的电阻非

常高（>$10^{12}\,\Omega$）。MOS 晶体管的栅极和衬底形成由二氧化硅作为介质的平板电容。该电容除以栅极面积所得电容设定为 C_{ox}[①]。若在栅极上加一个相对于源极为正的电压，则硅和二氧化硅接触面附近的空穴被推离，栅极下形成耗尽层。耗尽层由带负电荷的固定离子组成。使用一维分析，耗尽层电荷密度ρ 表示如下：

$$\rho = q(-N_A) \tag{2.3-1}$$

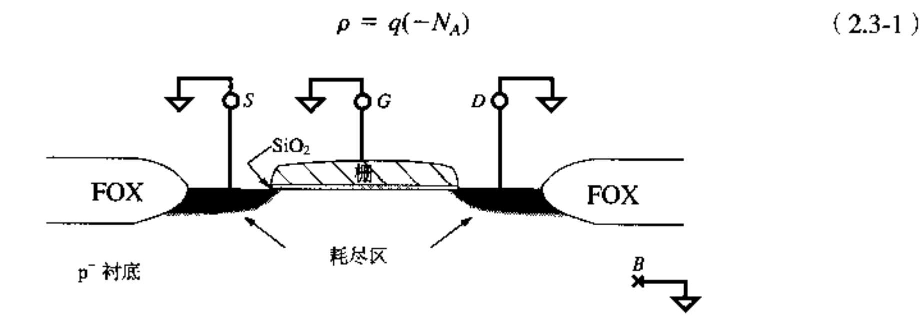


图 2.3-2　各端接地的 n 沟道晶体管垂直切面图

根据高斯定律，由此电荷形成的电场是：

$$E(x) = \int \frac{\rho}{\varepsilon}\,dx = \int \frac{-qN_A}{\varepsilon_{Si}}\,dx = \frac{-qN_A}{\varepsilon_{Si}}x + C \tag{2.3-2}$$

其中，C 是积分常数。由耗尽区边界（硅和二氧化硅接触面为 $x=0$，在衬底中耗尽区的边缘为 $x=x_d$）的 $E(x)$计算如下：

$$E(0) = E_0 = \frac{-qN_A}{\varepsilon_{Si}}0 + C = C \tag{2.3-3}$$

$$E(x_d) = 0 = \frac{-qN_A}{\varepsilon_{Si}}x_d + C \tag{2.3-4}$$

$$C = \frac{qN_A}{\varepsilon_{Si}}x_d \tag{2.3-5}$$

$E(x)$的表达式为：

$$E(x) = \frac{qN_A}{\varepsilon_{Si}}(x_d - x) \tag{2.3-6}$$

根据电势和电场的关系可得：

$$\int d\phi = -\int E(x)\,dx = -\int \frac{qN_A}{\varepsilon_{Si}}(x_d - x)\,dx \tag{2.3-7}$$

对式（2.3-7）两边积分，代入合适的积分上下限：

$$\int_{\phi_s}^{\phi_F} d\phi = -\int_0^{x_d} \frac{qN_A}{\varepsilon_{Si}}(x_d - x)\,dx = -\frac{qN_A x_d^2}{2\varepsilon_{Si}} = \phi_F - \phi_s \tag{2.3-8}$$

① 通常电容 C 的单位是法拉（F），但是在 MOS 器件中这个电容的单位是法拉/单位面积（即 F/m^2）。

$$\frac{qN_A x_d^2}{2\varepsilon_{Si}} = \phi_s - \phi_F \tag{2.3-9}$$

其中，ϕ_F是半导体静电平衡势垒（费米能级）。ϕ_s是半导体表面势垒、x_d是耗尽区厚度。对p型半导体，ϕ_F是：

$$\phi_F = -V_t \ln(N_A/n_i) \tag{2.3-10}$$

对n型半导体，ϕ_F是：

$$\phi_F = V_t \ln(N_D/n_i) \tag{2.3-11}$$

假设$|\phi_s - \phi_F| \geq 0$，由式（2.3-9）可解得x_d：

$$x_d = \left[\frac{2\varepsilon_{Si}|\phi_s - \phi_F|}{qN_A}\right]^{1/2} \tag{2.3-12}$$

由空穴离去留下的受主离子产生的固定电荷可由下式确定：

$$Q = -qN_A x_d \tag{2.3-13}$$

将式（2.3-12）代入式（2.3-13）可得：

$$Q \cong -qN_A\left[\frac{2\varepsilon_{Si}|\phi_s - \phi_F|}{qN_A}\right]^{1/2} = -\sqrt{2qN_A\varepsilon_{Si}|\phi_s - \phi_F|} \tag{2.3-14}$$

当栅电压达到称为阈值电压的V_T值时，栅极下的衬底成为反型层，也即由p型半导体变为n型。于是，源、漏间出现一个允许载流子移动的n型沟道。为了获得反型层，表面电势必须从原始负值（$\phi_s = \phi_F$）增加到0（$\phi_s = 0$），再到正值（$\phi_s = -\phi_F$）。在表面势垒引起这种变化所需的栅、源电压定义为阈值电压V_T。此情况称为强反型。这种情况下的n沟道晶体管如图2.3-3所示。衬底接地，栅极下的沟道和衬底间耗尽层所存储的电荷可由式（2.3-14）获得。考虑到$v_{GS} = V_T$，则ϕ_s可由$-\phi_F$代替，电荷Q_{b0}可由下式计算：

$$Q_{b0} \cong -\sqrt{2qN_A\varepsilon_{Si}|-2\phi_F|} \tag{2.3-15}$$

如果反向偏置电压v_{BS}加在pn结上，公式（2.3-15）成为：

$$Q_b \cong \sqrt{2qN_A\varepsilon_{Si}|-2\phi_F + v_{SB}|} \tag{2.3-16}$$

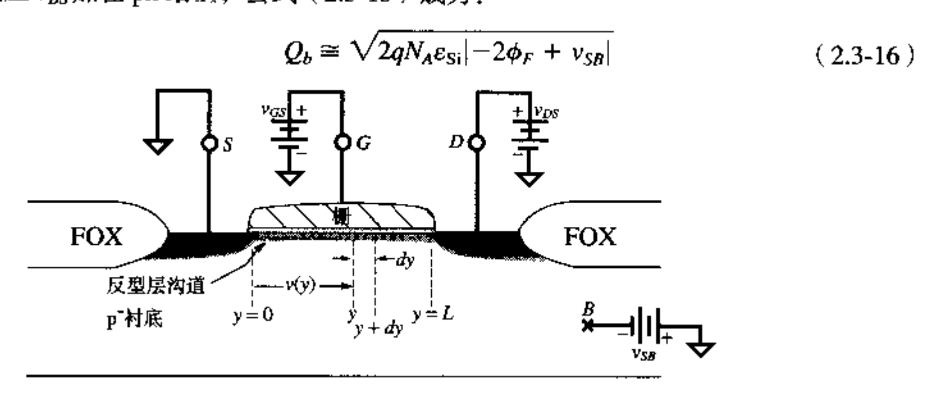


图2.3-3　当$v_{GS}>V_T$且v_{DS}较小时n沟道晶体管剖面图

阈值电压的表达式可分解成几个部分。首先，必须包括称之为ϕ_{MS}[1]的参数来表示沟道区域栅

① 前面已将该符号定义为金属对硅的功函数，当栅极采用其他材料而不是金属时，我们仍沿用此符号。

材料和体硅（bulk silicon）之间功函数之差。ϕ_{MS}表示为：

$$\phi_{MS} = \phi_F(\text{衬底}) - \phi_F(\text{栅}) \tag{2.3-17}$$

式中，ϕ_F（金属）= 0.6 V。其次，值为$[-2\phi_F - (Q_b/C_{ox})]$的栅电压要能够改变表面势垒且抵消耗尽层电荷 Q_b。最后，在氧化物和体硅之间总存在着不希望的正电荷 Q_{ss}。这一电荷是由接触面杂质和非理想性造成的，且必须由$-Q_{ss}/C_{ox}$的栅电压进行补偿。于是，MOS 管的阈值电压可表示为：

$$\begin{aligned} V_T &= \phi_{MS} + \left(-2\phi_F - \frac{Q_b}{C_{ox}}\right) + \left(\frac{-Q_{ss}}{C_{ox}}\right) \\ &= \phi_{MS} - 2\phi_F - \frac{Q_{b0}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} - \frac{Q_b - Q_{b0}}{C_{ox}} \end{aligned} \tag{2.3-18}$$

阈值电压可重写为：

$$V_T = V_{T0} + \gamma\left(\sqrt{|-2\phi_F + v_{SB}|} - \sqrt{|-2\phi_F|}\right) \tag{2.3-19}$$

其中：

$$V_{T0} = \phi_{MS} - 2\phi_F - \frac{Q_{b0}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} \tag{2.3-20}$$

体效应（body-effect）因子，体效应系数，或者是体阈值（bulk-threshold）参数γ定义为：

$$\gamma = \frac{\sqrt{2q\varepsilon_{Si}N_A}}{C_{ox}} \tag{2.3-21}$$

上面分析的符号易于混淆。表 2.3-1 试图理清可能引起的混淆[25]。

表 2.3-1　在阈值电压公式中各参量的符号

参量	n 沟道（p 衬底）	p 沟道（n 衬底）
ϕ_{MS}		
Metal（金属）	−	−
n^+ Si gate（硅栅）	−	−
p^+ Si gate（硅栅）	+	+
ϕ_F	−	+
Q_{b0}, Q_b	−	+
Q_{ss}	+	+
V_{SB}	+	−
γ	+	−

例 2.3-1　求解阈值电压

已知 n^+硅栅 n 沟道管参数为：$t_{ox} = 200$ Å，$N_A = 3\times10^{16}$ cm^{-3}，栅掺杂 $N_D = 4\times10^{19}$ cm^{-3}，设在氧化硅接触面上单位面积正电荷离子数为 10^{10} cm^{-2}。求阈值电压和体效应因子γ。

解：

由公式（2.3-10），ϕ_F（衬底）为：

$$\phi_F\text{（衬底）} = -0.0259\ln\left(\frac{3\times10^{16}}{1.45\times10^{10}}\right) = -0.377\text{ V}$$

由式（2.3-11）可得 n^+多晶硅栅的平衡静电势为：

$$\phi_F\text{（栅）} = 0.0259\ln\left(\frac{4\times10^{19}}{1.45\times10^{10}}\right) = 0.563\text{ V}$$

式（2.3-17）给出 ϕ_{MS}为：

$$\phi_F\text{（衬底）} - \phi_F\text{（栅）} = -0.940\text{ V}$$

氧化层电容为：

$$C_{ox} = \varepsilon_{ox}/t_{ox} = \frac{3.9\times8.854\times10^{-14}}{200\times10^{-8}} = 1.727\times10^{-7}\text{ F/cm}^2$$

耗尽区的固定电荷 Q_{b0} 由公式（2.3-15）导出：

$$\begin{aligned}Q_{b0} &= -(2\times1.6\times10^{-19}\times11.7\times8.854\times10^{-14}\times2\times0.377\times3\times10^{16})^{1/2}\\ &= -8.66\times10^{-8}\text{ C/cm}^3\end{aligned}$$

用 Q_{b0} 除以 C_{ox} 为–0.501 V。最终，Q_{ss}/C_{ox} 为：

$$\frac{Q_{ss}}{C_{ox}} = \frac{10^{10}\times1.60\times10^{-19}}{1.727\times10^{-7}} - 9.3\times10^{-3}\text{ V}$$

将这些值代如公式（2.3-18）：

$$V_{T0} = -0.940 + 0.754 + 0.501 - 9.3\times10^{-3} = 0.306\text{ V}$$

由式（2.3-21）求得体效应因子：

$$\gamma = \frac{(2\times1.6\times10^{-19}\times11.7\times8.851\times10^{-14}\times3\times10^{16})^{1/2}}{1.727\times10^{7}} = 0.577\text{ V}^{1/2}$$

上面的例子说明杂质浓度是怎样影响阈值电压的。事实上，阈值电压可以通过对式（2.3-18）中变量的适当选择被设置为任意值。标准工艺中，在沟道区的衬底中注入适当类型的离子以调整阈值至预期值。如果在衬底的沟道区注入相反的杂质，则 n 沟道管的阈值电压就是负值。这一类型的晶体管被称为耗尽型管，在栅、源电压值为 0 时，此类晶体管已可以在漏源间产生电流。

在图 2.3-3 中，当漏、源间形成了沟道且将电压 v_{DS} 加在沟道上时，就产生漏极电流 i_D。由图2.3-3考虑定义为dy的沟道长度增量特性可以导出漏极电流对MOS管端电压的依赖关系，设MOS管的宽度（进入页面方向）为 W 且 v_{DS}很小。沟道中单位面积电荷 $Q_I(y)$可表示为：

$$Q_I(y) = C_{ox}[v_{GS} - v(y) - V_T] \tag{2.3-22}$$

沟道中单位长度 dy 的电阻可以写为：

$$dR = \frac{dy}{\mu_n Q_I(y)W} \tag{2.3-23}$$

式中，μ_n是沟道中电子的平均迁移率。相对于源极的沿沟道 y 的电压降为：

$$dv(y) = i_D\,dR = \frac{i_D\,dy}{\mu_n Q_I(y) W} \tag{2.3-24}$$

或

$$i_D\,dy = W\mu_n Q_I(y)\,dv(y) \tag{2.3-25}$$

沿沟道从 $y=0$ 到 $y=L$ 积分可得：

$$\int_0^L i_D\,dy = \int_0^{v_{DS}} W\mu_n Q_I(y)\,dv(y) = \int_0^{v_{DS}} W\mu_n C_{ox}\left[v_{GS} - v(y) - V_T\right] dv(y) \tag{2.3-26}$$

积分经整理可得 i_D 为：

$$i_D = \frac{\mu_n C_{ox} W}{L}\left[(v_{GS} - V_T)\,v(y) - \frac{v(y)^2}{2}\right]_0^{v_{DS}} = \frac{\mu_n C_{ox} W}{L}\left[\left(v_{GS} - V_T\right) v_{DS} - \frac{v_{DS}^2}{2}\right] \tag{2.3-27}$$

这一等式有时被称为Sah等式[27]，由 Shichman 和 Hodges[28]首先用做计算机仿真模型。只有当下面条件满足时式（2.3-27）才有效：

$$v_{GS} \geq V_T \quad 且 \quad v_{DS} \leq (v_{GS} - V_T) \tag{2.3-28}$$

且其沟道长度 L 的值大于最小沟道长度。因子$\mu_n C_{ox}$常被定义为器件跨导参数，记做：

$$K' = \mu_n C_{ox} = \frac{\mu_n \varepsilon_{ox}}{t_{ox}} \tag{2.3-29}$$

式（2.3-28）在下一章涉及 MOS 管的建模时将会更详细地解释。p 沟道晶体管的工作原理与 n 沟道的基本相同，只是电压和电流的极性相反。

2.4 无源元件

本节介绍与 MOS 器件的制造工序相兼容的无源元件，包括电容和电阻。

电容

在设计模拟集成电路时常需要优质电容，在放大器设计中用做补偿电容，在电荷放大器中用做增益定值元件，在 gm/C 滤波器中用做带宽相关元件，在开关电容滤波器和数模转换器中用做电荷存储元件，等等。在这些应用中所期望的电容特性包括：

- 良好的匹配精度
- 低的电压相关系数
- 高的目标电容和分布电容比
- 高的单位面积电容
- 低的温度相关性

模拟 CMOS 工艺与纯数字工艺的区别就在于可提供满足上述特性的电容。对这样的模拟工艺

有三种基本的电容类型可用。一种称做 MOS 电容，由一层有效互连层（金属或多晶硅）、中间介质（二氧化硅）层和其下的硅晶体形成。图2.4-1（a）给出了这种电容的一个例子，使用了多晶硅作为顶层导电极板。为了获得低电压系数的电容，底层极板一定要重掺杂扩散（类似于源和漏）。以 2.3 节中所描述的工艺为例，这样的重掺杂扩散通常不可能在多晶硅下获得，因为源/漏注入工序总是在多晶硅生成以后。为了解决这个问题，一定要先于多晶硅层的沉积增加一次注入工序。掩膜定义的注入区成为电容的底层极板。用这一技术构成的电容与栅氧化层的厚度成反比。在表 2.4-1 中列出 0.8 μm 工艺的典型电容值。这种电容具有较高的单位面积电容和良好的匹配特性，只是有一个与电压显著相关的对衬底的电容。

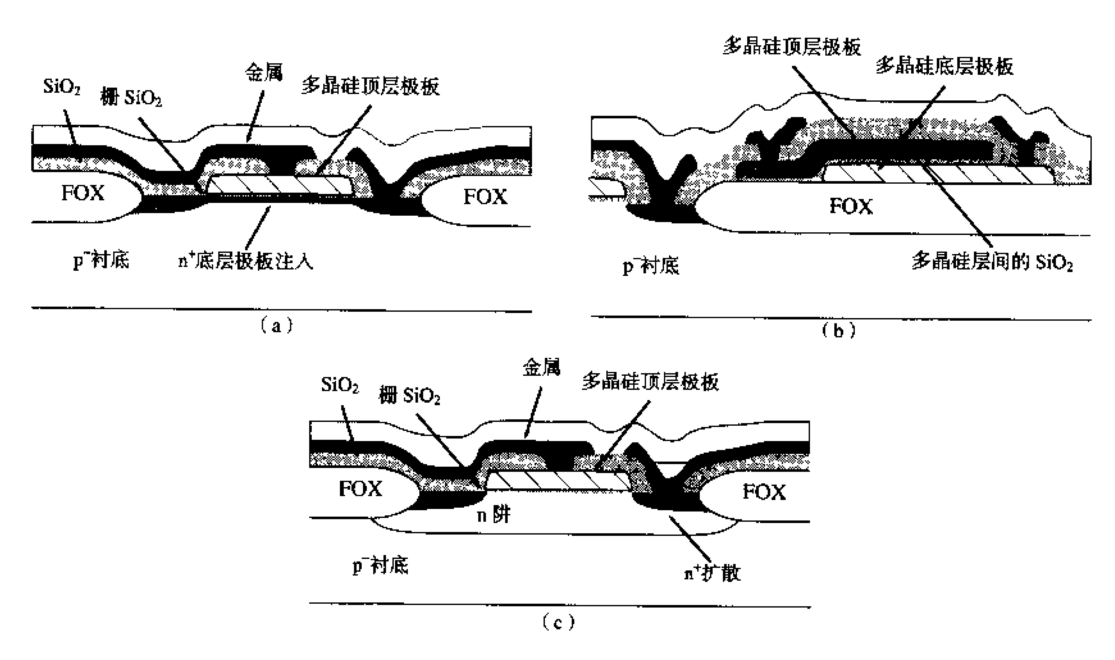


图 2.4-1 MOS 电容。（a）多晶硅-氧化物沟道；（b）多晶硅-氧化物-多晶硅；（c）存储 MOS 电容

表 2.4-1 0.8 μm CMOS 工艺中无源元件大致的性能总结

元件类型	值的范围	匹配精度	温度系数	电压系数
MOS 电容	2.2~2.7 fF/μm²	0.05%	50 ppm/℃	50 ppm/V
多晶硅/多晶硅电容	0.8~1.0 fF/μm²	0.05%	50 ppm/℃	50 ppm/V
M1-多晶硅电容	0.021~0.025 fF/μm²	1.5%	—	—
M2-M1 电容	0.021~0.025 fF/μm²	1.5%	—	—
M3-M2 电容	0.021~0.025 fF/μm²	1.5%	—	—
P^+扩散电阻	80~150Ω/□	0.4%	1500 ppm/℃	200 ppm/V
n^+扩散电阻	50~80Ω/□	0.4%	1500 ppm/℃	200 ppm/V
多晶硅电阻	20~40Ω/□	0.4%	1500 ppm/℃	100 ppm/V
n 阱电阻	1~2kΩ/□	—	8000 PPm/℃	10k ppm/V

在模拟制作工艺中第二种类型的电容是在栅多晶硅上再形成多晶硅层（由介质隔离）。图2.4-1（b）示出了双多晶硅层电容的实例，其介质是一层薄的二氧化硅层。这种电容只能在常规

单多晶硅工艺之外增加几道工序来实现。事实上，作为高性能电容这是所有选择中最好的方法。0.8 μm 工艺的典型电容值列于表 2.4-1。

第三种类型的电容如图2.4-1（c）所示。这种电容由在 n 沟道晶体管下面设置 n 阱而构成。这种电容与图2.4-1（a）的电容相似，只是其下电极板（n 阱）的电阻率偏高。因此，它不适合在要求低电压系数的电路中使用。但是，它经常被用在电容的一端接地（或 V_{ss}）的情况。它提供很高的单位面积电容，匹配性好。在所有的 CMOS 工艺中均可获得，因其不要求特殊的步骤和掩膜。

通常，混合信号集成电路的数字部分所要求的工艺性能必须采用面向数字电路的工艺。这样的工艺不会提供为模拟应用制作的电容。因此，当需要电容的时候，通常用两层或者多层互连层得到。图2.4-2 象征性地示出了几种电容的设计，这是在数字工艺中，用 1、2、3 层金属形成的电容。在图2.4-2（a）中用氧化物做介质隔离层垂直构成电容。4 层的例子可以获得期望的最高电容与寄生电容比，而两层时最低。由于工艺日益趋向更细的线宽和更高的速度性能，当金属间所允许的间隔减小时金属层间的氧化层在增厚。这样，同层间平面电容比不同层垂直电容更为有效。这是因为同层上的线间距小于不同层间线的间距，例如，两条 M1 线间距小于 M1 和 M2 间的垂直间距（见图2.1-6）。一个同层平面电容的示例如图2.4-2（b）所示。与多晶硅-氧化物-多晶硅电容相比，这种电容单位面积电容偏低，期望电容与寄生电容比也偏低。按图2.4-2方式实现的电容，其匹配准确性在 1%~2%的量级上，且电压系数低。0.8 μm 工艺中垂直电容的典型值列于表 2.4-1。

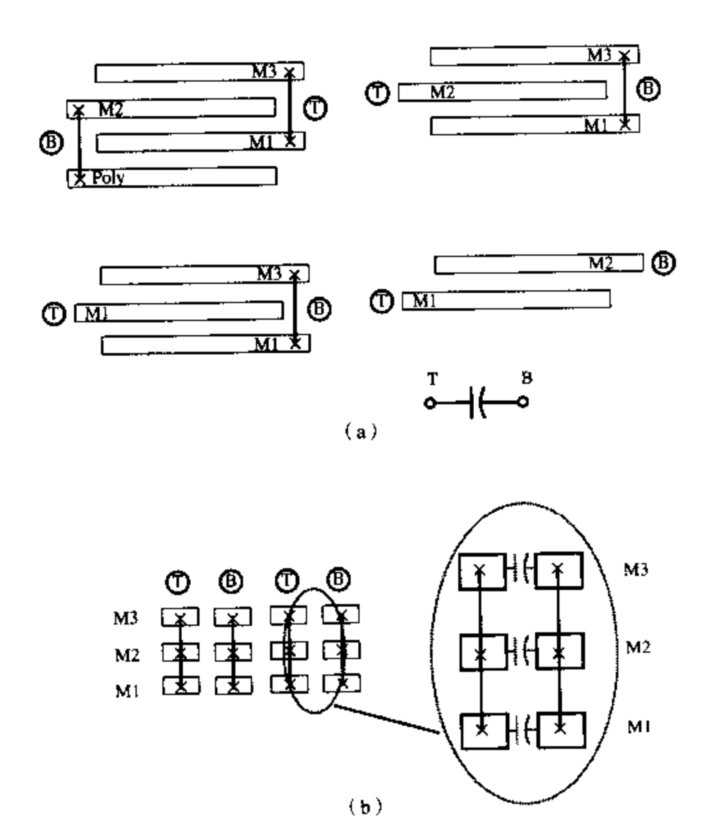


图 2.4-2 几种通过连接各层实现电容的剖面图，M1、M2 和 M3 分别代表第 1、2、3 层金属。（a）垂直平行板结构；（b）水平平行板结构

一般集成电容的电压系数在 0 到–200 ppm/V 之间，这取决于电容结构和电容极板的掺杂浓度[29]（如果是可实现的话）。集成电容的温度系数范围是 20~50 ppm/℃。考虑相同衬底上两电容之比时，注意电容绝对值的变化会因温度引起的变化而抵消。因此，温度变化几乎不影响电容的匹配精度。如在采样数据电路中电容加不同电压时，若电压系数不保持最小，将产生有害影响。

与图 2.4-1 和图 2.4-2 中电容相关的寄生电容将成为模拟采样数据电路中重要的误差源。与之相关的最小寄生电容的极板被认为是顶板。它不一定是但多数情况下是物理意义上的顶板。相应的底板会有较大的寄生电容。电路图中，顶板由电容符号中的平线代表，而曲线代表底板。对于图2.4-1 所示的电容，与顶板相关的寄生电容主要由互连接线引起，而与底板相关的寄生电容主要是底板和衬底之间的电容。图2.4-2所示的数字工艺中有效电容的寄生参数不易集中考虑，其寄生电容与器件版图有关（版图将在 2.6 节中讨论）。

图 2.4-3 示出了一个带有顶板和底板寄生电容的一般电容。这些寄生电容取决于电容器的尺寸、版图和技术，它们是不可避免的。

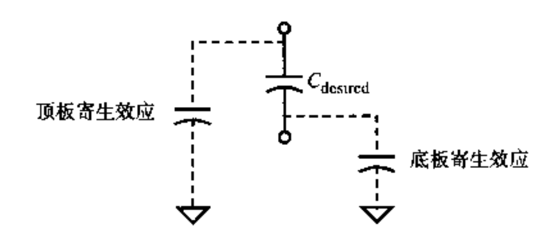


图 2.4-3　集成电容的模型，显示顶板和底板的寄生电容

电阻

另一种与 MOS 技术兼容的无源元件是电阻。尽管电路主要是由 MOS 有源器件和电容组成，但在诸如数模转换等许多应用中需要到电阻。与本节 MOS 技术兼容的电阻有扩散电阻，多晶硅电阻和 n 阱（或 p 阱）电阻。虽不常用，但金属也能用做电阻。

扩散电阻用源/漏扩散形成，见图 2.4-4（a）。在非硅化工艺中此电阻的方块电阻通常在是 50~150 Ω/□（每方块欧姆值，见 2.6 节）的范围内，对于硅化工艺，阻值范围通常为 5~15 Ω/□。在集成电路中源/漏扩散作为导体与其作为电阻产生矛盾。显然，自较准硅化工艺的目的是使源/漏扩散更接近导体的性能。此工艺中，自较准硅化部分可用做硅化膜的掩膜，因此允许在所希望的地方进行高阻源/漏极扩散。扩散电阻的电压系数在 100~500 ppm/V 范围内。此种电阻的对地寄生电容也与电压有关。

多晶硅电阻如图 2.4-4（b）所示。这种电阻被厚氧化物所包围，方块电阻为 30~200 Ω/□，其值取决于掺杂浓度。多晶硅化物工艺中，多晶硅的有效电阻约为 10 Ω/□。

图 2.4-4（c）所示的 n 阱电阻是在 n 阱两端用 n^+源/漏极扩散做接触区而构成的。这种电阻的方块电阻为 1~10 kΩ/□，且电压系数很大。在精度要求不高的情况下，例如上拉电阻或保护电阻，这种结构很有用。

若修改工艺，制作其他类型的电阻也是可能的。上述三类电阻则是采用标准 MOS 技术时最常见的电阻形式。表 2.4-1 总结了目前讨论的无源部件的特性。

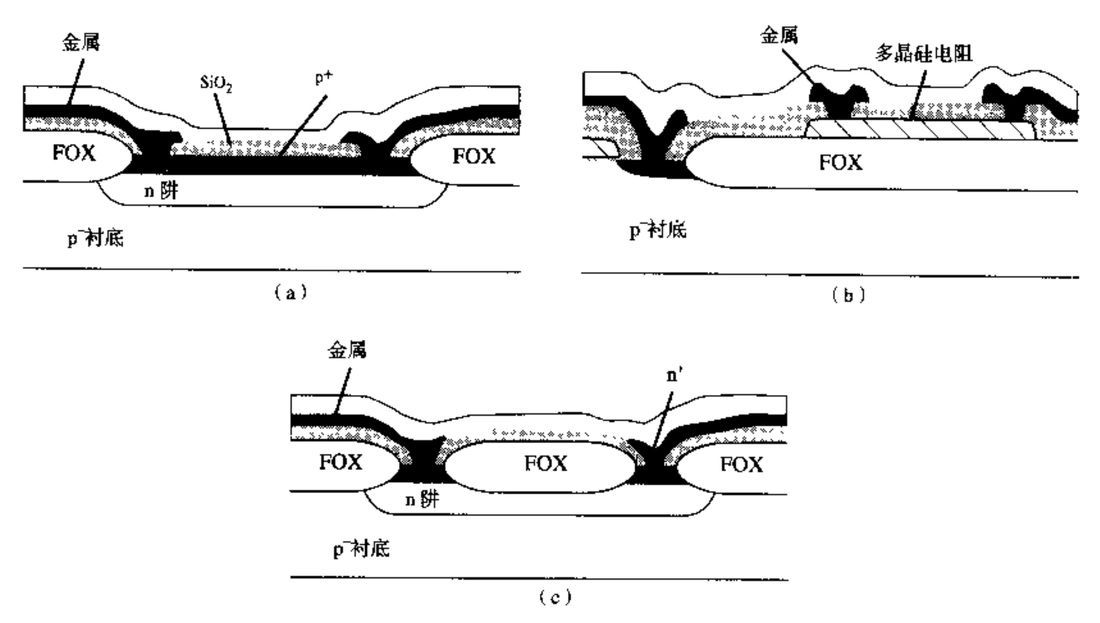


图 2.4-4 电阻。(a)扩散;(b)多晶硅;(c)n 阱

2.5 关于 CMOS 技术的其他考虑

在前两节中，介绍了基本的 CMOS 工艺的有源和无源器件。在这一节，我们将讨论一些在 CMOS 工艺中不常应用但仍需了解的其他器件。我们还需要进一步考虑 CMOS 技术中的一些限制，包括闩锁、温度和噪声。当描述 CMOS 电路特性时，这些知识将十分有用。

至此，我们已经看到，利用图 2.3-1 所示的基本单阱 CMOS 制造工艺可以做电阻、电容和 pn 结。该工艺也可以实现双极型晶体管（BJT），尽管集电极被限制为 V_{DD}（或 V_{SS}）。图2.5-1说明了怎样用 n 阱工艺实现 BJT。发射区是 p 沟道器件的源区或漏区。基区是 n 阱（基区宽度为 w_B），而 p^-衬底是集电极。因为 n 阱和 p^-衬底之间形成的 pn 结必须加反偏电压，所以集电极必须总是接在最低电位 V_{SS}。尽管集电极受到限制，BJT 管仍然有许多应用。图 2.5-1 所示的 BJT 常被称为衬底 BJT。衬底 BJT 和用 BJT 工艺制造出的 BJT 功能一样，惟一区别是集电极受限制，并且基区宽度无法控制，导致电流增益的大范围变化。

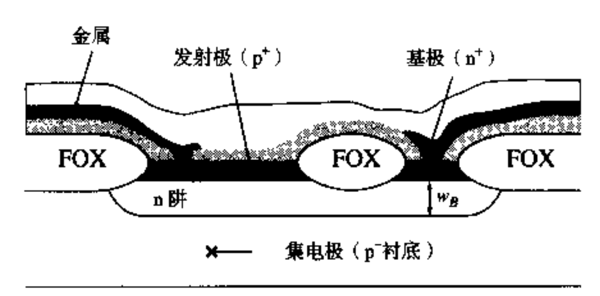


图 2.5-1 利用 CMOS 工艺实现的衬底双极型晶体管

图 2.5-2 表示 BJT 中少数载流子的浓度。通常，基极–发射极（*BE*）的 pn 结加正偏，集电极–基极（*CB*）的 pn 结加反偏。正偏 *BE* 结引起自由运动的空穴注入基区。如果基区宽度 w_B很小，则大多数空穴到达 *CB* 结并且被反偏电压扫入集电区。如果少数载流子浓度远小于多数载流子浓

度，则集电极电流可以通过求解基区电流而获得。就电流密度而言，集电极电流密度是：

$$J_C = -J_p|_{base} = -qD_p \frac{dp_n(x)}{dx} = qD_p \frac{p_n(0)}{w_B} \tag{2.5-1}$$

从式（2.2-16）我们得出：

$$p_n(0) = p_{n0} \exp\left(\frac{v_{EB}}{V_t}\right) \tag{2.5-2}$$

将式（2.5-2）代入式（2.5-1）并乘以 BE 结面积 A，得到集电极电流为：

$$i_C = AJ_C = \frac{qAD_p p_{n0}}{w_B} \exp\left(\frac{v_{EB}}{V_t}\right) = I_s \exp\left(\frac{v_{EB}}{V_t}\right) \tag{2.5-3}$$

式中 I_s 被定义为：

$$I_s = \frac{qAD_p p_{n0}}{w_B} \tag{2.5-4}$$

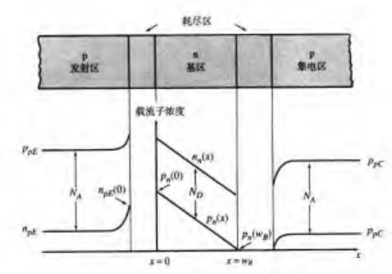


图 2.5-2 双极型晶体管的少数载流子浓度

在空穴穿过基区时，其中小部分空穴会与基区的多数载流子即自由电子复合。此时，等量自由电子必须从基极外电路进入基区以保持基区的电中性。由于 BE 结的正偏电压，也会有自由电子从基区注入发射区。但是因为发射区的掺杂浓度比基区高，所以这种注入量要远小于发射区向基区的空穴注入量。向发射区注入的电子和在基区内与空穴复合的电子组合构成基极电流 i_B，由基区流出。集电极与基极电流之比（i_C/i_B）被定义为β_F或为共发电流增益。因此，基极电流表示为：

$$i_B = \frac{i_C}{\beta_F} = \frac{I_s}{\beta_F} \exp\left(\frac{v_{EB}}{V_t}\right) \tag{2.5-5}$$

发射极电流可由基极电流和集电极电流求出，因为三者之和等于零。虽然β_F被假设为常数，其实它随着 i_C 而变化：当 i_C 适中时，β_F 取最大值；而当 i_C 过大或过小时，β_F 从最大值开始下降。

除了衬底 BJT，还有横向 BJT。图2.3-1表示出横向 BJT 是如何实现的。发射区可以是 n 沟道器件的 n^+ 源极，基区可以是 p^- 衬底，集电极是 n 阱。虽然基区被限制于芯片的衬底电压，但发射

极和集电极可接任意值的电压。只可惜，横向 BJT 因为大的基区宽度不是很有用。事实上，横向 BJT 更多被作为寄生管处理。然而，在 CMOS 闩锁电路问题中，横向 BJT 成为关键，下面将对此进行讨论[30]。

在集成电路中，出现高电流且伴随损坏或低电压的状态被定义为闩锁。瞬间辐射或一定的电激发都有可能触发闩锁或高电流状态。闩锁现象至少可由三种再生机制形成：（1）四层可控硅整流器（SCR），再生开关作用；（2）二次击穿；（3）持续电压击穿。由于 CMOS 中存在多个 p、n 扩散区，所以多为 SCR 闩锁。

图 2.5-3（a）给出了图 2.3-1 的剖面图，示出了 PNPN SCR 的形成。图 2.5-3（a）对应的等效电路图如图 2.5-3（b）所示。这里清楚地显示了 SCR 的作用。电阻 R_{N-} 是 n 阱电阻，是从纵向 PNP(Q2) 的基极到 V_{DD} 的电阻。R_{P-} 是衬底电阻，是从横向 NPN 管（Q1[①]）的基极到 V_{SS} 的电阻。

当满足三个条件时，再生状态发生。第一个条件是环路增益必须大于 1，也就是：

$$\beta_{NPN}\beta_{PNP} \geq 1 \tag{2.5-6}$$

其中，β_{NPN} 和 β_{PNP} 分别是 Q1 和 Q2 的共发电流增益。第二个条件是两个基-射结都被加正偏电压。第三个条件是与发射极相连的电路必须具有提供或承受大于 PNPN 器件保持的电流。

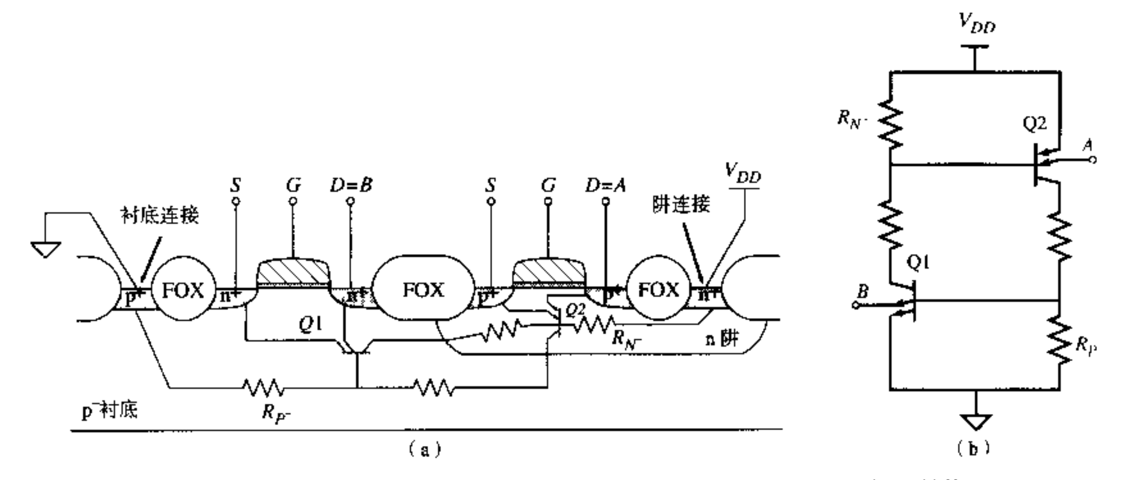


图 2.5-3 （a）CMOS 集成电路中的寄生横向 NPN 和纵向 PNP 双极型晶体管；（b）由寄生双极型晶体管构成的可控硅整流器的等效电路

为了避免闩锁，可采取几种标准的防范措施。第一种措施使 n 沟道管的源/漏区尽量远离 n 阱，以减小 β_{NPN} 的值，从而有助于防止闩锁。可是，这将造成面积的浪费。第二种措施减小 R_{N-} 和 R_{P-} 的值，电阻越小，为使 Q1、Q2 的基-射结获得足够的正偏电压所要求流过的电流越大。可以这样来减小电阻值：将 n^+ 区形成的环绕 p 沟道器件的保护环接至 V_{DD}；p^+ 区形成的环绕 n 沟道器件的保护环接至 V_{SS}，如图 2.5-4 所示。

此外还可以这样来防止闩锁：保持 p 沟道器件[见图 2.5-3（b）]的源/漏极电位不高于 V_{DD}，或 n 沟道器件[见图 2.5-3（b）]的源/漏极电位不低于 V_{SS}。多数情况下可以通过版图的精心设计避免闩锁现象。在各种电路设计中，尤其是强电流电路，必须仔细考虑，以避免引起闩锁的可能因素。

CMOS 技术中另一个必须考虑的问题是对 MOS 管栅极的放电保护。为了防止栅氧化层的意

① 原文中为 Q2，按上下文应为 Q1。——译者注

外受损，加一个电阻和两个反偏的 pn 结二极管形成输入级保护电路。其中一个二极管的 n 极接电路最高电位（V_{DD}），p 极接被保护的栅极。另一个二极管的 n 极接被保护的栅极，p 极接电路最低电位（V_{SS}），如图2.5-5所示。采用 n 阱工艺，第一个二极管通常由 p^+扩散进 n 阱形成。第二个二极管由 n^+扩散进衬底形成。电阻一端接与外部接触的焊盘，另一端接两二极管的串接点和被保护的栅极节点。如果输入端电压过高，根据电压极性，其中一个二极管将击穿。若电阻足够大，将大大限制击穿电流，二极管不会损坏。只要 MOS 管的栅极与外电路相接，都应采用这种保护电路。

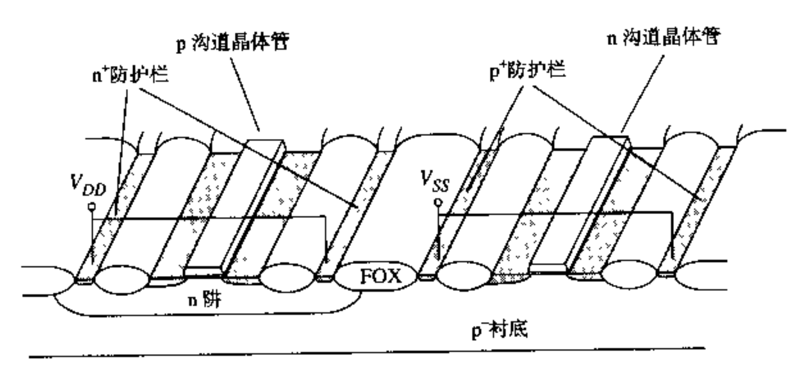


图 2.5-4 n 阱技术中为防止闩锁采用的保护环

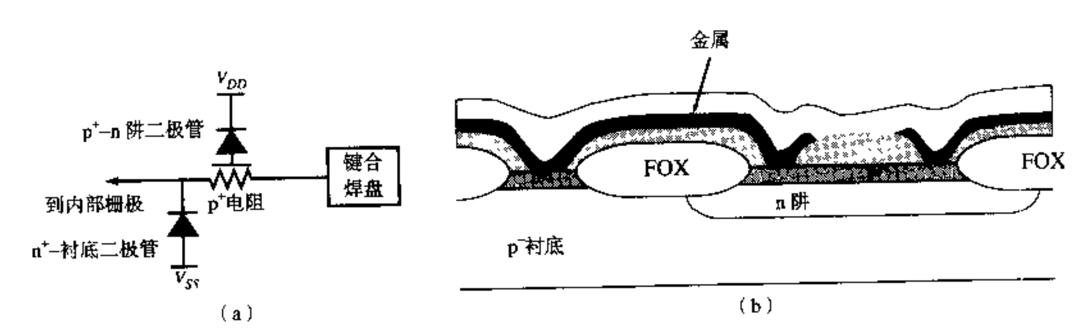


图 2.5-5 静电放电保护电路。（a）等效电路；（b）CMOS 技术的实现

MOS 器件的温度特性是模拟电路设计的一个重要性能指标。无源元件的温度特性通常用温度比例系数 TC_F 来表示，定义为：

$$TC_F = \frac{1}{X} \cdot \frac{dX}{dT} \tag{2.5-7}$$

其中，X 是无源元件的电阻值或电容值。通常，温度比例系数乘以 10^6，用每度百万分之几（即 ppm/℃）为单位。各种 CMOS 无源元件的温度比例系数 TC_F 在表 2.4-1 中列出。

MOS 器件的特性与温度之间关系可以由式（2.3-27）给出的漏极电流表达式看出，与温度有关的主要参数是迁移率μ 和阈值电压 V_T。载流子迁移率μ 与温度的关系为[31]：

$$\mu = K_\mu T^{-1.5} \tag{2.5-8}$$

阈值电压与温度的关系可近似表示为[32]：

$$V_T(T) = V_T(T_0) - \alpha(T - T_0) \tag{2.5-9}$$

其中，α 近似等于 2.3 mV/℃。这个表达式在 200~400 K 的范围内有效，而α 取决于制造过程中衬

底的掺杂浓度和杂质注入量。这些迁移率、阈值电压与温度的关系表达式将被用来决定 MOS 电路的温度特性，且只限定在室温附近的温度变化范围内，超出范围则需要进行修正。

pn 结与温度的关系也相当重要，例如 pn 结二极管可用来产生基准电压，此基准电压的温度稳定性取决于 PN 二极管的温度特性。首先我们考虑加反向电压的 pn 结二极管。式（2.2-24）显示当 $v_D<0$ 时，二极管电流为：

$$-i_D \cong I_s = qA\left[\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right] \cong \frac{qAD}{L}\frac{n_i^2}{N} = KT^3\exp\left(\frac{-V_{G0}}{V_t}\right) \qquad (2.5\text{-}10)$$

假设上式括号中有一项起主导作用，那么 L 和 N 分别表示起主导作用的载流子的扩散长度和掺杂浓度。式中，T 是绝对温度，单位为开尔文；V_{G0} 是硅在 300 K 温度时的带隙电压（1.205 V）。将等式（2.5-10）两边对 T 求导，得：

$$\frac{dI_s}{dT} = \frac{3KT^3}{T}\exp\left(\frac{-V_{G0}}{V_t}\right) + \frac{qKT^3V_{G0}}{KT^2}\exp\left(\frac{-V_{G0}}{V_t}\right) = \frac{3I_s}{T} + \frac{I_s}{T}\frac{V_{G0}}{V_t} \qquad (2.5\text{-}11)$$

二极管反向电流的 TC_F 可写成：

$$\frac{1}{I_s}\frac{dI_s}{dT} = \frac{3}{T} + \frac{1}{T}\frac{V_{G0}}{V_t} \qquad (2.5\text{-}12)$$

从下例可以看出，温度每升高 5℃，二极管反向电流近似翻一番。

例 2.5-1 计算二极管反向电流与温度的关系和 TC_F

假设温度为 300 K（室温），计算温度升高 5℃时二极管反向电流的变化和 TC_F。

解：

由式（2.5-12）计算可得：

$$TC_F = 0.01 + 0.155 = 0.165$$

由于 TC_F 是每单位温度的变化量，因此反向电流随温度变化增加的系数应是 1.165/K（或℃）。1.165 连乘 5 次，近似等于 2 倍。这意味着温度每升高 5℃，反向饱和电流增加一倍。实验证明，温度每增加 8℃，反向电流增加一倍，因为反向电流是漏电流的一部分。

正偏 pn 结二极管电流为：

$$i_D \cong I_s\exp\left(\frac{v_D}{V_t}\right) \qquad (2.5\text{-}13)$$

等式两边对温度求导，并假设二极管电压是一个常数（$v_D = V_D$），得：

$$\frac{di_D}{dT} = \frac{i_D}{I_s}\cdot\frac{dI_s}{dT} - \frac{1}{T}\cdot\frac{V_D}{V_t}i_D \qquad (2.5\text{-}14)$$

由式（2.5-14）可得 i_D 的温度比例系数为：

$$\frac{1}{i_D}\cdot\frac{di_D}{dT} = \frac{1}{I_s}\cdot\frac{dI_s}{dT} - \frac{V_D}{TV_t} = \frac{3}{T} + \left[\frac{V_{G0}-V_D}{TV_t}\right] \qquad (2.5\text{-}15)$$

假设 V_D 等于 0.6 V，那么温度比例系数等于 0.01+（0.155－0.077）=0.0879。可见温度每升高 10℃，

二极管正向电流近似增加一倍。

以上对正偏 pn 结二极管的分析是在假设二极管电压 v_D 为常数的情况下进行的。如果保持正向电流不变（$i_D = I_D$），那么可以求出正向二极管电压的温度比例系数。由式（2.5-13）求 v_D 可解得：

$$v_D = V_t \ln\left(\frac{I_D}{I_s}\right) \tag{2.5-16}$$

在式（2.5-16）两边对温度求导，得：

$$\frac{dv_D}{dT} = \frac{v_D}{T} - V_t\left(\frac{1}{I_s}\cdot\frac{dI_s}{dT}\right) = \frac{v_D}{T} - \frac{3V_t}{T} - \frac{V_{G0}}{T} = -\left(\frac{V_{G0} - V_D}{T}\right) - \frac{3V_t}{T} \tag{2.5-17}$$

假设 $v_D = V_D = 0.6$ V，室温下，正偏二极管电压与温度的关系近似等于–2.3 mV/℃。

CMOS 器件应用的另一个限制是噪声。噪声是由器件内部模拟信号的微小波动引起的现象，是非连续电荷的量化结果，且与半导体器件的基本工艺有关。噪声本质上是作为一个随机变量加以处理的。我们的目的是介绍在 CMOS 器件中涉及到的噪声基本概念。更详细的内容可以在一些很好的文献中查到[24, 33]。

CMOS 器件中有几种影响较大的噪声源。散弹噪声与流过 pn 结的直流电流有关。通常有：

$$i_n^2 = 2qI_D\,\Delta f \quad (\mathrm{A}^2) \tag{2.5-18}$$

其中，i_n^2 是噪声电流的均方值，q 是电子电荷量，I_D 是 pn 结的平均直流电流，Δf 是带宽，单位为 Hz。噪声电流的谱密度为 i_n^2 除以 Δf，记为 $i_n^2/\Delta f$。

另一种称为热噪声的噪声源是由电子的随机热运动引起的，与器件中流过的直流电流无关。通常为：

$$e_n^2 = 4kTR\,\Delta f \tag{2.5-19}$$

其中，k 是玻尔兹曼常数，R 是引起热噪声的电阻或等效电阻。

MOS 器件中一种影响较大的噪声源是闪烁噪声或称 $1/f$ 噪声。这种噪声与半导体中以随机方式捕获和释放载流子形成的缺陷有关。与此过程相关的时间常数由于能量集中在低频而加重噪声信号。$1/f$ 噪声通常有：

$$i_n^2 = K_f\left[\frac{I^a}{f^b}\right]\Delta f \tag{2.5-20}$$

其中，K_f 是常数，a 是常数（0.5~2），b 是常数（~1）。典型的 $1/f$ 噪声的电流功率谱密度如图 2.5-6 所示。其他诸如突发噪声和雪崩噪声等噪声源在 CMOS 器件中不占主要地位，因此这里不予讨论。

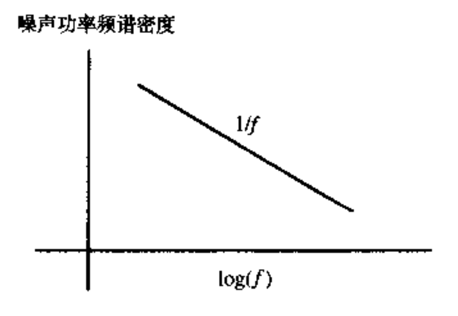


图 2.5-6　$1/f$ 噪声功率谱

2.6 集成电路版图

本章最后一节涉及到集成电路设计中所包括的几何图形问题。集成电路设计的独特之处在于不只是需要懂得电路图。一个电路尽管在电路图级的定义和功能都正常，但是如果物理设计不正确，也会导致失败。在集成电路设计中，物理层设计称做版图设计。

由于设计者要完成电路设计的整个过程，因此必须考虑所有相关因素，包括物理版图的设计。设计中必须考虑元器件或寄生元器件对匹配的影响。例如，如果两只晶体管在电路中起同样作用，则它们的版图也必须一样。在宽带放大器设计中，如果版图设计不仔细，没有将关键节点处的寄生电容做到最小，则电路就不能正常工作。为了能够鉴赏物理设计的精美之处，首先对集成电路版图及设计规则有一个初步了解是很重要的。

如 2.1 节所述，集成电路由多层组成，每一层都用光刻工艺由光掩膜加以确定。光掩膜由描述几何图形的计算机数据库制定。该数据库是由掩膜设计者或计算机绘制的版图生成（目前，大多数模拟电路版图仍是人工绘制）。版图由涉及到所有电子元器件的、最终的集成电路的拓扑描述构成。目前讨论过的最常见的器件是晶体管、电阻和电容。

匹配的概念

在以后的章节中将会看到，两个或多个元器件的匹配性能对整个电路的工作有重大影响，因为匹配依赖于版图拓扑，因此在这里先讨论匹配问题。

要让两个元器件的电性能相同，最简单的办法就是用相同的单元绘制它们，这就是单位匹配原理。说两个元器件相同不但指元器件本身也包括它们的外围部分。这个概念可以用非电学术语加以解释。

考虑图 2.6-1（a）中两个四方形部件 A 和 B。此例中，这些方块可以是沉积刻蚀后的金属片。它们的面积和周长相同。然而由于 C 的存在，A、B 的外围是不同的。由于 B 附近 C 的存在，可能引起 B 发生的某种变化不同于 A。解决的办法是使 A、B 的外围一致。不过这不可能完全达到。然而如图 2.6-1（b）所示情形，至少使得最靠近的部分相同，一般匹配性能也可以得到改善。这个一般原理将适用于不同类型的元器件。当不同尺寸的元器件希望匹配时，只有当两者几何图形都是由整数单元形成、且所有单元均用单位匹配原理设计时，才能获得最佳匹配效果。

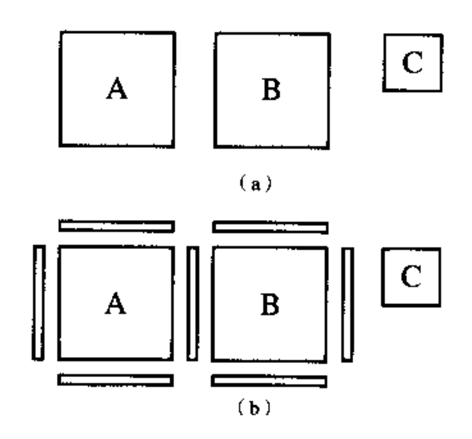


图 2.6-1 （a）说明 C 的存在影响了 A 和 B 的匹配；（b）通过匹配 A 和 B 外围改进匹配状况

当多个单元按照单元匹配原理匹配时，会出现另一个问题：假设沿某一路径存在倾斜，引起版图沿路径渐渐变小，如图 2.6-2（a）所示。按设计，由单元 A_1 和 A_2 组成的部件 A 的大小应该是部件 B 的两倍。但是由于有梯度，部件 A 小于两倍部件 B。若梯度是线性的，这种情况可通过同质心版图原理来解决。在图 2.6-2（b）中，部件 B 被放在单元 A_1 和 A_2 中间（质心处）。现在，任何线性梯度引起的 A_1、A_2 变化按等量增加和减少，以使它们的平均值相对于 B 保持不变。这可以从以下分析中看出。

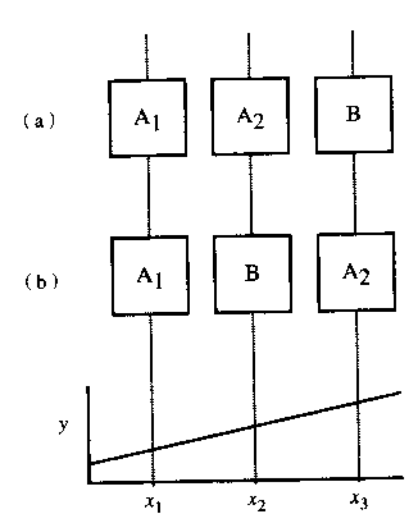


图 2.6-2　梯度存在时器件的布局。（a）非同质心版图；（b）同质心版图

若线性梯度如下表示：

$$y = mx + b \tag{2.6-1}$$

则参照图 2.6-2（a），得：

$$A_1 = mx_1 + b \tag{2.6-2}$$

$$A_2 = mx_2 + b \tag{2.6-3}$$

$$B = mx_3 + b \tag{2.6-4}$$

$$\frac{A_1 + A_2}{B} = \frac{m(x_1 + x_2) + 2b}{mx_3 + b} \tag{2.6-5}$$

比值不可能等于 2，因为：

$$x_3 \neq \frac{x_1 + x_2}{2} \tag{2.6-6}$$

但是对于图 2.6-2（b）的情况，如果 $x_1 - x_2$ 和 $x_2 - x_3$ 相等，很容易得到：

$$x_2 = \frac{x_1 + x_3}{2} \tag{2.6-7}$$

上述匹配原理可用于匹配电容的设计。另外，涉及到电容设计，则还有其他一些规则。进行电容布图时，电容值仅由一个极板确定以减少变量。考虑图 2.6-3 所示的双平板电容。图中画出了电力线，表示平板间由于均匀电场以及边缘电场引起的电容。在图 2.6-3（a）中，若由 A 和 A′表示的

上平板边缘移动或由B和B'表示的下平板边缘移动，两平板间的总电容都将改变。而在图2.6-3（b）中所示电容值只受上平板边缘变化的影响。甚至，上平板有少许左右偏移，电容值也几乎没有变化。图2.6-3（a）的电容受两平板移动的影响，因此由工艺带来的可变度要大于图2.6-3（b）中的电容。

A A' B B' (a)　A A' B B' (b)

图 2.6-3　双平板电容的剖面图。（a）图中电容值将随 A、A'和 B、B'的边缘变化而改变；（b）图中电容值与 B、B'边缘变化无关，只随 A、A'变化而改变

图2.6-3 的电力线有助于我们了解两平板间由于平面部分（典型的平板电容）以及周边部分（边缘电容）引起的总电容。了解这些后，考虑需要两个电容 C_1 和 C_2 成精确比的情况（比如 2:1）。

C_1 定义为：

$$C_1 = C_{1A} + C_{1P} \tag{2.6-8}$$

且 C_2 定义为：

$$C_2 = C_{2A} + C_{2P} \tag{2.6-9}$$

其中，C_{XA} 是平板电容，C_{XP} 是周边电容（边缘电容）。C_2 与 C_1 之比为：

$$\frac{C_2}{C_1} = \frac{C_{2A} + C_{2P}}{C_{1A} + C_{1P}} = \frac{C_{2A}}{C_{1A}}\left[\frac{1 + C_{2P}/C_{2A}}{1 + C_{1P}/C_{1A}}\right] \tag{2.6-10}$$

如果 C_{1P}/C_{1A} 等于 C_{2P}/C_{2A}，则 C_2/C_1 只由平板电容之比决定。因此由式可见，保持周长与面积之比为一个常数就能消除边缘引起的匹配灵敏度。若采用单位匹配原理，那么周长与面积之比为常数也就不奇怪了！此时，就有必要探讨什么几何图形才能使面积与周长之比保持常数：正方形、矩形、圆还是其他。由式（2.6-10）还可看到使周长与面积之比最小化是有益处的。给定面积时，圆的周长最小，于是成为最小化周长的最佳选择，这是不争的事实（见习题 2.6-4）。此外，圆没有角，角比边更容易受到刻蚀影响。从与技术无关的许多因素来看，圆是不可取的。四方形和圆之间的理想折中是图 2.6-4 中的多边形（八边形）。

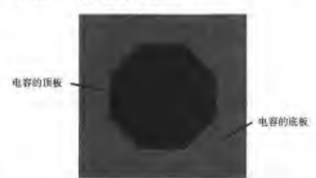


图 2.6-4　电容采用八角形近似圆使周长与面积之比最小化

另一种有效的电容版图技术是采用 Yiannoulos path[①]。此方案采用蜿蜒的结构可以获得固定的周长与面积之比。这种技术的优点在于采用单位匹配原理时可以不局限于整数比。图2.6-5给出这种版图技术的一个例子。容易看出这种结构具有固定的周长与面积之比（见习题 2.6-5）。

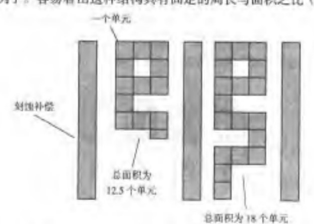


图 2.6-5 Y-path 技术在维持周长与面积之比为常数时可获得非整数电容比

MOS 管的版图

图 2.6-6 示出单个 MOS 管的版图及其剖面图。用做模拟应用的晶体管栅极应画成直线形而不是弯曲的。晶体管的宽、长与漏、源的面积和周边长度一样都是管子的重要尺寸。调整管子导通的主要尺寸参数是 *W/L*、漏、源面积和周边长度决定着器件的电容值。

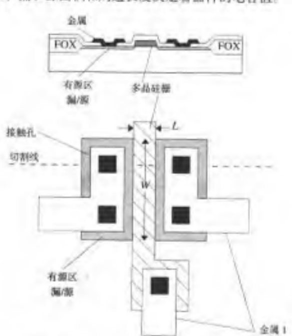


图 2.6-6 MOS 管的版图、俯视图和切割线处的剖面图

① 这是由 Aristedes A. Yiannoulos 提出的。

希望晶体管匹配时，可采用单位匹配原理和同质心方法。采用了这些方法后，晶体管漏、源区的方向是镜像对称还是同一方向成为一个问题。图 2.6-7（a）中晶体管是镜像对称，而图 2.6-7（b）中是同一方向，或是照相平板印刷恒定性（PLI）①。通常漏/源区注入是以一定的角度进行的。由于多晶硅的高度（厚度），它会在一边或另一边遮蔽注入，使栅源间电容不等于栅漏间电容。通过应用 PLI 版图技术，注入角效应得到匹配，因此两个 C_{GS} 和两个 C_{GD} 都得到匹配。为了同时达到同质心和 PLI 的版图，每个匹配的晶体管被分为 4 个单元，并按图 2.6-7（c）设计版图。

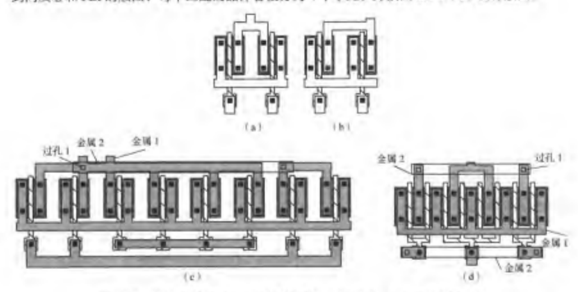


图 2.6-7　MOS 管的版图。（a）镜像对称；（b）PLI；（c）两只共用一个源极的晶体管，同时达到 PLI 和同质心；（d）（c）的紧密版图

电阻版图

图 2.6-8（a）是一个电阻的版图。俯视图中的电阻部分不是扩散（有源区）就是多晶硅。侧面图只是扩散的情况。图 2.6-8（b）是一个阱区电阻。在探讨电阻性能时了解电阻尺寸是重要的，因此必须回顾一下导体的电阻关系。

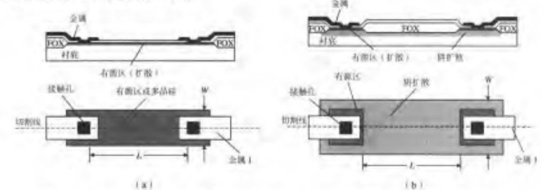


图 2.6-8　版图实例。（a）扩散或多晶硅电阻；（b）阱区电阻和相应切割线处的剖面图

① 术语"照相平板印刷恒定性"是 Eric J.Swanson 在 Crystal Semiconductor 中提出的。

图 2.6-9 中所示导体材料的电阻 R 为：

$$R = \frac{\rho L}{A} \quad (\Omega) \tag{2.6-11}$$

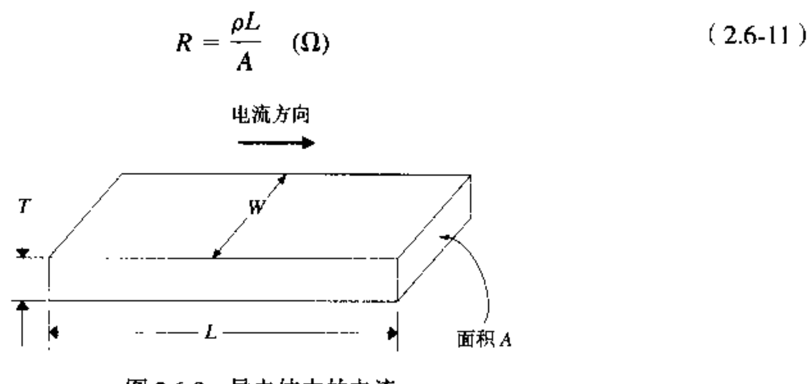


图 2.6-9　导电体中的电流

式中，ρ 是电阻率，单位为Ω·cm，A 是电流方向的垂直面。根据图 2.6-9 中标出的尺寸定义，式（2.6-11）可重写为：

$$R = \frac{\rho L}{WT} \quad (\Omega) \tag{2.6-12}$$

一般在工艺和材料确定后，ρ、T 为定值，将它们组成一个新量ρ_s，称做方块电阻率。可表示如下：

$$R = \left(\frac{\rho}{T}\right)\frac{L}{W} = \rho_s \frac{L}{W} \quad (\Omega) \tag{2.6-13}$$

通常，ρ_s的单位为Ω/□（读做每方块欧姆）。从版图角度，电阻阻值由方块数乘以ρ_s确定。

例 2.6-1　电阻值的计算

给定一个多晶硅电阻，如图 2.6-8（a）所示，假设多晶硅的$\rho = 9\times10^{-4}\ \Omega\cdot\text{cm}$，厚度为 3000 Å，$W = 0.8\ \mu\text{m}$，$L = 20\ \mu\text{m}$，忽略接触孔电阻。求$\rho_s$（单位为Ω/□）、电阻的方块数和电阻值。

解：

首先计算ρ_s：

$$\rho_s = \frac{\rho}{T} = \frac{9\times10^{-4}\ \Omega\ \text{cm}}{3000\times10^{-8}\ \text{cm}} = 30\ \Omega/\square$$

电阻的方块数 N 为：

$$N = \frac{L}{W} = \frac{20\ \mu\text{m}}{0.8\ \mu\text{m}} = 25$$

求得总电阻为：

$$R = \rho_s \times N - 30 \times 25 = 750\ \Omega$$

回到图2.6-8，图中所示电阻的阻值由 L/W 和各自的方块电阻决定。事实上，电流流过电阻时既不均匀又不具单向性，因此，人们很想知道 L 和 W 的实际值。通常按如图所示测 L 和 W，并把电阻分为两部分：电阻的主体部分（顺着长度 L 的部分）和接触孔部分。人们可以选择不同的方法，只要能够利用测量技术来描述器件特性（这部分在附录B中关于器件特性部分将有详细介绍）。

电容版图

电容可由多种方法制成，具体取决于工艺和特定应用。这里只详细介绍两种电容版图。

图 2.6-10（a）是双多晶硅电容版图。注意：第二多晶硅层边界完全落在第一多晶硅层（栅极）边界内且顶板接触孔位于第二多晶硅层中心。这种技术可使顶板寄生电容值最小，如果顶层多晶硅从多晶硅栅边缘引线与外部金属接触，则寄生电容变大。

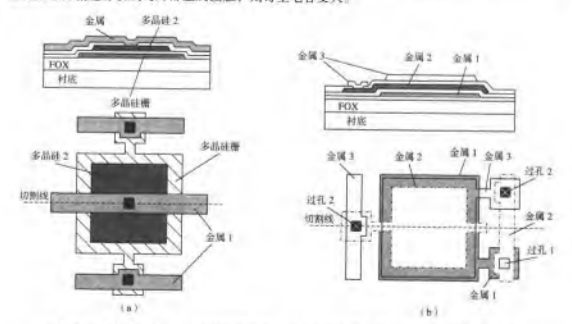


图 2.6-10　版图实例。（a）双多晶硅电容；（b）三层金属电容及相应切割线处的剖面图

纯数字工艺一般不提供双多晶硅电容。因此，精密电容通常由多层金属制成。如果只有一层金属，则可形成金属-多晶硅电容。对于多层金属工艺，多晶硅仍能用做电容的一层。若用多晶硅作为电容的一层，会存在一个问题，即在多晶硅与衬底之间将形成一个与所需电容可比的寄生电容。如果此寄生电容影响不大，那么这种电容将获得较大的单位面积电容值。

三层金属电容的例子如图 2.6-10（b）所示。由图可见，电容的顶板是金属 2，底板是由金属 1 和金属 3 构成。

集成电路电容的值近似为[①]：

$$C = \frac{\varepsilon_{ox}A}{t_{ox}} = C_{ox}A \qquad (2.6\text{-}14)$$

其中，ε_{ox} 是二氧化硅的介电常数（约为 3.45×10^{-5} pF/μm），t_{ox} 是氧化物的厚度，A 是电容面积。可见电容值取决于面积 A 和氧化物厚度 t_{ox}。另外还有边缘电容，它是电容周长的函数。因此，两电容比值的误差不是由面积比就是氧化物厚度比的误差引起。如果误差是由氧化物厚度的均匀线性变化造成，那么同质心的几何布局可以消除此影响[34]。与面积相关的误差是由集成电路中不能准确定义的电容尺寸而引起。这是由与制作掩膜相关的容差、对定义电容平板材料的非均匀刻

① 这是无限大平板电容的公式，这个表达式在平行板尺寸接近其间距时不太准确。

蚀和其他限制造成的[35]。

模拟采样数据电路的性能直接受所用电容的影响。从模拟采样数据电路应用的角度看，电容最重要的特性之一是准确的比例关系[36]。

版图规则

在绘制集成电路版图时，一定要遵循规则，以确保集成电路的可制造性。控制制造能力的版图规则，部分起因于工艺中的刻蚀掩膜步骤，因后一步光掩膜的特征必须与前一步集成电路上所定义的特征校准。即使用精确的自动校准工具仍然存有误差。某些情况下，两层是否严格对齐对电路工作有重要影响。结果，对准容差限制了特征尺寸以及电路中其他层的尺寸定位。

电性能的要求也规定了特征尺寸和其他层的尺寸定位。保持给定电位差的扩散区之间的容许距离正是一个很好的例子。如果要设计向技术限制挑战的电路，那么了解与电性能相关的规则对设计者来说十分重要。设计规则的限制受特定条件下工艺（掺杂浓度、结深等）特性的约束。

下面一组设计规则基于最小尺寸分辨率λ（不要与将在第 3 章介绍的沟道长度调制系数λ混淆）。最小尺寸分辨率λ通常为工艺技术中最小几何长度的一半。

基本版图级要定义双层金属、衬底、包含阱（p^-或n^-）的硅栅 CMOS 电路、有源区（AA）、多晶硅栅（poly）、第二层多晶硅（电容顶板）、接触孔、第一层金属、过孔、第二层金属和焊盘。各层符号见图 2.6-11（c）。表 2.6-1 给出了多晶硅栅、衬底 CMOS 工艺的简化设计规则。图 2.6-11 阐明了这些规则。

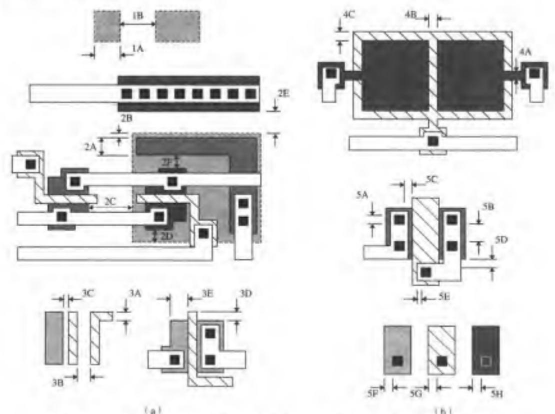
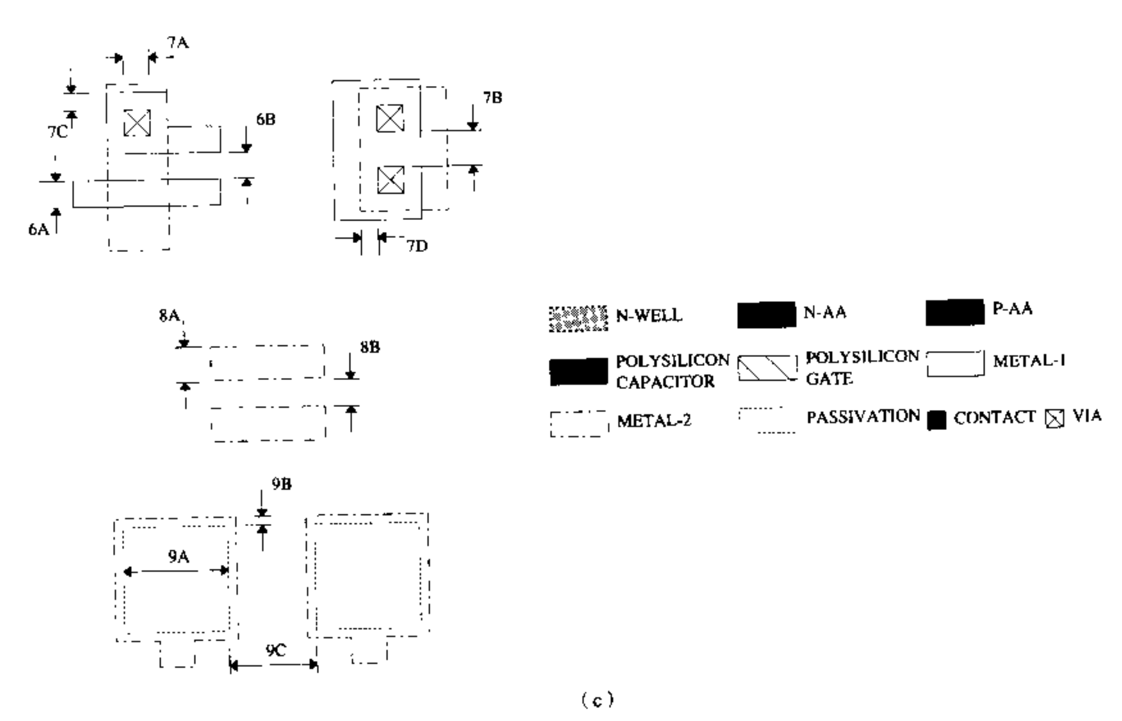


图 2.6-11　（a）表 2.6-1 设计规则中 1~3 的图例；（b）表 2.6-1 设计规则中 4 和 5 的图例



(c)

图 2.6-11（续） （c）表 2.6-1 中设计规则 6~9 的图例

多数情况下，每一个晶圆制造厂都采用一种特定的设计规则。设计开始前，设计者应确定采用何种工艺，并获得提供该工艺的晶圆制造厂家的设计规则。这在代表最高发展水平的模拟 CMOS 制造中尤为重要。但是，这里提出的原则在转化为特定工艺时不能改变。

表 2.6-1 双金属层、双多晶硅、n 阱、衬底 CMOS 工艺的设计规则

最小尺寸精度	λ
1. n 阱	6
1A. 宽度	8
1B. 间距（相同电势）	22
1C. 间距（不同电势）	
2. 有源区(AA)	4
2A. 宽度	
到阱的间距	1
2B. n 阱内部的 n 型有源区	10
2C. n 阱外部的 n 型有源区	3
2D. n 阱内部的 p 型有源区	7
2E. n 阱外部的 p 型有源区	
与其他有源区的间距（阱内或阱外）	3
2F. 有源区到有源区（p 型或 n 型）	
3. 多晶硅栅极（电容底板）	2
3A. 宽度	3
3B. 间距	1
3C. 多晶硅到有源区的间距（包括场区）	2
3D. 栅极超出有源区的部分（管子的宽度方向）	4
3E. 栅极与有源区边界的间距（管子的长度方向）	

（续表）

最小尺寸精度	λ
4. 多晶硅电容顶板	
4A. 宽度	2
4B. 间距	2
4C. 与多晶硅栅极内侧间距	2
5. 接触孔	
5A. 尺寸	2×2
5B. 间距	4
5C. 与多晶硅栅极的间距	2
5D. 多晶硅接触孔与有源区的间距	2
5E. 金属覆盖接触孔	1
5F. 有源区覆盖接触孔	2
5G. 多晶硅覆盖接触孔	2
5H. 电容顶板覆盖接触孔	2
6. 金属 1	
6A. 宽度	3
6B. 间距	3
7. 过孔	
7A. 尺寸	3×3
7B. 间距	4
7C. 由金属 1 覆盖	2
7D. 由金属 2 覆盖	2
8. 金属 2	
8A. 宽度	4
8B. 间距	3
键合焊盘	
8C. 与有源区的间距	24
8D. 与金属电路的间距	24
8E. 与多晶硅栅极的间距	24
9. 去除钝化层（焊盘）	
9A. 裸焊盘	100 μm×100 μm
9B. 金属 2 覆盖裸焊盘	8
9C. 焊盘间距	40

注：对于 p 阱工艺，将上面的 p 型和 n 型互换。

2.7 小结

本章从模拟电路的实现角度介绍了 CMOS 技术并描述了基本半导体制造工艺，以帮助读者了解此技术的基本概念。基本制造步骤包括扩散、注入、沉积、刻蚀和氧化层生长。这些步骤都由光刻实现，光刻限制工艺步骤中硅晶圆的特定物理区。实现典型硅栅极 CMOS 工艺所必需的基本工艺步骤在后面介绍。

在介绍完 CMOS 技术后，我们复习了 pn 结，因为它在所有半导体器件中起着重要作用。其中介绍了 pn 突变结，引出了物理尺寸，耗尽区电容，以及 pn 结的电压-电流特性。接着，介绍了 MOS 管及其特性。介绍了源漏极之间的沟道是如何形成的，讨论了作用于此沟道的栅极电压的影响。从物理上讲，MOS 管是一个非常简单的器件。最后，介绍了制造 MOS 管的必要步骤。

接下来讨论了可用 CMOS 技术实现的无源元件，但只包括了电阻和电容。这些元器件的绝对

精度与其边缘不确定有关，并可随着物理尺寸的变大而得以改进。无源元件的相对精度取决于其类型和版图。

接着的一节深入讨论了关于 CMOS 技术的一些考虑。包括：与 CMOS 工艺兼容的衬底和横向双极型晶体管；发生在大电流条件下的闩锁现象；CMOS 器件的温度关系及噪声源。

最后一节讲述了 CMOS 器件的几何定义，重点在于确保制造后器件正常工作的物理约束。这些内容将自然地引入下一章，在下一章中将介绍用以分析设计电路的电路模型。

习题

2.1-1 例举 5 种 MOS 制造工艺中的基本步骤并说明每个步骤的作用或目的。

2.1-2 试述正、负光刻胶的区别及如何使用光刻胶？

2.1-3 说明偏离垂直 7°的离子注入对源极和漏极的影响。假设多晶硅的厚度为 8000 Å，由离子影响点的向外扩散为 0.07 μm。

2.1-4 在 2.1 节中介绍的 CMOS 制造工艺中氮化硅的作用是什么？

2.1-5 给出场氧化物（FOX）、薄氧化物（TOX）、n^+或 p^+、p 阱和金属 1 的典型厚度，单位为 μm。

2.2-1 当外加电压为–2 V 时，重做例 2.2-1。

2.2-2 用式（2.2-1）、式（2.2-7）和式（2.2-8）推导式（2.2-9）。

2.2-3 如果 pn 结的掺杂浓度由图 2.2-2 给出，而不是图 2.2-1（b）中的突变结，试再推导式（2.2-7）和式（2.2-8）。

2.2-4 画出 pn 二极管的归一化反偏电流 i_{RA}/i_R 与反偏电压 v_R 的关系图，设 $BV = 12$ V，$n = 6$。

2.2-5 如果 pn 结的 $N_A = N_D = 10^{16}/\text{cm}^3$，则其击穿电压是多少？

2.2-6 设有一个硅 pn 结二极管，为使二极管正向电流增加 10 倍（一个数量级），v_D 应变化多少？

2.3-1 用自己的话解释式（2.3-19）中阈值电压的值为什么随源、衬底间电压增大而增大（源、衬底间保持反偏）。

2.3-2 若 $V_{SB} = 2$ V，试求例 2.3-1 中 n 沟道晶体管的 V_T 值。

2.3-3 重推式（2.3-27），假设在式（2.3-22）中 V_T 不是常数，而是随 $v(y)$ 按下式做线性变化的：

$$V_T = V_{T0} + \alpha|V_{SB}|$$

2.3-4 若电子迁移率为 500 $\text{cm}^2/(\text{V}\cdot\text{s})$，空穴迁移率为 200 $\text{cm}^2/(\text{V}\cdot\text{s})$，试比较 n 沟道和 p 沟道管的性能。尤其考虑跨导参数和 MOS 管的工作速度。

2.3-5 以例 2.3-1 的计算作为起始点，计算栅氧化层厚度有 5%的差别（即 $t_{ox} = 210$ Å）时两个器件阈值电压的差。

2.3-6 如果 $N_A = 7\times10^{16}\ \text{cm}^{-3}$，栅掺杂，$N_D = 1\times10^{19}\ \text{cm}^{-3}$，重新计算例 2.3-1。

2.4-1 按照表 2.4-1 给出的元器件容差，设计图 P2.4-1 所示的简单低通滤波器，使极点频率对于所有工艺变化有最小的变化，设极点频率为 1 MHz。选择合适的电容和电阻类型并解释选择理由。计算所选设计中极点频率的变化。

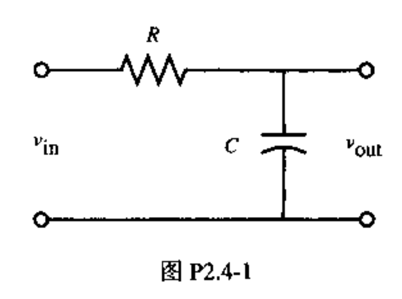


图 P2.4-1

2.4-2 采用 CMOS 工艺制造准确电容，例举两个引起与设计值有误差的原因。

2.4-3 在图 2.4-1（a）电容结构中 n^+注入的目的是什么？

2.4-4 在图 P2.4-4 所示的电路中，电阻 R_1是 n 阱电阻，当两端电压为 3 V 时，标称值为 10 kΩ。输入电压 v_{in}是一个叠加在 3 V 直流量上幅值为 $2V_{pp}$的正弦波，在这些条件下 R_1值为：

$$R_1 = R_{nom}\left[1 + K\left(\frac{v_{in} + v_{out}}{2}\right)\right]$$

式中，R_{nom}为 10K，系数 K是 n 阱电阻的电压系数，其值为 10 K ppm/V。电阻 R_2为理想电阻，阻值 10 kΩ。求 v_{out}的时域表达式，假设与频率无关。

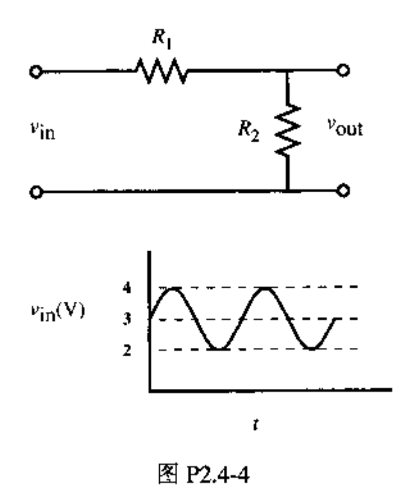


图 P2.4-4

2.4-5 将电阻 R_1改为 p^+扩散区电阻，重做习题 2.4-4。假设 p^+电阻的电压系数为 200 ppm/V。R_1所在的 n 阱接 5 V 电压。

2.4-6 重做习题 2.4-5，条件改为 n 阱不接 5 V 电压，而是按如图 P2.4-6 所示的接法。

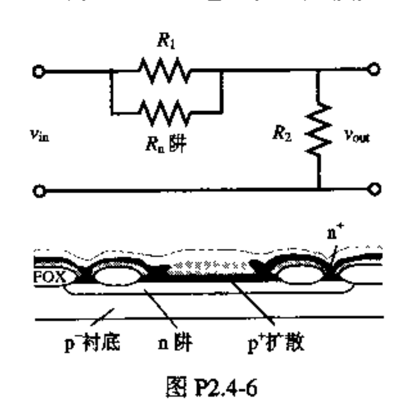


图 P2.4-6

2.5-1 假设 $v_D = 0.7$ V，试计算 I_s和 v_D的分式温度系数。

2.5-2 画出作为频率函数的噪声电压关系曲线。设热噪声单位为 $100\ \text{nV}/\sqrt{\text{Hz}}$，$1/f$噪声和热噪声（$1/f$噪声的拐点）的交叉点为 10 kHz。

2.6-1 多晶硅电阻如图 P2.6-1 所示，已知电阻率$\rho = 8\times10^{-4}\ \Omega\cdot\text{cm}$，计算阻值。只考虑接触孔边缘间的电阻值。$\rho_s = 50\ \Omega/\square$。

2.6-2 给定两只晶体管 W/L 为 100 μm/0.8 μm，欲将其匹配，试给出达到最佳匹配时晶体管版图的草图。

2.6-3 假设一只电容的顶板边缘变化为 0.05 μm，且顶板是正方形的。欲将两相同电容匹配至准确率为 0.1%，假设氧化物厚度不变，电容要多大才能达到匹配要求？

2.6-4 证明相同面积下，圆的周长与面积之比为最小。在证明中再比较矩形和正方形。

2.6-5 结合图 2.6-5 分析说明 Yiannoulos-path 技术如何保持恒定的非整数周长与面积之比。

2.6-6 设计一对匹配晶体管的优化版图，晶体管 W/L 为 8 μm/1 μm。匹配要做到像同质心一样的光刻稳定。



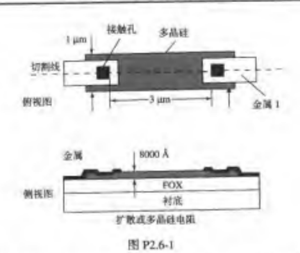


图 P2.6-1

2.6-7 图 P2.6-7 例举了数种实现电阻分割的方法。选择达到 2:1 比例的最好版图。并说明其他选择为什么不合适。

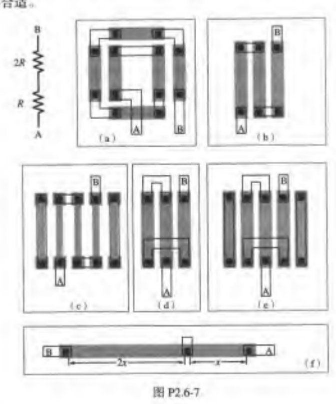


图 P2.6-7

参考文献

1. Y. P. Tsividis and P. R. Gray, "A Segmented μ255 Law PCM Voice Encoder Utilizing NMOS Technology," *IEEE J. Solid-State Circuits*, Vol. SC-11, No. 6, pp. 740–747, Dec. 1976.
2. B. Fotouhi and D. A. Hodges, "High-Resolution A/D Conversion in MOS/LSI," *IEEE J. Solid-State Circuits*, Vol. SC-14, No. 6, pp. 920–926, Dec. 1979.
3. J. T. Caves, C. H. Chan, S. D. Rosenbaum, L.P. Sellers, and J.B. Terry, "A PCM Voice Codec with On-Chip Filters," *IEEE J. Solid-State Circuits*, Vol. SC-14, No. 1, pp. 65–73, Feb. 1979.

4. Y. P. Tsividis and P. R. Gray, "An Integrated NMOS Operational Amplifier with Internal Compensation," *IEEE J. Solid-State Circuits*, Vol. SC-11, No. 6, pp. 748–754, Dec. 1976.
5. B. K. Ahuja, P. R. Gray, W. M. Baxter, and G. T. Uehara, "A Programmable CMOS Dual Channel Interface Processor for Telecommunications Applications,' *IEEE J. Solid-State Circuits*, Vol. SC-19, No. 6, pp. 892–899, Dec. 1984.
6. H. Shirasu, M. Shibukawa, E. Amada, Y. Hasegawa, F. Fujii, K. Yasunari, and Y. Toba, "A CMOS SLIC with an Automatic Balancing Hybrid," *IEEE J. Solid-State Circuits*, Vol. SC-18, No. 6, pp. 678–684, Dec. 1983.
7. A. S. Grove, *Physics and Technology of Semiconductor Devices*, New York: Wiley, 1967.
8. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, New York: Wiley, 1977.
9. R. C. Colclaser, *Microelectronics Processing and Device Design*. New York: Wiley, 1977, pp. 62–68.
10. S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI Era*. Sunset Beach, CA: Lattice Press, 1987, p. 27.
11. J. C. Irvin, "Resistivity of Bulk Silicon and Diffused Layers in Silicon," *Bell Syst. Tech. J.*, Vol. 41, pp. 387–410, Mar. 1962.
12. D. G. Ong, *Modern MOS Technology—Processes, Devices, & Design*. New York: McGraw-Hill, 1984, Chap. 8.
13. D. J. Hamilton and W. G. Howard, *Basic Integrated Circuit Engineering*. New York: McGraw-Hill, 1975, Chap. 2.
14. D. H. Lee and J. W. Mayer, "Ion Implanted Semiconductor Devices," *Proc. IEEE*, pp. 1241–1255, Sept. 1974.
15. J. F. Gibbons, "Ion Implantation in Semiconductors," *Proc. IEEE*, Part I, Vol. 56, pp. 295–319, Mar. 1968; Part II, Vol. 60, pp. 1062–1096, Sept. 1972.
16. S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI Era*. Sunset Beach, CA: Lattice Press, 1987, pp. 374–381.
17. S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI Era*. Sunset Beach, CA: Lattice Press, 1987, pp. 335–374.
18. J. L. Vossen and W. Kern (Eds.), *Thin Film Processes*, Part III-2, New York: Academic Press, 1978.
19. P. E. Gise and R. Blanchard, *Semiconductor and Integrated Circuit Fabrication Technique*. Reston, VA: Reston Publishers, 1979, Chap. 5, 6, 10, and 12.
20. R. W. Hon and C. H. Sequin, *A Guide to LSI Implementation*, 2nd ed. Palo Alto, CA: Xerox Palo Alto Research Center, Jan. 1980, Chap. 3.
21. D. J. Elliot, *Integrated Circuit Fabrication Technology*, New York: McGraw-Hill, 1982.
22. S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI Era*, Sunset Beach, CA: Lattice Press, 1987, pp. 189–191.
23. S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI Era*, Sunset Beach, CA: Lattice Press, 1987, pp. 384–406.
24. P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 2nd ed. New York: Wiley, 1984, Chap. 1.
25. D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, New York: McGraw-Hill, 1983.
26. B. R. Chawla and H. K. Gummel, "Transition Region Capacitance of Diffused pn Junctions," *IEEE Trans. Electron Devices*, Vol. ED-18, pp. 178–195, Mar. 1971.
27. C. T. Sah, "Characteristics of the Metal-Oxide-Semiconductor Transistor," *IEEE Trans. Electron Devices*, Vol. ED-11, pp. 324–345, July 1964.
28. H. Shichman and D. Hodges, "Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits," *IEEE J. Solid-State Circuits*, Vol. SC-13, No. 3, pp. 285–289, Sept. 1968.
29. J. L. McCreary, "Matching Properties, and Voltage and Temperature Dependence of MOS Capacitors," *IEEE J. Solid-State Circuits*, Vol. SC-16, No. 6, pp. 608–616, Dec. 1981.
30. D. B. Estreich and R. W. Dutton, "Modeling Latch-Up in CMOS Integrated Circuits and Systems," *IEEE Trans. CAD*, Vol. CAD-1, pp. 157–162, Oct. 1982.
31. S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley, 1981, p. 28.
32. R. A. Blauschild, P. A. Tucci, R. S. Muller, and R. G. Meyer, 'A New Temperature-Stable Voltage Reference,' *IEEE J. Solid-State Circuits*, Vol. SC-19, No.6, pp. 767–774, Dec. 1978.
33. C. D. Motchenbacher and F. G. Fitchen, *Low-Noise Electronic Design*. New York: Wiley, 1973.
34. J. L. McCreary and P. R. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques—Part I," *IEEE J. Solid-State Circuits*, Vol. SC-10, No. 6, pp. 371–379, Dec. 1975.
35. J. B. Shyu, G. C. Temes, and F. Krummenacher, "Random Error Effects in Matched MOS Capacitors and Current Sources," *IEEE J. Solid-State Circuits*, Vol. SC-19, No. 6, pp. 948–955, Dec. 1984.
36. R. W. Brodersen, P. R. Gray, and D. A. Hodges, "MOS Switched-Capacitor Filters," *Proc. IEEE*, Vol. 67, pp. 61–75, Jan. 1979.
37. D. A. Hodges, P. R. Gray, and R. W. Brodersen, "Potential of MOS Technologies for Analog Integrated Circuits," *IEEE J. Solid-State Circuits*, Vol. SC-8, No. 3, pp. 285–294, June 1978.

第3章 CMOS器件模型

在采用CMOS技术设计集成电路之前，首先必须具有能够描述设计中所要使用的元器件性能的模型。模型可以采用数学表达式、电路图或者图表的形式。本教材所用的多数建模主要针对前面章节所提到的有源、无源元器件，而非诸如宏模型或行为级建模等更高层次的建模。

首先必须强调的是：模型仅仅是模型而已，并不是实际的器件。在理想的世界中，我们可以有在所有可能情况下精确描述一个器件行为的模型。现实中，如果一个模型预测得到的模拟性能与测量得到的性能之间的误差能保持在百分之几之内就已经很令人满意了。目前什么样的模型更接近于理想情况还没有定论[1]，因此HSPICE[2]为使用者提供了43种MOS管模型以供选择！

本教材只集中讨论三种模型：

第一种是最简单的模型，可以用做手工计算。这种模型曾在2.3节中讨论过，本章将会介绍引入电容、噪声以及欧姆电阻的情况。在SPICE中，这个简单模型被称之为LEVEL 1模型。接下来，由LEVEL 1大信号模型推出它的小信号模型，3.3节将详细讲述。

第二种是相对复杂的模型，即SPICE LEVEL 3模型，该模型将在3.4节中讨论。此模型包含了许多类似于亚阈区导通一类在现代短沟道工艺中更为明显的效应，当器件几何尺寸达到0.8 μm以下时，这种模型很适用。

第三种为BSIM3v3模型，这是最有可能成为计算机仿真标准的模型。

符号说明

SPICE最初是用FORTRAN语言实现的，所有的输入都要求用大写的ASCII字符。小写、希腊字母、上标或者下标都是不允许的。现在的SPICE实现一般可以接受（但是不能区分）大写和小写，不过传统的使用大写ASCII字符的情况仍然存在。这在器件模型的参数中尤其明显。由于希腊字母无效，因此就用拼音来代替，比如γ输入时用GAMMA替代。上、下标仍然是禁止的。

在书中采用 SPICE 的命名约定不方便，因为等式往往是不规则的而且与平时所见的不大一样。另一方面，在SPICE的应用中必须提供正确符号。为了解决这个麻烦，我们决定除了简单模型（SPICE LEVEL 1）所用的模型参数外，其他都用SPICE的大写给出模型参数符号。

3.1 简单的MOS大信号模型（SPICE LEVEL 1）

作为n沟道MOS器件，大信号模型的电压和电流的正方向按照图3.1-1（a）那样来标示。同样的模型也可以用于p沟道的MOS器件，只要把所有的电压和电流值都乘以−1、阈值电压取绝对值即可。这等效于图3.1-1（b）所定义的电压和电流，图中所有值都是正值。正如第1章中提到的，带大写下标的小写字母用来表示大信号模型中的变量，而带小写下标的小写字母则表示小信号模型中的变量。当电压或者电流是模型参数（如阈值电压）时，我们用大写变量和大写下标来表示。

当MOS器件的长和宽大于10 μm的时候，衬底掺杂低，假如我们又正好需要一个简单的模

型，那么由 Sah 建议[3]、由 Shichman 和 Hodges 在 SPICE 中使用[4]的这个模型是合适的。这个模型由式（2.3-27）发展而来，如下式所示：

$$i_D = \frac{\mu_0 C_{ox} W}{L}\left[(v_{GS} - V_T) - \left(\frac{v_{DS}}{2}\right)\right]v_{DS} \tag{3.1-1}$$

在前面的章节中已经定义了终端电压和电流。式（3.1-1）中的变量参数定义如下：

μ_0 = n 沟道或者 p 沟道器件的表面迁移率（$cm^2/V \cdot s$）

$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$ = 单位面积栅氧化物电容（F/cm^2）

W = 有效沟道宽度

L = 有效沟道长度

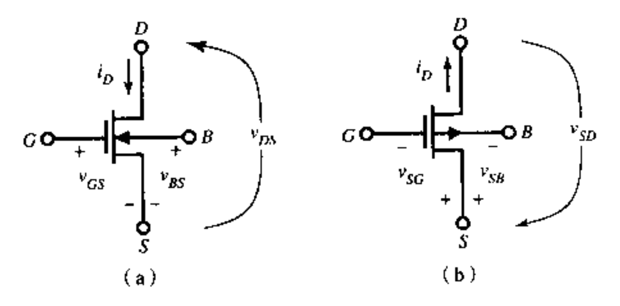


图 3.1-1　MOS 管常用正符号。（a）n 沟道；（b）p 沟道

由式（2.3-19）给出的 n 沟道管阈值电压 V_T 为：

$$V_T = V_{T0} + \gamma\left(\sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|}\right) \tag{3.1-2}$$

$$V_{T0} = V_T(v_{SB} = 0) = V_{FB} + 2|\phi_F| + \frac{\sqrt{2q\varepsilon_{Si}N_{SUB}2|\phi_F|}}{C_{ox}} \tag{3.1-3}$$

$$\gamma = \text{体阈值参数}(V^{1/2}) = \frac{\sqrt{2\varepsilon_{Si}qN_{SUB}}}{C_{ox}} \tag{3.1-4}$$

$$\phi_F = \text{强反型层表面势垒}(V) = \frac{kT}{q}\ln\left(\frac{N_{SUB}}{n_i}\right) \tag{3.1-5}$$

$$V_{FB} = \text{平带电压}(V) = \phi_{MS} - \frac{Q_{ss}}{C_{ox}} \tag{3.1-6}$$

$$\phi_{MS} = \phi_F(\text{衬底}) - \phi_F(\text{栅}) \quad [\text{式}(2.3\text{-}17)] \tag{3.1-7}$$

$$\phi_F(\text{衬底}) = -\frac{kT}{q}\ln\left(\frac{N_{SUB}}{n_i}\right)[\text{n 沟道，p 衬底}] \tag{3.1-8}$$

$$\phi_F(\text{栅}) = -\frac{kT}{q}\ln\left(\frac{N_{GATE}}{n_i}\right)[\text{n 沟道，n}^+\text{多晶硅栅}] \tag{3.1-9}$$

$$Q_{ss} = \text{氧化层-电荷} = qN_{ss} \tag{3.1-10}$$

k = 玻尔兹曼常数

T = 温度（K）

n_i = 本征载流子浓度

表 3.1-1 给出了硅的一些相关常数。

表 3.1-1 硅晶体的一些常数

常数符号	常数描述	值	单位
V_{G0}	硅带隙（27℃）	1.205	V
k	玻尔兹曼常数	1.381×10^{-23}	J/K
n_i	本征载流子浓度（27℃）	1.45×10^{10}	cm^{-3}
ε_0	自由空间介电常数	8.854×10^{-14}	F/cm
ε_{Si}	硅的介电常数	$11.7\,\varepsilon_0$	F/cm
ε_{ox}	二氧化硅的介电常数	$3.9\,\varepsilon_0$	F/cm

MOS 器件的独特之处是它的电压与源极和衬底之间电压有关，如式（3.1-2）所示。这种关系决定了 MOS 器件是个四端器件。后面分析将会看到这种行为将如何影响 MOS 电路的大信号以及小信号性能。

在电路设计领域，更希望用电参数而非物理参数表示模型方程式。因此漏极电流通常表示为：

$$i_D = \beta\left[(v_{GS} - V_T) - \frac{v_{DS}}{2}\right]v_{DS} \tag{3.1-11}$$

或者

$$i_D = K'\frac{W}{L}\left[(v_{GS} - V_T) - \frac{v_{DS}}{2}\right]v_{DS} \tag{3.1-12}$$

式中，跨导参数 β 以物理参量的形式给出：

$$\beta = K'\frac{W}{L} \cong \mu_0 C_{ox}\frac{W}{L} \quad (A/V^2) \tag{3.1-13}$$

当器件的栅漏电压较低、管子工作在非饱和区时，简单模型中 K' 值近似等于 $\mu_0 C_{OX}$。但是当电压较大出现迁移率退化的时候情况就不同了，此时 K' 通常会小一些。式（3.1-12）中模型参数的典型值在表 3.1-2 中给出。

表 3.1-2 用简单模型，适合手算的典型 CMOS 体工艺模型参数

工艺：0.8 μm 硅栅体 CMOS n 阱

参数符号	参数描述	典型参数值		
		n 沟道	p 沟道	单位
V_{T0}	阈值电压（$V_{BS}=0$）	0.7 ± 0.15	-0.7 ± 0.15	V
K'	跨导参数（饱和区）	$110.0\pm10\%$	$50.0\pm10\%$	$\mu A/V^2$
γ	体阈值参数	0.4	0.57	$V^{1/2}$
λ	沟道长度调制参数	0.04（$L=1\mu m$）	0.05（$L=1\mu m$）	V^{-1}
		0.01（$L=2\mu m$）	0.01（$L=2\mu m$）	
$2\lvert\phi_F\rvert$	强反型层表面势垒	0.7	0.8	V

基于式（3.1-1）模型的 MOS 管有多种工作区，具体取决于 $v_{GS} - V_T$ 的值。如果 $v_{GS} - V_T$ 的值是零或者负值，MOS 管工作在截止区[①]，式（3.1-1）变成：

① 后面我们会介绍 MOS 晶体管可以工作在亚阈区，该区域中的栅-源电压小于阈值电压。

$$i_D = 0, \qquad v_{GS} - V_T \le 0 \tag{3.1-14}$$

在这个区域，沟道就如同断路。

$\lambda = 0$、$v_{GS}-V_T$为不同值时式（3.1-1）中 i_D 随 v_{DS} 变化的曲线如图3.1-2 所示。在这些曲线的最大值处 MOS 管被称做饱和。此时 v_{DS} 的值称为饱和电压，由下式表示：

$$v_{DS}(\text{饱和}) = v_{GS} - V_T \tag{3.1-15}$$

于是，定义 v_{DS}（饱和）为两个区的分界值。如果 v_{DS} 小于 v_{DS}(饱和)，MOS 管工作在非饱和区，式（3.1-1）变成：

$$i_D = K' \frac{W}{L}\left[(v_{GS} - V_T) - \frac{v_{DS}}{2}\right]v_{DS}, \qquad 0 < v_{DS} \le (v_{GS} - V_T) \tag{3.1-16}$$

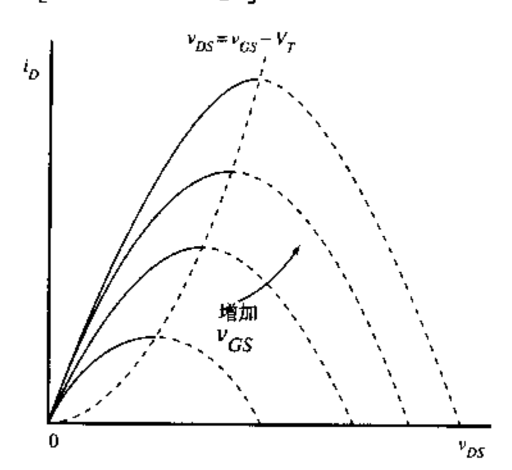


图 3.1-2　修改过的 Sah 等式的图形表示

在图 3.1-2 中，非饱和区处于纵坐标轴（$v_{DS}=0$）和 $v_{DS}=v_{GS}-V_T$ 曲线之间。

第三个工作区位于 v_{DS} 大于 v_{DS}（饱和）或 $v_{GS}-V_T$ 的区域。这里的电流 i_D 与 v_{DS} 无关。因此，将式（3.1-1）中的 v_{DS} 换成式（3.1-15）[①]中的 v_{DS}（饱和）得到：

$$i_D = K' \frac{W}{2L}(v_{GS} - V_T)^2, \qquad 0 < (v_{GS} - V_T) \le v_{DS} \tag{3.1-17}$$

式（3.1-17）表明，一旦 v_{DS} 大于 $v_{GS}-V_T$，漏极电流即为一常数。其实并非如此，随着漏极电压增大，沟道减小，引起电流增加。这种现象被称为沟道长度调制效应，相应地，饱和模型应该乘以一个因子（$1+\lambda v_{DS}$)，这里的 v_{DS} 是实际的源漏极电压值而非 v_{DS}（饱和）。因此，考虑了沟道长度调制效应之后的饱和模型就变成式（3.1-18）：

$$i_D = K' \frac{W}{2L}(v_{GS} - V_T)^2(1 + \lambda v_{DS}), \qquad 0 < (v_{GS} - V_T) \le v_{DS} \tag{3.1-18}$$

MOS 管的输出特性可以由式（3.1-14）、式（3.1-16）和式（3.1-18）得到。图 3.1-3 示出了归一化的输出特性。这些曲线都是由最顶上的一条曲线归一化得到的，其中 V_{GS0} 被定义为在饱和区使漏极电流等于 I_{D0} 的 v_{GS} 值。整个特性曲线由图3.1-2 的实线从电流最大点向右水平扩展得到。图 3.1-3 中的实线对应于 $\lambda = 0$ 的情况。如果 λ 不等于零，曲线如图中虚线所示。

① 原书中为式（3.1-11）。——译者注

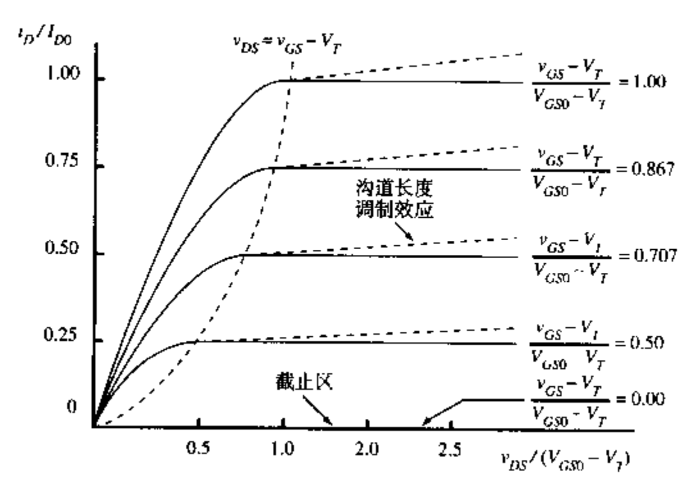


图 3.1-3 MOS 管的输出特性

MOS 管的另一个重要特性可以利用式（3.1-18）绘出 i_D 与 v_{GS} 的关系得到。图 3.1-4 示出了结果。MOS 管的这个特性被称为跨导特性。我们注意到在饱和区跨导特性可以从输出特性曲线得到：在图 3.1-3 所示的输出特性曲线上，通过在虚线所示抛物线的右面画一条垂直线并得到 i_D 与 v_{GS} 的值即可。用图3.1-4 说明源极和体之间电压 v_{SB} 的影响也是有用的。随着 v_{SB} 值的增加，n 沟道增强型管 V_T 的值也增大（对于 p 沟道器件来说，v_{BS} 增加，V_T 绝对值增加）。对于 n 沟道耗尽型管，V_T 也增加，不过因为 V_T 是负值，它的增加是从负值向零变化。如果 v_{SB} 足够大，V_T 将变成正值，耗尽型管就变成了增强型管。

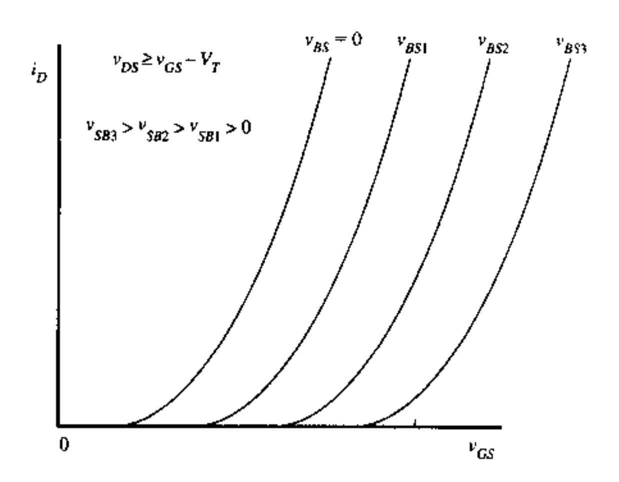


图 3.1-4 作为源极和体之间电压 v_{SB} 函数的 MOS 管跨导特性

因为 MOS 管是双向器件，漏、源极的指定看似任意，其实并非如此。对于一个 n 沟道管来说，源极总是两个极当中电位较低的那个。而对于 p 沟道器件来说，源极则是电位高的那个极。由此可以看出源漏极的确定并不拘泥于 MOS 管给定的物理节点，而是可以根据端点所加电压的不同相互调换。

MOS 管大信号模型的电路形式可以由连接在源漏间的电流源组成，该电流源如本节讨论的简单模型所定义的那样与漏、源、栅和体电压有关。该简单模型有五个电参数和工艺参数，并且有

完整的定义。这些参数分别是K'、V_T、γ、λ和$2\phi_F$。下标n或者p分别对应着n沟道或p沟道器件 它们构成了SPICE LEVEL 1模型的参数[5]。这些模型参数的典型值在表3.1-2中给出。

大信号模型的作用是在给定MOS器件端电压时求解漏极电流。下面的例子将有助于了解如何在p沟道器件中运用模型。

例 3.1-1　简单大信号模型的应用

在图3.1-1中，已知管子的宽长比为$W/L = 5\,\mu m/1\,\mu m$，大信号模型参数值如表3.1-2所示，n沟道管的漏极、栅极、源极和体电压分别为3 V、2 V、0 V和0 V，试求漏极电流。如果管子换成p沟道管，漏极、栅极、源极和体电压分别为−3 V、−2 V、0 V和0 V，再一次求漏极电流。

解：

首先必须确定MOS管的工作区。式（3.1-15）给出v_{DS}（饱和）= 2 V − 0.7 V = 1.3 V，因为v_{DS}为3 V，则n沟道管工作在饱和区。用式（3.1-18）和表3.1-2给出的值，可得：

$$i_D = \frac{K'_N W}{2L}(v_{GS} - V_{TN})^2(1 + \lambda_N v_{DS})$$

$$= \frac{110 \times 10^{-6}(5\,\mu m)}{2(1\,\mu m)}(2 - 0.7)^2(1 + 0.04 \times 3) = 520\,\mu A$$

对于p沟道管，由式（3.1-15）计算可得：

$$v_{SD}(\text{饱和}) = v_{SG} - |V_{TP}| = 2\text{ V} - 0.7\text{ V} = 1.3\text{ V}$$

因为$v_{SD} = 3$ V，则p沟道管也工作在饱和区，可用式（3.1-17）计算。利用表3.1-2给出的值，可以得到图3.1-1（b）中的漏极电流为：

$$i_D = \frac{K'_P W}{2L}(v_{SG} - |V_{TP}|)^2(1 + \lambda_P v_{SD})$$

$$= \frac{50 \times 10^{-6}(5\,\mu m)}{2(1\,\mu m)}(2 - 0.7)^2(1 + 0.05 \times 3) = 243\,\mu A$$

在饱和区用电流i_D来表示v_{GS}常常很有用，表达式如下：

$$v_{GS} = V_T + \sqrt{2i_D/\beta} \qquad (3.1\text{-}19)$$

此式说明v_{GS}由两个部分组成——一部分用于形成沟道，另一部分支持需要的漏极电流。文献中常将第二部分称为V_{ON}。于是V_{ON}可以定义为：

$$V_{ON} = \sqrt{2i_D/\beta} \qquad (3.1\text{-}20)$$

V_{ON}可以认为是电压V_{DS}（饱和），它们可以交换使用。

3.2　其他 MOS 管大信号模型的参数

大信号模型还包括其他一些特性，比如源/漏衬底结，源/漏欧姆电阻，各种电容和噪声。完整的大信号模型如图3.2-1所示。

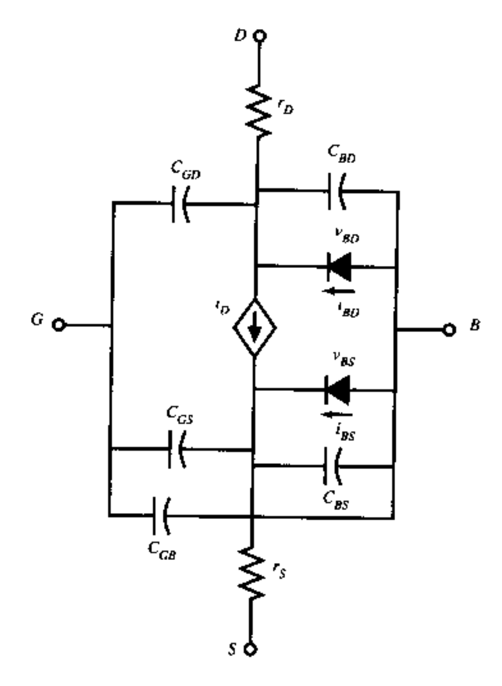


图 3.2-1 MOS 管的完整大信号模型

图 3.2-1 中的二极管表示在源区与衬底和漏区与衬底之间的 pn 结。为了使管子能够正常工作，这些二极管必须始终反偏。在直流模型中它们主要是用来模拟泄漏电流的。这些电流可表示为：

$$i_{BD} = I_s\left[\exp\left(\frac{qv_{BD}}{kT}\right) - 1\right] \tag{3.2-1}$$

和

$$i_{BS} = I_s\left[\exp\left(\frac{qv_{BS}}{kT}\right) - 1\right] \tag{3.2-2}$$

式中，I_S 是 pn 结的反向饱和电流，q 是电子电荷量，k 是波尔兹曼常数，T 是以开尔文为单位的温度。

电阻 r_D 和 r_S 分别表示漏极和源极的欧姆电阻。这些电阻的典型值为 50~100 Ω[①]，所以在较小漏极电流的情况下可以忽略。

图 3.2-1 中的电容可以分为三类。第一类有 C_{BD} 和 C_{BS} 电容，它们与源区与衬底和漏区与衬底之间耗尽区上的反偏有关。第二类有 C_{GD}、C_{GS} 和 C_{GB} 电容，它们都与栅极有关并且取决于管子的工作条件。第三类主要是寄生电容，与管子的工作条件无关。

耗尽结电容是 pn 结上电压的函数。在高注入作用下，这个耗尽结电容被分为两个区域来计算。第一个区域的电容如下：

$$C_{BX} = (\mathrm{CJ})(\mathrm{AX})\left[1 - \frac{v_{BX}}{\mathrm{PB}}\right]^{-\mathrm{MJ}}, \qquad v_{BX} \le (\mathrm{FC})(\mathrm{PB}) \tag{3.2-3}$$

式中：X 对于 C_{BD} 是 D；对于 C_{BS} 是 S

① 作为硅工艺，这些电阻更低，一般为 5~10 Ω的数量级。

AX = 源（X = S）面积或漏（X = D）面积

CJ = 零偏置（$v_{BX} = 0$）的结电容（单位面积）

$$\mathrm{CJ} \cong \sqrt{\frac{q\varepsilon_{\mathrm{Si}}N_{\mathrm{SUB}}}{2\mathrm{PB}}}$$

PB = 体结电势[类似于式（2.2-6）所给的 ϕ_0]

FC = 正偏非理想结电容系数（≅ 0.5）

MJ = 体结变容指数（突变结是 1/2，缓变结是 1/3）

第二个区域的电容如下：

$$C_{BX} = \frac{(\mathrm{CJ})(\mathrm{AX})}{(1 - \mathrm{FC})^{1+\mathrm{MJ}}}\left[1 - (1 + \mathrm{MJ})\mathrm{FC} + \mathrm{MJ}\frac{v_{BX}}{\mathrm{PB}}\right], \qquad v_{BX} > (\mathrm{FC})(\mathrm{PB}) \qquad (3.2\text{-}4)$$

图3.2-2说明式（3.2-3）和式（3.2-4）给出的耗尽结电容是如何组合成大信号电容模型 C_{BD} 和 C_{BS} 的。可以看到随着 v_{BX} 趋向 PB，式（3.2-4）防止 C_{BX} 趋向无穷。

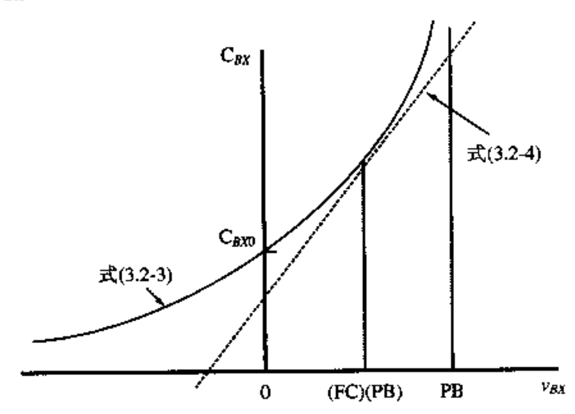


图 3.2-2　体结电容与电压关系的建模示例

在图3.2-3中对耗尽结电容更逼真的解释是这个电容就好像一个盆。它的底面积与源区以及漏区一样大。然而，那些侧面也属于耗尽区，这些侧面被称为周边。式（3.2-3）和式（3.2-4）中的 AX 应该包含底面和周边，假设两个区的零偏置电容是相似的。为了更逼近耗尽电容的模型，我们将底面与周边分开，如下所示：

$$C_{BX} = \frac{(\mathrm{CJ})(\mathrm{AX})}{\left[1 - \left(\dfrac{v_{BX}}{\mathrm{PB}}\right)\right]^{\mathrm{MJ}}} + \frac{(\mathrm{CJSW})(\mathrm{PX})}{\left[1 - \left(\dfrac{v_{BX}}{\mathrm{PB}}\right)\right]^{\mathrm{MJSW}}}, \qquad v_{BX} \le (\mathrm{FC})(\mathrm{PB}) \qquad (3.2\text{-}5)$$

和

$$C_{BX} = \frac{(\mathrm{CJ})(\mathrm{AX})}{(1 - \mathrm{FC})^{1+\mathrm{MJ}}}\left[1 - (1 + \mathrm{MJ})\mathrm{FC} + \mathrm{MJ}\frac{v_{BX}}{\mathrm{PB}}\right]$$

$$+ \frac{(\mathrm{CJSW})(\mathrm{PX})}{(1 - \mathrm{FC})^{1+\mathrm{MJSW}}}\left[1 - (1 + \mathrm{MJSW})\mathrm{FC} + \frac{v_{BX}}{\mathrm{PB}}(\mathrm{MJSW})\right],$$

$$v_{BX} \ge (\mathrm{FC})(\mathrm{PB}) \qquad (3.2\text{-}6)$$

式中：AX = 源（X = S）面积或漏（X = D）面积

PX = 源区周长（X = S），漏区周长（X = D）

CISW = 零偏置时的衬底源/漏区周边电容

MJSW = 衬底源/漏区周边变容指数

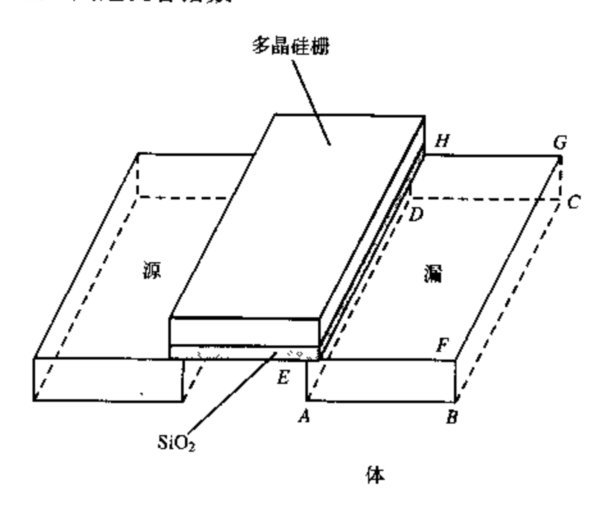


图 3.2-3 体结电容的底面（*ABCD*）和周边（*ABFE* + *BCGF* + *DCGH* + *ADHE*）的图示

表 3.2-1 给出了当氧化层厚度为 140 Å 、C_{ox} = 24.7×10^{-4} F/m^2 时 MOS 器件的 CJ、CJSW、MJ 和 MJSW 的值。显然，在没有确定器件的几何尺寸之前，不知道源、漏和周边的面积就无法准确模拟耗尽结电容。但是为了进行设计，这些值可以假设。例如，可以考虑典型的源、漏区为1.8 μm 乘 5 μm，于是对于 V_{BX} = 0 来说，n 沟道和 p 沟道管的 C_{BX} 值分别为 12.1F 和 9.8F。

表 3.2-1 MOS 器件的电容值和系数

类型	p 沟道	n 沟道	单位
CGSO	220×10^{-12}	220×10^{-12}	F/m
CGDO	220×10^{-12}	220×10^{-12}	F/m
CGBO	700×10^{-12}	700×10^{-12}	F/m
CJ	560×10^{-6}	770×10^{-6}	F/m^2
CJSW	350×10^{-12}	380×10^{-12}	F/m
MJ	0.5	0.5	
MJSW	0.35	0.38	

基于厚度为 140 Å 的氧化层或 $C_{ox} = 24.7\times10^{-4}$ F/m^2。

大信号 MOS 器件的电荷存储电容由栅极到源极电容（C_{GS}）、栅极到漏极电容（C_{GD}）和栅极到体电容（C_{GB}）组成。图3.2-4示出了 MOS 器件构成电荷存储电容的各种电容的横截面图。C_{BS} 和 C_{BD} 分别是前面讨论过的体到源区的电容和体到漏区的电容。接下来的讨论展示了大信号模型中电荷存储电容的演变。

C_1 和 C_3 是交叠电容，是由介质分开的两个导电表面的交叠效应而产生的。图 3.2-5 更详细地说明了交叠电容。交叠量记做 LD。这种交叠是由晶体硅栅极下面的源和漏区的横向扩散引起的。例如，0.8 μm 的 CMOS 工艺可能会有一个横向扩散 LD，大约为 16 nm。那么交叠电容就近似为：

$$C_1 = C_3 \cong (\text{LD})(W_{\text{eff}})C_{\text{ox}} = (\text{CGXO})W_{\text{eff}} \qquad (3.2\text{-}7)$$

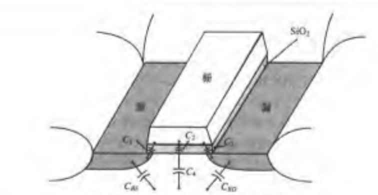


图 3.2-4　大信号 MOS 器件的电荷存储电容

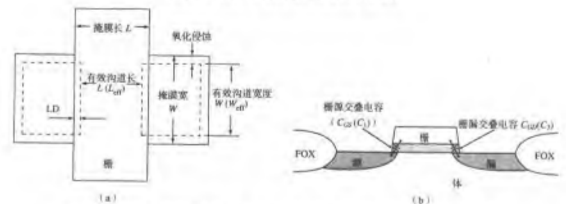


图 3.2-5　MOS 管的交叠电容。（a）源、漏与栅之间交叠的俯视图；（b）侧视图

式中，W_{eff}是有效沟道宽度，CGXO（X = S 或 D）是对应于栅-源或者栅-漏交叠的以 F/m 为单位的交叠电容。掩膜宽度和实际宽度之间的差别是由于氮化硅下氧化区被侵蚀所致。表3.2-1给出了氧化层厚度为 140 Å 时器件的 CGSO（栅–源交叠电容）和 CGDO（栅–漏交叠电容）的值。第三个重要的交叠电容是体和栅极的交叠而引起的。图 3.2-6 更详细地表示了这个交叠电容（C_5）。这是在沟道边缘栅极和体间产生的电容，是沟道有效长度 L_{eff} 的函数。表 3.2-1 给出了当器件氧化层厚度为 140 Å 时 CGBO（栅–体交叠电容）的典型值。

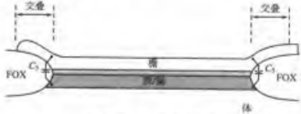


图 3.2-6　栅–体交叠电容

如果图 3.2-4 中的器件工作在饱和区，那么沟道将几乎延伸到漏极，如果 MOS 器件工作在非饱和区则完全扩展到漏极。C_2是栅极–沟道电容，表示如下：

$$C_2 = W_{eff}(L - 2\mathrm{LD})C_{ox} = W_{eff}(L_{eff})C_{ox} \tag{3.2-8}$$

变量 L_{eff} 是有效沟道长度，由掩膜定义的长度减去横向扩散值确定（请注意，直到现在，符号 L

和 W 都是指的有效尺寸，但是现在要考虑到净化加以改变）。C_4 是沟道-体电容，像 C_{BS} 和 C_{BD} 一样，它是一个随着电压变化的耗尽型电容。

当 v_{DS} 为常数、v_{GS} 从零开始增加时，考察 C_{GB}、C_{GS} 和 C_{GD} 是非常有趣的。为了解结果，我们设想在图 3.1-3 中有一条垂直线[比如 $v_{DS}=0.5(V_{GS0}-V_T)$]随着 v_{GS} 从零增加移动。v_{GS} 增加到 V_T 之前，MOS 管是截止的。直到 $v_{GS}=v_{DS}$（饱和）$+V_T$，管子工作在饱和区。最后，MOS 管进入非饱和区。C_{GB}、C_{GS} 和 C_{GD} 在这些条件下的近似变化情况如图3.2-7所示。在截止区，没有沟道，C_{GB} 近似等于 C_2+2C_5。随着 v_{GS} 向着 V_T 逐渐增大，一个薄耗尽层渐渐形成，产生一个大的 C_4。因为 C_4 与 C_2 串联，所以影响并不大。随着 v_{GS} 的增加，耗尽区变宽，C_4 减小，引起 C_{GB} 也减小。当 $v_{GS}=V_T$ 的时候，反型层形成，阻止 C_4 进一步减小（于是 C_{GB} 的减小也被阻止）。

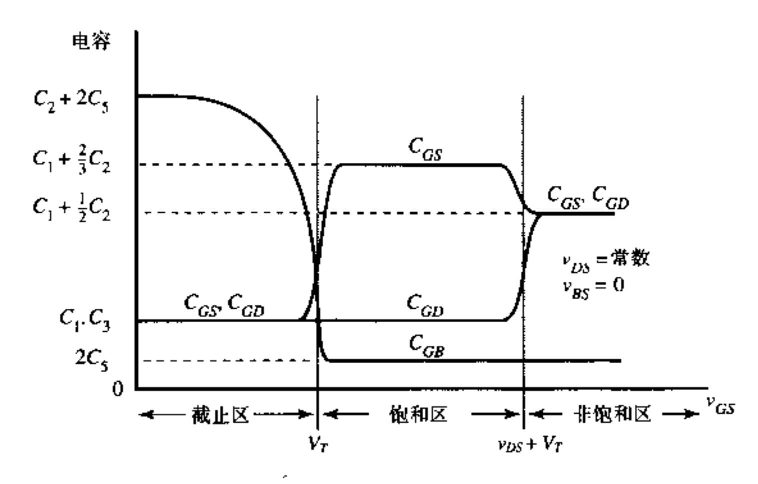


图 3.2-7　v_{DS} 为常数，$V_{BS}=0$ 时 C_{GB}、C_{GS} 和 C_{GD} 随 v_{GS} 变化的情况

C_1、C_2 和 C_3 组成了 C_{GS} 和 C_{GD}。问题是如何将 C_2 分配给 C_{GS} 和 C_{GD}。解决办法是假设在饱和区 2/3 的 C_2 属于 C_{GS} 而且没有属于 C_{GD} 的电容。当然，这只是近似而已。不过，已经证明，这会得到相当好的结果。图3.2-7显示了 C_{GS} 和 C_{GD} 的值从截止区到饱和区的变化情况。最后，当 v_{GS} 大于 $v_{DS}+V_T$ 时，MOS 管进入非饱和区。这种情况下沟道从漏区延伸到源区，C_2 在 C_{GD} 和 C_{GS} 之间平均分配，如图 3.2-7 所示。

按照上面讨论的结果推论，我们将用下面公式描述指定工作区域内 MOS 器件的电荷存储电容。

截止区：

$$C_{GB} = C_2 + 2C_5 = C_{ox}(W_{eff})(L_{eff}) + \text{CGBO}(L_{eff}) \qquad (3.2\text{-}9a)$$

$$C_{GS} = C_1 \cong C_{ox}(\text{LD})(W_{eff}) = \text{CGSO}(W_{eff}) \qquad (3.2\text{-}9b)$$

$$C_{GD} = C_3 \cong C_{ox}(\text{LD})(W_{eff}) = \text{CGDO}(W_{eff}) \qquad (3.2\text{-}9c)$$

饱和区：

$$C_{GB} = 2C_5 = \text{CGBO}(L_{eff}) \qquad (3.2\text{-}10a)$$

$$C_{GS} = C_1 + \tfrac{2}{3}C_2 = C_{ox}(\text{LD} + 0.67L_{eff})(W_{eff})$$

$$= \text{CGSO}(W_{eff}) + 0.67C_{ox}(W_{eff})(L_{eff}) \qquad (3.2\text{-}10b)$$

$$C_{GD} = C_3 \cong C_{ox}(\text{LD})(W_{eff}) = \text{CGDO}(W_{eff}) \qquad (3.2\text{-}10c)$$

非饱和区：

$$C_{GB} = 2C_5 = \mathrm{CGBO}\,(L_{\mathrm{eff}}) \qquad (3.2\text{-}11a)$$

$$C_{GS} = C_1 + 0.5C_2 = C_{\mathrm{ox}}(\mathrm{LD} + 0.5L_{\mathrm{eff}})(W_{\mathrm{eff}})$$

$$= (\mathrm{CGSO} + 0.5C_{\mathrm{ox}}L_{\mathrm{eff}})W_{\mathrm{eff}} \qquad (3.2\text{-}11b)$$

$$C_{GD} = C_3 + 0.5C_2 = C_{\mathrm{ox}}(\mathrm{LD} + 0.5L_{\mathrm{eff}})(W_{\mathrm{eff}})$$

$$= (\mathrm{CGDO} + 0.5C_{\mathrm{ox}}L_{\mathrm{eff}})W_{\mathrm{eff}} \qquad (3.2\text{-}11c)$$

参考文献[6]给出了三个工作区间平滑过渡的公式。

其他与晶体管相关的寄生电容是由管子的互联决定的，例如多晶硅覆盖的区域（衬底）。这类电容在非饱和区和饱和区是 C_{GB} 的主要组成部分，因而非常重要，在 CMOS 电路的设计中应该考虑。

CMOS 器件建模的另一个重要方面是噪声。噪声的存在是因为电荷的不连续，但离散携带的电荷量等于电子所带的电荷量。在电路中，噪声对能放大的信号的最小幅度值给出了限制，当信号低于此值时，被放大的信号质量就严重恶化。噪声可以用电流源与图3.2-1中 i_D 并联连接的模型表示。这个电流源表示两个噪声源：热噪声与闪烁噪声[7, 8]。这些噪声源在 2.5 节中已经介绍过。均方噪声电流源定义为：

$$i_n^2 = \left[\frac{8kTg_m(1+\eta)}{3} + \frac{(\mathrm{KF})I_D}{fC_{\mathrm{ox}}L^2}\right]\Delta f \quad (A^2) \qquad (3.2\text{-}12)$$

其中：

Δf = 频率 f 处一个小的带宽（一般为 1 Hz）

$\eta = g_{mbs}/g_m$ [见式（3.3-8）]

k = 波尔兹曼常数

T = 温度（K）

g_m = 栅与沟道的小信号跨导[见式（3.3-6）]

KF = 闪烁噪声系数（F · A）

f = 频率（Hz）

KF 的典型值为 10^{-28}（F · A）。两种噪声源均与工艺有关，通常增强型和耗尽型场效应管（FET）的值是不同的。

均方噪声电流可以折算到 MOS 管栅极上：用式（3.2-12）除以 g_m^2 可得：

$$e_n^2 = \frac{i_n^2}{g_m^2} = \left[\frac{8kT(1+\eta)}{3g_m} + \frac{\mathrm{KF}}{2fC_{\mathrm{ox}}WLK'}\right]\Delta f \quad (\mathrm{V}^2) \qquad (3.2\text{-}13)$$

式（3.2-13）的等效输入均方电压噪声对以后章节中分析 CMOS 电路的噪声是很有用的。

n 沟道与 p 沟道管的实验噪声特性如图 3.2-8（a）与图 3.2-8（b）所示。这些器件采用了亚微米、硅栅、n 阱、CMOS 工艺。图 3.2-8（a）与（b）中的数据是 MOS 器件的典型值，由图可见，在频率低于 100 kHz 以下时，1/f 噪声是噪声源的主要部分（在给定偏置条件下）[①]。

① 如果偏置电流减小，热噪声最低限度增加，1/f 噪声的拐点将向低频移动。因此 1/f 噪声的拐点是热噪声最低限度的函数。

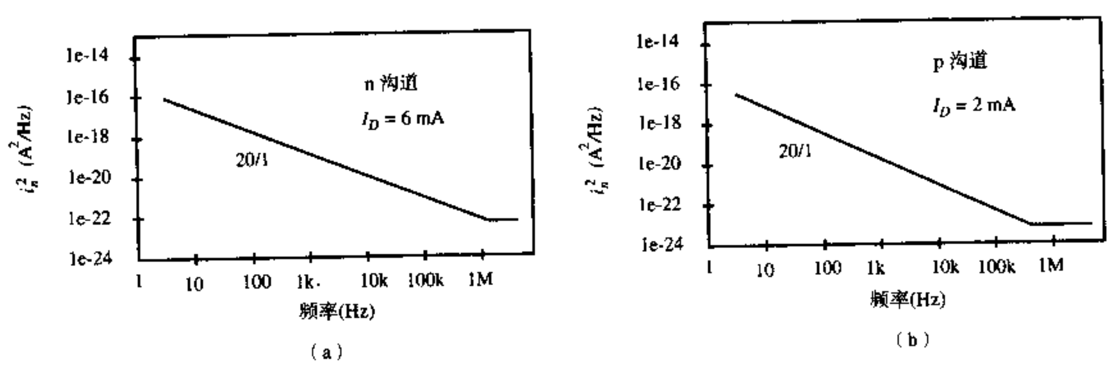


图 3.2-8 硅栅、亚微米工艺制造 MOSFET 漏极电流噪声测量值。（a）n 沟道；（b）p 沟道

因此，在很多实际应用中，式（3.2-13）的等效输入均方电压噪声简化为：

$$e_{eq}^2 = \left[\frac{\text{KF}}{2f C_{ox} WLK'}\right]\Delta f \quad (\text{V}^2) \tag{3.2-14}$$

或者表示为输入电压噪声谱密度。我们可以把式（3.2-14）重写成：

$$e_{eq}^2 = \frac{e_{eq}^2}{\Delta f} = \frac{\text{KF}}{2f C_{ox} WLK'} = \frac{B}{f WL} \quad (\text{V}^2/\text{Hz}) \tag{3.2-15}$$

式中，B 对于给定工艺[1]下的 n 沟道或者 p 沟道管是常数。式（3.2-15）右边的表达式在优化噪声性能的设计上是很重要的。

3.3 MOS 管的小信号模型

至此，我们已将图 3.2-1 所示的 MOS 管大信号模型介绍完毕。然而，使用大信号模型确定直流状态后，小信号模型就变得非常重要了。小信号模型是一个有助于简化计算的线性模型。它仅在大信号电压和电流完全可以用直线表示时有效。

图 3.3-1 示出了 MOS 管的线性化小信号模型。小信号模型的参数用小写的下标来标识。小信号模型的这些参数与大信号模型参数和直流变量相关。两个模型间的正常关系是假定小信号参数是以大信号变量的增量比或者一个大信号变量对另一个的偏微分定义的。

电导 g_{bd} 和 g_{bs} 是体-漏和体-源 pn 结的等效电导。因为这些结通常为反偏，因此电导非常小。定义如下：

$$g_{bd} = \frac{\partial i_{BD}}{\partial v_{BD}} (\text{在静态工作点求值}) \cong 0 \tag{3.3-1}$$

和

$$g_{bs} = \frac{\partial i_{BS}}{\partial v_{BS}} (\text{在静态工作点求值}) \cong 0 \tag{3.3-2}$$

沟道电导 g_m、g_{mbs} 和 g_{ds} 定义为：

$$g_m = \frac{\partial i_D}{\partial v_{GS}} (\text{在静态工作点求值}) \tag{3.3-3}$$

① 因为同样的符号已被用于电压（电流）噪声和电压（电流）谱密度，本教材中如有不清楚，通常用单位来区分。

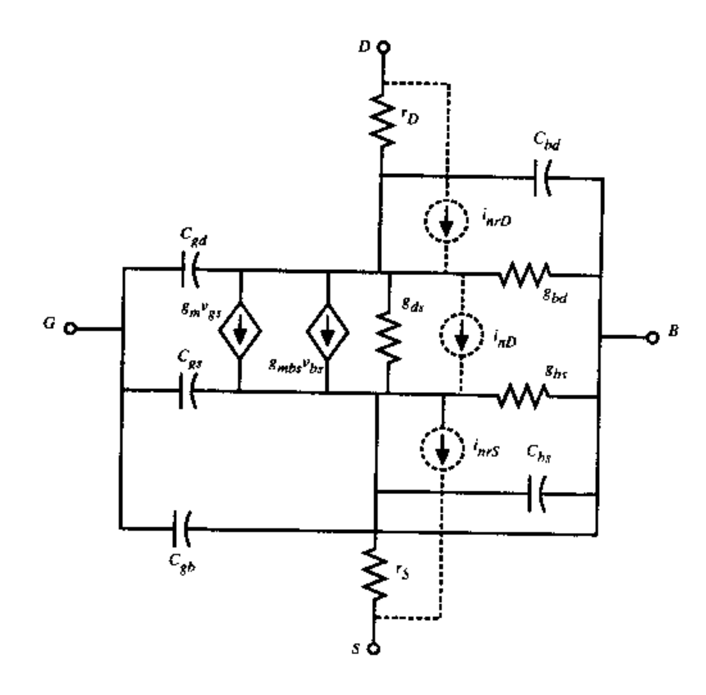


图 3.3-1　MOS 管的小信号模型

$$g_{mbs} = \frac{\partial i_D}{\partial v_{BS}} \text{(在静态工作点求值)} \tag{3.3-4}$$

和

$$g_{ds} = \frac{\partial i_D}{\partial v_{DS}} \text{(在静态工作点求值)} \tag{3.3-5}$$

这些小信号模型的值取决于静态工作点所处的工作区。例如，在饱和区 g_m 可以由式（3.1-18）得到：

$$g_m = \sqrt{(2K'W/L)|I_D|(1+\lambda V_{DS})} \cong \sqrt{(2K'W/L)|I_D|} \tag{3.3-6}$$

这强调了小信号参数依赖于大信号工作条件。与 v_{SB} 有关的小信号沟道跨导可以通过重写　式（3.3-4）得到：

$$g_{mbs} = \frac{-\partial i_D}{\partial v_{SB}} = -\left(\frac{\partial i_D}{\partial V_T}\right)\left(\frac{\partial V_T}{\partial v_{SB}}\right) \tag{3.3-7}$$

利用式（3.1-2）并注意 $\partial i_D/\partial V_T = -\partial i_D/\partial v_{GS}$，我们可以得到[1]：

$$g_{mbs} = g_m\frac{\gamma}{2(2|\phi_F| + |V_{SB}|)^{1/2}} = \eta g_m \tag{3.3-8}$$

当源-体电位的交流值 v_{sb} 不为零的时候，此跨导在我们的 MOS 管小信号分析中就变成一个重要的参数。

小信号沟道电导 g_{ds} (g_0)给出如下：

---

① 注意，V_{SB} 加绝对值符号是为了防止 g_{mbs} 无限大。然而，在极罕见的情况下有可能出现源-体结正偏，此时绝对值符号应去除，V_{SB} 成为负值（对 n 沟道管而言）。

$$g_{ds} = g_0 = \frac{I_D \lambda}{1 + \lambda V_{DS}} \cong I_D \lambda \qquad (3.3\text{-}9)$$

沟道电导通过 λ 与 L 有关，即反比于 L。上面式（3.3-6）、式（3.3-8）和式（3.3-9）是假设 MOS 管工作在饱和区所得的结果。

小信号参数与大信号模型参数和直流电压、电流的关系如表3.3-1所示。在这个表中，我们可以看到三个小信号模型参数 g_m 、g_{mbs} 和 g_{ds} 有几种不同的表达方式。小信号模型参数的典型值示例如例 3.3-1 所示。

表 3.3-1 饱和区小信号模型参数与直流电压和电流值的关系

小信号模型参数	直流电流	直流电流和电压	直流电压
g_m	$\cong (2K'I_DW/L)^{1/2}$	—	$\cong \frac{K'W}{L}(V_{GS} - V_T)$
g_{mbs}	—	$\frac{\gamma(2I_D\beta)^{1/2}}{2(2\|\phi_F\| + \|V_{SB}\|)^{1/2}}$	$\frac{\gamma[\beta(V_{GS} - V_T)]^{1/2}}{2(2\|\phi_F\| + \|V_{SB}\|)^{1/2}}$
g_{ds}	$\cong \lambda I_D$	—	—

例 3.3-1 小信号模型参数的典型值

已知宽长比为 1 μm/1 μm 的 n 沟道管和 p 沟道管，假设漏极电流的直流量为 50 μA，源-体直流电压绝对值为 2 V。试利用表 3.1-2 的大信号模型参数分别求出两管的 g_m 、g_{mbs} 和 g_{ds} 的值。

解：

利用表 3.1-2 的值和式（3.3-6）、式（3.3-8）和式（3.3-9）求出：n 沟道管的 g_m=105 μA/V，g_{mbs}= 12.8 μA/V 和 g_{ds} = 2.0 μA/V；p 沟道管的 g_m = 70.7 μA/V，g_{mbs} = 12.0 μA/V 和 g_{ds} = 2.5 μA/V。

虽然在模拟电路设计中 MOS 器件并不经常工作在非饱和区，我们还是给出非饱和区小信号模型的关系如下：

$$g_m = \frac{\partial i_D}{\partial v_{GS}} \cong \beta V_{DS} \qquad (3.3\text{-}10)$$

$$g_{mbs} = \frac{\partial i_D}{\partial v_{BS}} = \frac{\beta \gamma V_{DS}}{2(2|\phi_F| + |V_{SB}|)^{1/2}} \qquad (3.3\text{-}11)$$

和

$$g_{ds} \cong \beta(V_{GS} - V_T - V_{DS}) \qquad (3.3\text{-}12)$$

表3.3-2综合了非饱和区小信号模型参数与大信号模型参数和直流电压电流的关系。非饱和区小信号模型参数的典型值如下例所示。

表 3.3-2 非饱和区小信号模型参数与直流电压和电流值的关系

小信号模型参数	直流电压和/或电流的关系
g_m	$\cong \beta V_{DS}$
g_{mbs}	$\frac{\beta\gamma V_{DS}}{2(2\|\phi_F\| + \|V_{SB}\|)^{1/2}}$
g_{ds}	$\cong \beta (V_{GS} - V_T - V_{DS})$

例 3.3-2 非饱和区小信号模型参数的典型值

已知宽长比为 1 μm/1 μm 的 n 沟道管和 p 沟道管，假设 V_{GS}= 5 V，V_{DS}=1 V 和$|V_{BS}|$为 2 V，非饱和区的K'值与饱和区一样（这通常一个牵强的假设）。试求非饱和区的小信号模型参数。

解：

首先，必须用式（3.1-2）计算出 MOS 管的阈值电压。结果：n 沟道管的 V_T为 1.02 V，p 沟道管的 V_T为−1.14 V，相应的直流电流分别为 383 μA 和 168 μA。利用式（3.3-10）、式（3.3-11）和式（3.3-12）可得：n 沟道管的 g_m = 110 μA/V、g_{mbs} = 13.4 μA/V 和 r_{ds} = 3.05 kΩ。p 沟道管的 g_m = 50 μA/V、g_{mbs} = 8.52 μA/V 和 r_{ds} = 6.99 kΩ。

假设 r_d和 r_S与图 3.2-1 中的 r_D和 r_S相同，同样作为小信号情况的 C_{gs}、C_{gd}、C_{gb}、C_{bd}和 C_{bs}也可被计算：已知工作区（截止、饱和或非饱和）可计算 C_{gs}、C_{gd}和 C_{gb}，已知 V_{BD}和 V_{BS}可计算 C_{bd}和 C_{bs}。C_{gs}、C_{gd}、C_{gb}、C_{bd}和 C_{bs}的相关信息可以相应从 C_{GS}、C_{GD}、C_{GB}、C_{BD}和 C_{BS}中得到。

如果要对 MOS 管的噪声建模，那么在图 3.3-1 中应该加入三个虚线所示的电流源。均方噪声电流源的值给出如下：

$$\overline{i_{nrD}^2} = \left(\frac{4kT}{r_D}\right)\Delta f \quad (\mathrm{A}^2) \tag{3.3-13}$$

$$\overline{i_{nrS}^2} = \left(\frac{4kT}{r_S}\right)\Delta f \quad (\mathrm{A}^2) \tag{3.3-14}$$

和

$$\overline{i_{nD}^2} = \left[\frac{8kT\, g_m(1+\eta)}{3} + \frac{(\mathrm{KF})I_D}{f C_{\mathrm{ox}} L^2}\right]\Delta f \quad (\mathrm{A}^2) \tag{3.3-15}$$

以上三式中的变量前面都已定义了。带有噪声模型的图3.3-1的小信号模型是一个非常有普遍性的模型。

熟悉本节所讨论的饱和区的小信号模型是很重要的。这个模型以及在附录 A 中给出的电路简化技术将是以后几章中分析电路的关键知识。

3.4 计算机仿真模型

前面讨论的 MOS 管大信号模型虽然简单，便于手工计算，但是忽略了很多重要的二阶效应。虽然用于手工计算和直观设计的简单模型是必不可少的，而对于计算机仿真来说则需要一个更为精确的模型。当选择一个模型用来做计算机仿真的时候，有许多有效模型可供设计者选择。有一段时间，HSPICE[①]曾支持43 种不同的MOS 场效应管模型[2]（其中许多是某些公司专用的），而 SmartSpice 公开支持的有14种[9]。哪一种才是我们应该选择的呢？在没有集成电路生产线的设计环境下，使用者必须按照晶圆制造厂提供的模型来进行设计。在一些自己拥有晶圆制造工艺设备的公司，由建模小组向电路设计组提供模型。让设计者自己选择模型进行参数提取来选择模型的情况是很少见的。

① HSPICE 现在被 Avant! Inc 收购，已被更名为 Star-Hspice。

SPICE LEVEL 3 直流模型会覆盖一些细节，因为它是 LEVEL 2 模型的直接扩展。后面将会介绍 BSIM3v3 模型，但是不会给出具体的公式，因为描述这些公式将会占用很多的篇幅——有很好的教科书是专门讨论模型的[10, 11]，并且它们与我们讨论的内容关系不大。

计算机的仿真模型多年来一直在不断发展，但是还没有一个模型能够做到只用一组参数就能覆盖所有可能的几何尺寸器件的工作情况。因此许多 SPICE 仿真器提供了一个称做“模型库”的部件。在库中，不同几何尺寸（宽和长）的管子参数都已经提取出来，而仿真者则只需要按照电路描述中调出的器件的实际 W 和 L 确定使用哪一组参数。因为库是由建模者提供的，电路设计者只需要知道这样应用就行。

SPICE LEVEL 3 模型

前面讨论的 MOS 管大信号模型简单且便于手工计算，不过忽略了很多重要的二阶效应。大部分的二阶效应是由于窄或者短的沟道尺寸（小于3 μm）引起的。本节我们将讨论适用于计算机的分析（电路仿真，即 SPICE 仿真）的更复杂的模型。尤其将包括 SPICE LEVEL 3 模型（参见表 3.4-1）。这个模型对于 0.8 μm 以下的 MOS 工艺特别可靠。我们也将讨论 MOS 大信号模型参数的温度影响。

表 3.4-1 使用 LEVEL 3 模型进行 SPICE 仿真的模型参数典型值（扩展模型）*

参数符号	参数描述	典型参数值		
		n 沟道	p 沟道	单位
VTO	阈值	0.7±0.15	−0.7±0.15	V
UO	迁移率	660	210	$cm^2/V\cdot s$
DELTA	窄宽度阈值调整系数	2.4	1.25	—
ETA	静态反馈阈值调整系数	0.1	0.1	—
KAPPA	饱和区沟道长度调制系数	0.15	2.5	1/V
THETA (Θ)	迁移率衰减系数	0.1	0.1	1/V
NSUB	衬底掺杂	3×10^{16}	6×10^{16}	cm^{-3}
TOX	氧化层厚度	140	140	Å
XJ	冶金学结深	0.2	0.2	μm
WD	Δ宽度			μm
LD	横向扩散	0.016	0.015	μm
NFS	弱反型层建模参数	7×10^{11}	6×10^{11}	cm^{-2}
CGSO		220×10^{-12}	220×10^{-12}	F/m
CGDO		220×10^{-12}	220×10^{-12}	F/m
CGBO		700×10^{-12}	700×10^{-12}	F/m
CJ		770×10^{-6}	560×10^{-6}	F/m^2
CJSW		380×10^{-12}	350×10^{-12}	F/m
MJ		0.5	0.5	
MJSW		0.38	0.35	

* 这些参数是基于 0.8 μm 硅栅衬底 CMOS n 阱工艺且包括表 3.2-1 的电容参数。

我们首先考虑因为小的几何尺寸而引起的二阶效应（见图3.4-1）。当 v_{GS} 大于 V_T 时，小器件的漏极电流如下式所示[2]：

漏极电流：

$$i_{DS} = \text{BETA}\left[v_{GS} - V_T - \left(\frac{1+f_b}{2}\right)v_{DE}\right]v_{DE} \quad (3.4\text{-}1)$$

$$\text{BETA} = \text{KP}\frac{W_{\text{eff}}}{L_{\text{eff}}} = \mu_{\text{eff}}\text{COX}\frac{W_{\text{eff}}}{L_{\text{eff}}} \quad (3.4\text{-}2)$$

$$L_{\text{eff}} = L - 2(\text{LD}) \quad (3.4\text{-}3)$$

$$W_{\text{eff}} = W - 2(\text{WD}) \quad (3.4\text{-}4)$$

$$v_{DE} = \min(v_{DS}, v_{DS}(\text{饱和})) \quad (3.4\text{-}5)$$

$$f_b = f_n + \frac{\text{GAMMA}\cdot f_s}{4(\text{PHI} + v_{SB})^{1/2}} \quad (3.4\text{-}6)$$

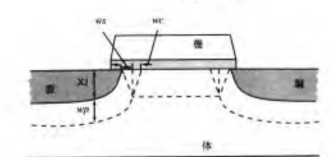


图 3.4-1　MOS 管短沟道效应的图示

注意，SPICE 模型中 PHI 表示 $2\phi_F$ 的量。同时还要注意不管 MOS 管的类型为哪种（p 或 n 沟道），PHI 始终为正值。在本教材中，PHI 始终为正值，而 $2\phi_F$ 的极性由管子类型决定，如表 2.3-1 所示。

$$f_n = \frac{\text{DELTA}}{W_{\text{eff}}}\frac{\pi\varepsilon_{\text{Si}}}{2\cdot \text{C}_{\text{ox}}} \quad (3.4\text{-}7)$$

$$f_s = 1 - \frac{\text{XJ}}{L_{\text{eff}}}\left\{\frac{\text{LD}+wc}{\text{XJ}}\left[1-\left(\frac{wp}{\text{XJ}+wp}\right)^2\right]^{1/2} - \frac{\text{LD}}{\text{XJ}}\right\} \quad (3.4\text{-}8)$$

$$wp = xd(\text{PHI} + v_{SB})^{1/2} \quad (3.4\text{-}9)$$

$$xd = \left(\frac{2\cdot\varepsilon_{\text{Si}}}{q\cdot \text{NSUB}}\right)^{1/2} \quad (3.4\text{-}10)$$

$$wc = \text{XJ}\left[k_1 + k_2\left(\frac{wp}{\text{XJ}}\right) - k_3\left(\frac{wp}{\text{XJ}}\right)^2\right] \quad (3.4\text{-}11)$$

$k_1 = 0.063\,135\,3$，　$k_2 = 0.080\,132\,92$，　$k_3 = 0.011\,107\,77$

阈值电压：

$$V_T = V_{bi} - \left(\frac{\text{ETA} - 8.14 \times 10^{-22}}{C_{\text{ox}} L_{\text{eff}}^3}\right) v_{DS} + \text{GAMMA} \cdot f_s(\text{PHI} + v_{SB})^{1/2} + f_n(\text{PHI} + v_{SB}) \tag{3.4-12}$$

$$v_{bi} = v_{fb} + \text{PHI} \tag{3.4-13}$$

或

$$v_{bi} = \text{VTO} - \text{GAMMA} \cdot \sqrt{\text{PHI}} \tag{3.4-14}$$

饱和电压：

$$v_{\text{sat}} = \frac{v_{gs} - V_T}{1 + f_b} \tag{3.4-15}$$

$$v_{DS}(\text{饱和}) = v_{\text{sat}} + v_C - \left(v_{\text{sat}}^2 + v_C^2\right)^{1/2} \tag{3.4-16}$$

$$v_C = \frac{\text{VMAX} \cdot L_{\text{eff}}}{\mu_s} \tag{3.4-17}$$

如果 VMAX 没有给出，那么 $v_{DS}(\text{饱和}) = v_{\text{sat}}$。

有效迁移率：

$$\mu_s = \frac{\text{U0}}{1 + \text{THETA}\,(v_{Gs} - V_T)},\ \text{VMAX} = 0 \tag{3.4-18}$$

$$\mu_{\text{eff}} = \frac{\mu_s}{1 + \dfrac{v_{DE}}{v_C}},\ \text{若 VMAX} > 0;\ \text{否则}\ \mu_{\text{eff}} = \mu_s \tag{3.4-19}$$

沟道长度调制：

$$\Delta L = xd\left[\text{KAPPA}\,(v_{DS} - v_{DS}(\text{sat}))\right]^{1/2},\ \text{VMAX} = 0 \tag{3.4-20}$$

$$\Delta L = -\frac{ep \cdot xd^2}{2} + \left[\left(\frac{ep \cdot xd^2}{2}\right)^2 + \text{KAPPA} \cdot xd^2\,(v_{DS} - v_{DS}(\text{sat}))\right]^{1/2},\quad \text{VMAX} > 0 \tag{3.4-21}$$

式中：

$$ep = \frac{v_C\,(v_C + v_{DS}(\text{饱和}))}{L_{\text{eff}}\, v_{DS}(\text{饱和})} \tag{3.4-22}$$

$$i_{DS} = \frac{i_{DS}}{1 - \Delta L} \tag{3.4-23}$$

迄今为止，模型中涉及到的与温度有关的变量有费米能级、PHI、EG、源-体和漏-体结的体结电压、PB、pn 结的反向电流、I_S 和与温度有关的迁移率。这些变量中的多数与温度的关系可以在前面的公式或一些常用的公式中得到。迁移率与温度的关系如下：

$$\text{U0}(T) = \text{U0}(T_0)\left(\frac{T}{T_0}\right)^{\text{BEX}} \tag{3.4-24}$$

式中，BEX 是迁移率的温度指数，其典型值为−1.5。

$$v_{\text{therm}}(T)=\frac{kT}{q} \tag{3.4-25}$$

$$\text{EG}(T)=1.16-7.02\cdot 10^{-4}\left[\frac{T^2}{T+1108.0}\right] \tag{3.4-26}$$

$$\text{PHI}(T)=\text{PHI}(T_0)\cdot\left(\frac{T}{T_0}\right)-v_{\text{therm}}(T)\left[3\ln\left(\frac{T}{T_0}\right)+\frac{\text{EG}(T_0)}{v_{\text{therm}}(T_0)}-\frac{\text{EG}(T)}{v_{\text{therm}}(T)}\right] \tag{3.4-27}$$

$$v_{bi}(T)=v_{bi}(T_0)+\frac{\text{PHI}(T)-\text{PHI}(T_0)}{2}+\frac{\text{EG}(T_0)-\text{EG}(T)}{2} \tag{3.4-28}$$

$$\text{VT0}(T)=v_{bi}(T)+\text{GAMMA}\left[\sqrt{\text{PHI}(T)}\right] \tag{3.4-29}$$

$$\text{PHI}(T)=2v_{\text{therm}}\ln\left(\frac{\text{NSUB}}{n_i(T)}\right) \tag{3.4-30}$$

$$n_i(T)=1.45\cdot 10^{16}\left(\frac{T}{T_0}\right)^{3/2}\exp\left[\text{EG}\cdot\left(\frac{T}{T_0}-1\right)\left(\frac{1}{2\cdot v_{\text{therm}}(T_0)}\right)\right] \tag{3.4-31}$$

对于漏区和源区结二极管，应用以下的关系：

$$\text{PB}(T)=\text{PB}\cdot\left(\frac{T}{T_0}\right)-v_{\text{therm}}(T)\left[3\ln\left(\frac{T}{T_0}\right)+\frac{\text{EG}(T_0)}{v_{\text{therm}}(T_0)}-\frac{\text{EG}(T)}{v_{\text{therm}}(T)}\right] \tag{3.4-32}$$

和

$$I_S(T)=\frac{I_S(T_0)}{\text{N}}\cdot\exp\left[\frac{\text{EG}(T_0)}{v_{\text{therm}}(T_0)}-\frac{\text{EG}(T)}{v_{\text{therm}}(T)}+3\ln\left(\frac{T}{T_0}\right)\right] \tag{3.4-33}$$

式中，N 是二极管的发射系数，温度 T_0 为 300 K。

MOS 模型与温度关系的替换形式可以在别处得到[12]。

BSIM3v3 模型

到目前为止，本章中介绍的 MOS 管模型已经成功地应用于 0.8 μm 及其以上的工艺中。当工艺的几何尺寸低于 0.8 μm 时，我们就需要更精确的模型。作为 SPICE 发展和模型应用领域的领袖，加州大学伯克利分校的电气工程和计算机科学系的研究人员 1984年提出了 BSIM1 模型[13]，较好地满足了亚微米 MOS 管模型的需要。BSIM1 模型以多参数曲线拟合实验的方式研究建模问题。模型用 60 个参数描述 MOS 管的直流性能，有些与器件物理有关，但是大部分是非物理的模型。1991年，他们发布了经过改进的 BSIM2 模型，主要考虑了输出电阻与热电子效应，源/漏寄生电阻和反型层电容的关系。这个模型有99个直流参数，使它比只有60个直流参数的 BSIM1 模型更加庞大。1994 年，他们又推出了 BSIM3（第二版）模型，不像先前的 BSIM 模型，它又回到了基于器件物理的建模方法。这个模型使用更简单，只有 40 个直流参数。而且，BSIM3 模型对于模拟电路可以像数字电路一样提供很好的仿真性能。它的第三版 BSIM3v3[14]已经成为工业界标准的 MOS 管模型。

BSIM3 模型致力于在深亚微米 MOS 场效应管工作中才可能出现的重要影响：

- 阈值电压减小
- 垂直场迁移率的退化

- 速度饱和影响
- 漏极感应势垒降低
- 沟道长度调制
- 亚阈值（弱反型）导通
- 漏区和源区的寄生电阻
- 输出电阻的热电子效应

图 3.4-2 显示了一个 20/0.8 器件使用 LEVEL 1、LEVEL 3 和 BSIM3v3 模型仿真结果的比较。模型参数分别做了调整以便提供相似的特性（每个模型都做了限制）。假设 BSIM3v3 模型最好地拟合了实际的管子特性，图中显示出 LEVEL 1 误差较大，而 LEVEL 3 则在从非饱和区到线性区域过渡传输性能上有明显的不同。

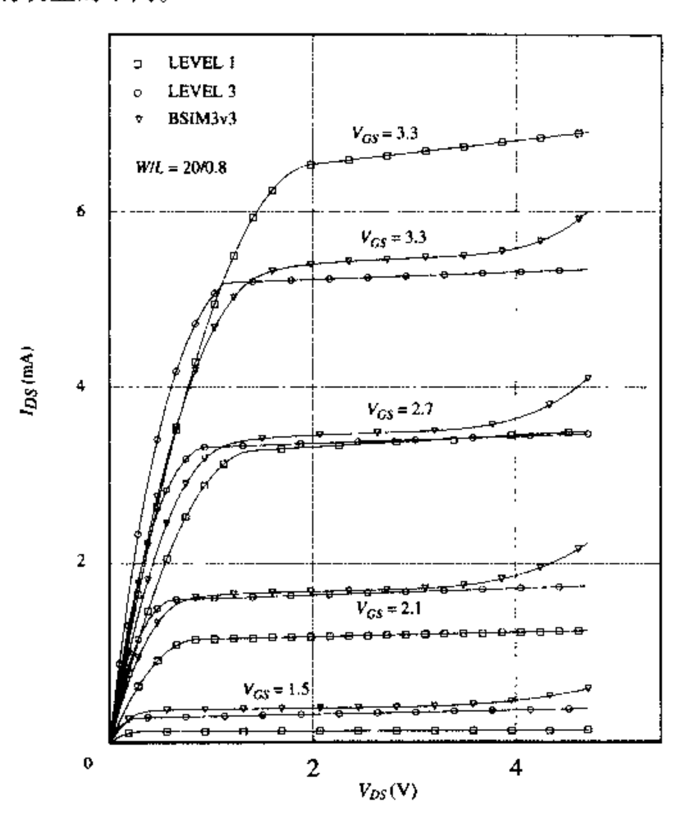


图 3.4-2 分别使用 LEVEL = 1、LEVEL = 3 和 BSIM3v3 模型仿真的 MOS 场效应管跨导特性

3.5 亚阈值电压区 MOS 模型

在前面几节里讨论的模型预示：栅-源电压等于或小于阈值电压时器件中没有电流。实际上并非如此。当 v_{GS} 逼近 V_T 时，i_D-v_{GS} 的特性从平方律变为指数。v_{GS} 高于阈值电压的区域被称为强反型层，而低于阈值电压的区域（事实上，如以后给出的解释，两个区域之间的界限并不容易区分）则被称为亚阈区或弱反型层。这在图3.5-1中示出，图中饱和区的跨导特性以电流平方根作为栅-源电压的函数被画出。当栅-源电压达到被标识为 V_{ON}（这与 SPICE 模型的公式有关）的电压时，电流变化从平方律变为指数律。本节的目的就是提供两个适当的亚阈区模型。首先是用子计

算机仿真的 SPICE LEVEL 3[2]模型，其次是用于手工计算的模型。

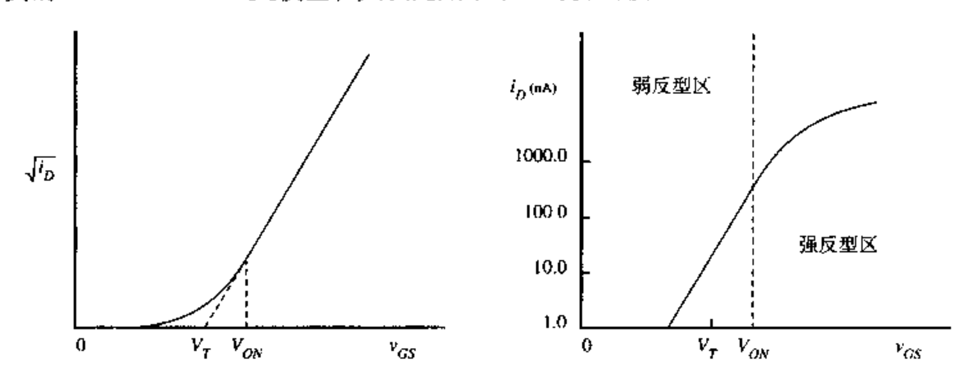


图 3.5-1 由式（3.5-4）作为 MOS 管模型的弱反型区特性

在 SPICE LEVEL 3 模型中，MOS 器件特性从强反型区到弱反型区的过渡点被定义为 V_{ON}，它比 V_T 要大。V_{ON} 为：

$$V_{ON} = V_T + fast \tag{3.5-1}$$

式中：

$$fast = \frac{kT}{q}\left[1 + \frac{q \cdot \text{NFS}}{\text{COX}} + \frac{\text{GAMMA} \cdot f_s(\text{PHI} + v_{SB})^{1/2} + f_n(\text{PHI} + v_{SB})}{2(\text{PHI} + v_{SB})}\right] \tag{3.5-2}$$

NFS 是一个用来估计 V_{ON} 值的参数，它可以通过测量获取。在弱反型区，$v_{GS} < V_{ON}$，漏极电流给出如下：

$$i_{DS} = i_{DS}(V_{ON}, v_{DE}, v_{SB}) \exp\left(\frac{v_{GS} - V_{ON}}{fast}\right) \tag{3.5-3}$$

式中，i_{DS} 给出如下[由式（3.4-1），用 V_{ON} 代替 v_{GS}]：

$$i_{DS} = \text{BETA}\left[V_{ON} - V_T - \left(\frac{1 + f_b}{2}\right)v_{DE}\right] \cdot v_{DE} \tag{3.5-4}$$

对于手工计算，一个描述弱反型层工作的简单模型如下：

$$i_D \cong \frac{W}{L} I_{D0} \exp\left(\frac{v_{GS}}{n(kT/q)}\right) \tag{3.5-5}$$

式中，n 是亚阈值斜率因子，I_{DO} 是一个与工艺有关的参数，同时也与 v_{SB} 和 V_T 有关。这两项最好由实验数据提取。典型的 n 值大于 1 小于 3（$1 < n < 3$）。管子进入弱反型区的点近似如下：

$$v_{gs} < V_T + n\frac{kT}{q} \tag{3.5-6}$$

遗憾的是，这里给出的模型等式并不适合模拟管子从强反型区到弱反型区的变化。事实上，在强反型区和弱反型区之间有一个过渡区，称做“缓变反型”区[15]，如图 3.5-2 所示。参考文献[15, 16]给出了这个区域管子工作情况的完整描述。

考虑 MOS 器件在亚阈区工作的温度特性是很重要的。与强反型区一样，弱反型区阈值电压的温度系数是负值。在弱反型区，由温度引起器件工作电流的变化是由阈值电压的负温度系数决定的。因此，对于一个给定的栅源电压，亚阈值电流随着温度的增加而增加，如图 3.5-3[17]所示。

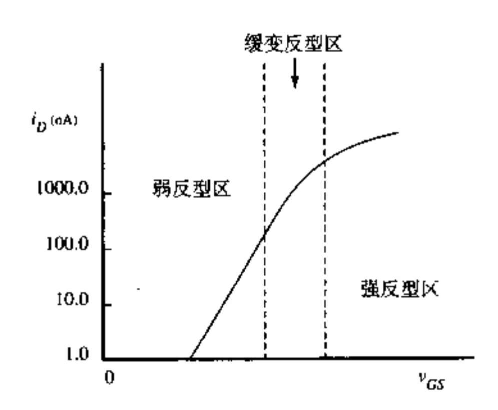


图 3.5-2 MOS 管的三个工作区

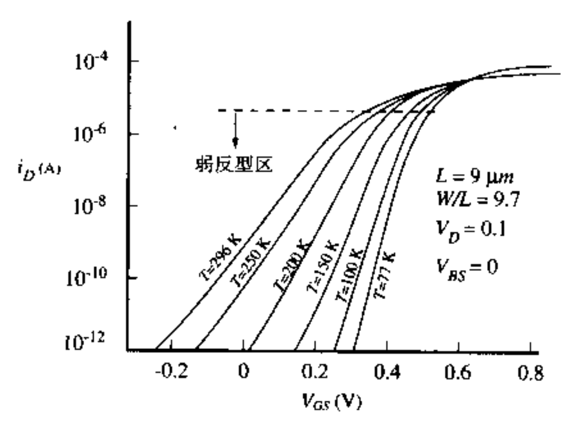


图 3.5-3 长沟道器件随温度变化的转移特性

在低电压电路中，MOS 器件工作在亚阈区是非常重要的。一个基于上述模型描述的弱反型层工作特性的完整 CMOS 电路已经生成[18~21]。在以后几章中将会讨论其中一些电路。

3.6 MOS 电路的 SPICE 模拟

本节的目的是说明如何使用 SPICE 验证 MOS 电路的性能。假设读者已有了一些用 SPICE 模拟含有电阻、电容、信号源等电路的经验，本节将扩展读者的知识，将 MOS 管引入 SPICE 的模拟中。本节所用的模型是 LEVEL 1 和 LEVEL 3。

为了用 SPICE 模拟 MOS 电路，SPICE 模拟文件的必须包含两个部分，它们是器件描述和模型描述。器件描述是对出现在电路模拟中 MOS 器件的简单描述，这种描述对于每一个器件是惟一的。一个说明晶体管最简单描述的示例如下：

```
M1 3 6 7 0 NCH W=100U L=1U
```

示例中，第一个字母 M 表示 MOS 管（正像 SPICE 中用 R 表示电阻一样），1 在示例中是惟一的（与 M2，M99等不同）。M1 后的四个数字分别表示漏、栅、源和衬底（体）连接的节点，这些节点有如下特定的顺序：

```
M <数字> <漏> <栅> <源> <体> ……
```

节点后是器件的模型名，上例中，模型名是 NCH。在模拟文件中，必须在某一位置给出模型 NCH 的描述。示例中晶体管的宽和长分别表示为 W=100U 和 L=1U，它们的默认单位是米，所以 100 后面的 U 表示乘以 10^{-6}（实际上，在 SPICE 中后面的乘数可以分别用 M、U、N、P、F 表示乘 10^{-3}、10^{-6}、10^{-9}、10^{-12}、10^{-15}）。

对每个示例还可指定其他的信息，包括：

- 漏面积和周边长度（AD 和 PD）
- 源面积和周边长度（AS 和 PS）
- 漏、源方块电阻（NRD 和 NRS）
- 管子并联个数（M）
- 初始条件（为初始瞬态分析）

漏、源面积和周边长度用来计算耗尽结电容和二极管电流（请记住，漏、源和体或阱形成 pn 结型二极管）。漏、源的方块电阻（NRD 或 NRS）用来计算晶体管的漏源电阻。多个器件并联应用非常重要，因此很有必要在此展开讨论。

在 2.6 节里介绍了版图匹配技术。所描述的基本原理之一就是“单元匹配”。该原理指出，当一个器件是另一个器件的 M 倍时，那么这个大的器件应当由 M 个相应较小的器件组成。在版图中，大的器件用 M 个小器件的拷贝画出——所有器件以并联连接（即所有的栅极连在一起，所有的漏极连在一起，所有的源极连在一起）。在 SPICE 中，多个元件并联时必须做出说明。一种方法是用 M 个小器件来表示一个大器件。另一个更为简单的办法是用器件个数参数设置来表示大器件。图 3.6-1 示出了 2X 器件（所用到的单位器件）的两种实现方法。图 3.6-1（a）中所示为器件的一种实现方法，SPICE 描述如下：

```
M1 3 2 1 0 NCH W=20U L=1U
```

而图 3.6-1（b）的器件在 SPICE 中描述如下：

```
M1 3 2 1 0 NCH W=10U L=1U M=2
```

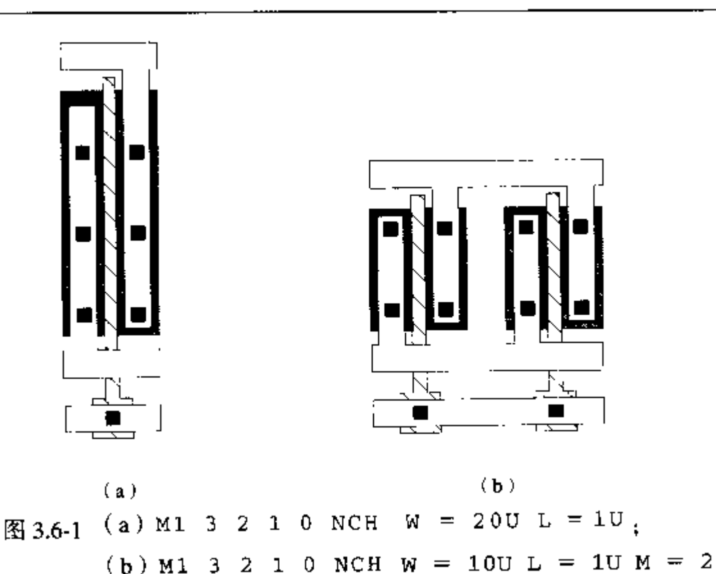


图 3.6-1 （a）M1 3 2 1 0 NCH W = 20U L = 1U；
（b）M1 3 2 1 0 NCH W = 10U L = 1U M = 2

显然，从匹配的角度来看（再考虑到试图达到 2:1 的比例），图（b）的选择更好，于是多个器件的表示是必要的。出于完整性考虑，下面两行表示在多种情况下是等效的：

```
M1A  3  2  1  0  NCH  W=10U  L=1U
M1B  3  2  1  0  NCH  W=10U  L=1U
```

一些 SPICE 仿真器提供更多的参数来进一步描述 MOS 管。

在 MOS 电路的 SPICE 仿真文件中，如果没有提供描述电路中出现的 MOS 管特性的模型，那么它是不完整的。在仿真文件中用一个命令语句描述模型：

```
.MODEL <MODEL NAME> <MODEL TYPE> <MODEL PARAMETERS>
```

这条语句必须以 .MODEL 作为开头，然后紧跟着模型的名字，此例中模型名为 NCH。模型名后是模型类型，在 MOS 电路中模型类型的适当选择是 PMOS 或 NMOS。最终输入的一组是模型参数。如果不提供模型参数，那么 SPICE 采用模型参数的默认值。除非是做最粗略的分析，否则应该避免使用默认参数。多数情况下设计者可以从晶圆制造厂商或从公司的模型小组那里获得模型。在那些希望检查用简单模型（LEVEL 1 模型）完成手工计算的地方，了解输入模型信息的细节是很有用的。下面是一个模型描述的例子：

```
.MODEL NCH NMOS LEVEL=1 VT0=1 KP=50U GAMMA=0.5
+LAMBDA=0.01
```

在这个例子中，模型名是 NCH，模型的类型是 NMOS。模型参数表明 LEVEL 1 模型采用 VT0、KP、GAMMA 和 LAMBDA。注意，+为 SPICE 的语法，用来表示续行。

模型语句的信息是非常广泛的，这里和下面几段将加以讨论。模型语句以点号作为开始标志，告诉程序这不是一个元件。模型语句确定模型级别（例如 LEVEL=1）并提供电学与工艺参数。如果使用者未输入各种参数，那么将会使用默认参数。这些默认值在使用的不同 SPICE 版本的用户手册中给出（如 SmartSpice）。LEVEL 1 的模型参数在 3.1 节中给出，对于大器件，零偏置阈值电压 VT0(V_{T0})以电压为单位外推到 $i_D=0$；本征跨导参数 KP(K')单位为 A/V^2；体阈值参数 GAMMA(γ)单位为 $V^{1/2}$；强反型层表面势垒 PHI($2\phi_F$)单位为 V；沟道长度调制参数 LAMBDA(λ)单位为 V^{-1}。这些参数的值可在表 3.1-2 中查到。

有时人们更愿意让 SPICE 根据合适的工艺参数来计算这些参数。如果输入表面状态密度（NSS）单位为 cm^{-2}，氧化层厚度（TOX）单位为 m，表面迁移率 U0(μ_0)单位为 $cm^2/V \cdot s$，衬底掺杂（NSUB）单位 cm^{-3}，用以计算电参数的公式是：

$$\mathrm{VT0} = \phi_{MS} - \frac{q(\mathrm{NSS})}{(\varepsilon_{ox}/\mathrm{TOX})} + \frac{(2q \cdot \varepsilon_{Si} \cdot \mathrm{NSUB} \cdot \mathrm{PHI})^{1/2}}{(\varepsilon_{ox}/\mathrm{TOX})} + \mathrm{PHI} \tag{3.6-1}$$

$$\mathrm{KP} = \mathrm{U0}\frac{\varepsilon_{ox}}{\mathrm{TOX}} \tag{3.6-2}$$

$$\mathrm{GAMMA} = \frac{(2q \cdot \varepsilon_{Si} \cdot \mathrm{NSUB})^{1/2}}{(\varepsilon_{ox}/\mathrm{TOX})} \tag{3.6-3}$$

和

$$\mathrm{PHI} = |2\phi_F| = \frac{2kT}{q}\ln\left(\frac{\mathrm{NSUB}}{n_i}\right) \tag{3.6-4}$$

LEVEL 1 模型的 LAMBDA 不是由工艺参数来计算。表 3.1-1 给出的硅常数含在 SPICE 程序中，不需要再输入。

下面要考虑的模型参数是3.2节中提到的参数。首先考虑的参数是与体-漏和体-源 pn 结有关的参数。这些参数包括漏-体、源-体结的反向电流（IS），单位为 A；漏-体、源-体结的反向电流密度（JS），单位为 A/m^2。JS 要求模型语句中有 AS 和 AD 的说明。如果 IS 确定，就不必考虑 JS。默认的 IS 通常为 10^{-14}A。在 3.2 节中要考虑的的参数是漏极欧姆电阻（RD），单位为Ω；源极欧姆电阻（RS），单位为Ω；源漏方块电阻（RSH），单位为Ω/□。如果输入 RD 和 RS，就不必考虑 RSH。若用 RSH，模型语句中必须给出 NRD 和 NRS。

漏-体和源-体耗尽电容（CJ）可用零偏置结面积的体结底边电容表示，单位为 F/m^2。CJ 需要 NSUB 并假设用类似式（2.2-12）的公式描述突变结电容。另一方面，漏-体和源-体耗尽电容可以用式（3.2-5）和式（3.2-6）描述。必要的参数包括零偏置体-漏结电容（CBD），单位为 F；零偏置体-源结电容（CBS），单位为 F；体结电势（PB），单位为 V；正向偏置耗尽电容系数（FC），零偏置结周边的体结周边电容（CJSW），单位为 F/m；体结周边电容梯度系数（MSJW）。如果 CBD 或 CBS 确定，那么就不必考虑 CJ。AS、AD、PS 和 PD 的值必须在使用这些参数的器件语句中给出，这些参数的典型值在表 3.2-1 中给出。

接下来在 3.2 节中要讨论的参数是栅交叠电容。这些电容用栅-源交叠电容（CGSO）、栅-漏交叠电容（CGDO）和栅-体交叠电容（CGBO）决定，单位均为 F/m。这些交叠电容的典型值可在表 3.2-1 找到。最后，噪声参数包括闪烁噪声系数（KF）和闪烁噪声指数（AF），这些参数的典型值分别为 10^{-28} 和 1。

在 3.4 节中没有讨论的参数包括栅材料的类型（TPG）、薄氧化层电容模型标志和沟道电荷对漏极的分配系数（XQC）。若栅材料和衬底材料相反，TPG 为 1，若相同则 TPG 为-1，若栅材料为铝时 TPG 为 0。如果参数 XQC 的值小于或等于 0.5，在 SPICE 仿真器中用电荷控制模型。这个模型试图保持与某节点相关的电荷总量为 0。如果 XQC 大于 0.5，则电荷守恒就不能保证。

为了说明 SPICE 的使用方法且为初学者提供一些实例，下面将会给出一些用来进行各种仿真的例子。

例 3.6-1　用 SPICE 仿真 MOS 输出特性

在图 3.6-2 中，n 沟道管采用 LEVEL 1 模型和表 3.1-2 中给出的参数值，试采用 SPICE 仿真得到晶体管的输出特性。仿真中假设体电压为 0，绘制漏-源电压从 0 V 到 5 V 变化、栅-源电压分别为 1 V、2 V、3 V、4 V 和 5V 时的输出特性曲线族。

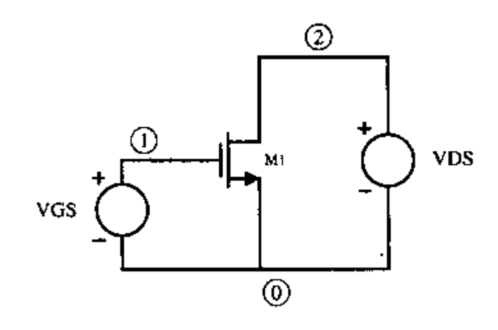


图 3.6-2　例 3.6-1 的电路

解：

表 3.6-1 给出求解此问题的 SPICE 输入文件。第一行是仿真文件的标题且必须提供。行首没有“・”的行表示电路的内部连接。第二行描述了晶体管是怎样连接的，确定使用的模型，给出 W 和 L 的值。注意，因为单位是 m，后缀 U 表示μm。第三行和第四行表示独立电压源，VDS 和 VGS 用来给 MOS 场效应管加偏置。第五行是 M1 的模型描述。其余的行指示 SPICE 完成直流扫描并打印结果。.DC 要求直流扫描。在这里，指定一个嵌套的直流扫描以避免七次连续的分析。这个.DC…行设置 VGS 为 1 V，然后 VDS 从 0 V 到 5 V 扫描，步长为 0.2 V。接下来将 VGS 变为 2 V，之后重复 VDS 扫描。然后继续在所有希望的 VGS 上共需要进行 5 次 VDS 扫描。.PRINT…行指示程序打印出直流扫描的值。SPICE 输入文件的最后一行必须是.END。图3.6-3给出了输出曲线。

表 3.6-1 例 3.6-1 的 SPICE 输入文件

```
Ex. 3.6-1 Use of SPICE to Simulate MOS Output
M1 2 1 0 0 MOS1 W=5U L=1.0U
VDS 2 0 5
VGS 1 0 1
.MODEL MOS1 NMOS VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
.DC VDS 0 5 0.2 VGS 1 5 1
.PRINT DC V(2) I(VDS)
.END
```

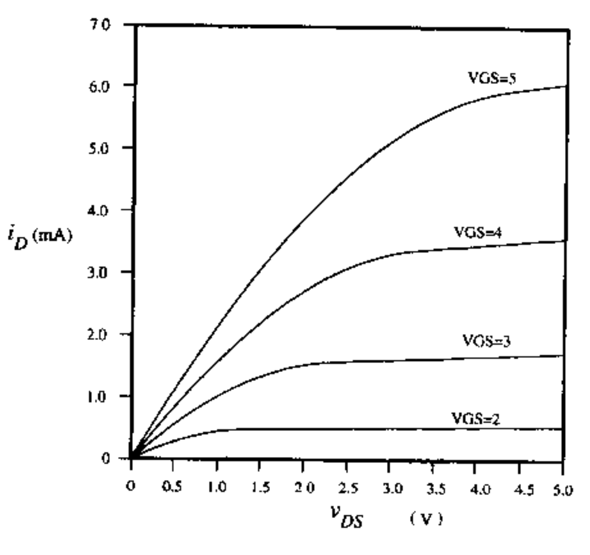


图 3.6-3 例 3.6-1 的输出

例 3.6-2 图 3.6-4 的直流分析

电路如图 3.6-4 所示，试用 SPICE 仿真器得到 v_{OUT} 作为 v_{IN} 函数关系的曲线。确定 $v_{OUT}=0$ V 时 v_{IN} 的直流值。

解：

表 3.6-2 给出了 SPICE 的输入文件。它与上例有同样的格式，只是这里采用了两种类型的管子。模型设计为 MOSN 和 MOSP。直流扫描需要从 $v_{IN}=0$ V 开始直到+5 V。图 3.6-5 给出了直流分析的输出结果。

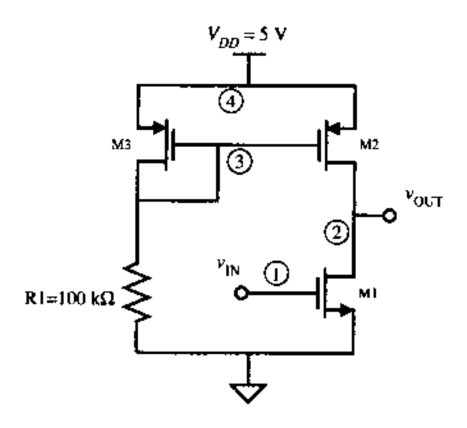


图 3.6-4　例 3.6-2 一个简单的 MOS 放大器

表 3.6-2　例 3.6-2 的 SPICE 输入文件

```
Ex. 3.6-2 DC Analysis of Fig. 3.6-4
M1 2 1 0 0 MOSN W=5U L=1U
M2 2 3 4 4 MOSP W=5U L=1U
M3 3 3 4 4 MOSP W=5U L=1U
R1 3 0 100K
VDD 4 0 DC 5.0
VIN 1 0 DC 5.0
.MODEL MOSN NMOS VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
.MODEL MOSP PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
.DC VIN 0 5 0.1
.PRINT DC V(2)
.END
```

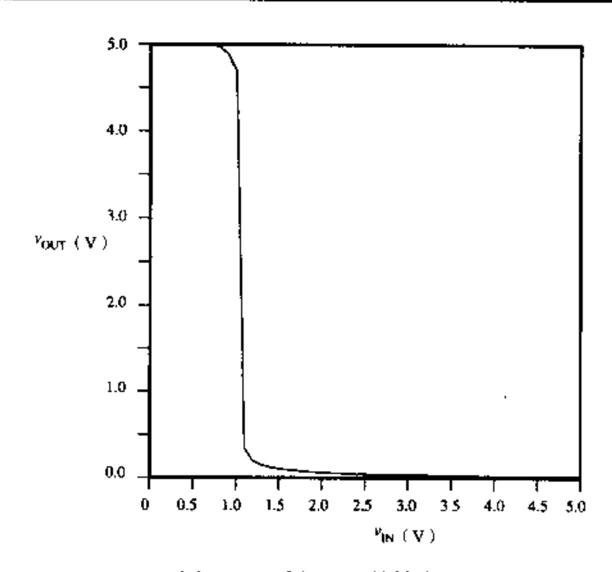


图 3.6-5　例 3.6-2 的输出

例 3.6-3　图 3.6-4 的交流分析

在图 3.6-4 电路中，假设输出端接 5 pF 的电容，当放大器被偏置在过渡区时，试用 SPICE 获

得 $V_{out}(\omega)/V_{in}(\omega)$的小信号频率响应，给出从 100 Hz 到 100 MHz 范围内的幅度和相位响应。

解：

本例的 SPICE 输入文件见表 3.6-3。注意，VIN 已经被定义为交流和直流电压源，直流值为 1.07 V，这是很重要的。如果没有给出直流电压，SPICE 会给出 VIN = 0 V 时的直流结果，而这并不是工作在过渡区。因而，小信号解也不会从过渡区中计算出。一旦直流分析结束，作用在输入端的信号幅度对仿真就不会有任何影响。因此，我们将交流的输入设为 1，从而可以从输出值很方便地得到增益特性。这里设交流输入峰值为 1.0 V。

表 3.6-3　例 3.6-3 的 SPICE 输入文件

```
Ex. 3.6-3 AC Analysis of Fig. 3.6-4
M1 2 1 0 0 MOSN W=5U L=1U
M2 2 3 4 4 MOSP W=5U L=1U
M3 3 3 4 4 MOSP W=5U L=1U
CL 2 0 5P
R1 3 0 100K
VDD 4 0 DC 5.0
VIN 1 0 DC 1.07 AC 1.0
.MODEL MOSN NMOS VTO = 0.7 KP = 110U GAMMA = 0.4 LAMBDA = 0.04 PHI = 0.7
.MODEL MOSP PMOS VTO = -0.7 KP = 50U GAMMA = 0.57 LAMBDA = 0.05 PHI = 0.8
.AC DEC 20 100 100MEG
.OP
.PRINT AC VM(2) VDB(2) VP(2)
.END
```

所希望的仿真由语句 .AC DEC 20 100 100MEG 定义。该语句命令 SPICE 完成交流分析，在对数频率轴上从 100 Hz 到 100 MHz 的范围内每十倍频计算 20 个点。加入 .OP 选项用来打印所有电路节点的直流电压以便验证交流分析是在期望的区域。程序会计算输出电压的线性幅度、dB 幅度和相位。图 3.6-6（a）和（b）给出了仿真结果的幅度（dB）和相位。

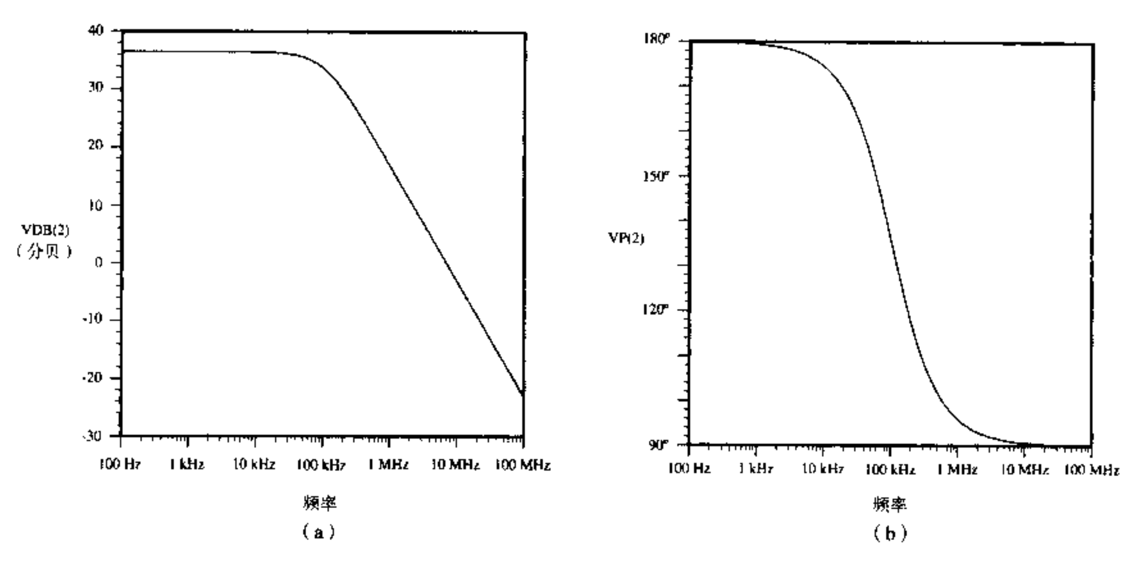


图 3.6-6　例 3.6-3 的（a）幅度响应和（b）相位响应

例 3.6-4　图 3.6-4 的瞬态分析

最后要做的仿真是当图 3.6-4 电路输入脉冲信号时的瞬态响应。仍然包括一个 5 pF 的输出电容，仿真时间从 0 到 4 μs。

解:

表 3.6-4 给出了 SPICE 输入文件。输入脉冲用 SPICE 的分段线性源（PWL）描述。输出由语句.TRAN 0.01U 4U 给出，要求从 0 到 4 μs 做瞬态分析，步长为 0.01 μs。输出应该由 $v_{IN}(t)$和 $v_{OUT}(t)$组成，如图 3.6-7 所示。在行前使用星号则使这行被忽略。

表 3.6-4　例 3.6-4 的 SPICE 输出

```
Ex. 3.6-4 Transient Analysis of Fig. 3.6-4
M1 2 1 0 0 MOSN W=5U L=1U
M2 2 3 4 4 MOSP W=5U L=1U
M3 3 3 4 4 MOSP W=5U L=1U
CL 2 0 5P
R1 3 0 100K
VDD 4 0 DC 5.0
VIN 1 0 PWL(0 0V 1U 0V 1.05U 3V 3U 3V 3.05U 0V 6U 0V)
*VIN 1 0 DC -1.07 AC 1.0
.MODEL MOSN NMOS VTO = 0.7 KP = 110U GAMMA = 0.4 LAMBDA = 0.04
 PHI = 0.7
.MODEL MOSP PMOS VTO = -0.7 KP = 50U GAMMA = 0.57 LAMBDA = 0.05
 PHI = 0.8
.TRAN 0.01U 4U
.PRINT TRAN V(2) V(1)
.END
```

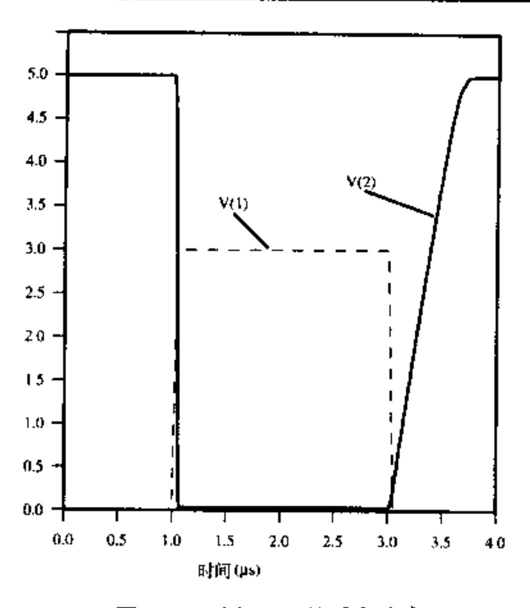


图 3.6-7　例 3.6-4 的瞬态响应

上面的例子为的是给读者提供 SPICE 程序使用的基本方法和概念。读者除了能从上面的例子中得到一些启示外，下面还提供了一组有用的指导性说明，这都是在使用 SPICE 中获得的经验：

1. 除非预先估计出答案的范围，否则不要使用仿真器。
2. 除非必要，决不对电路进行多余的功能仿真。
3. 总是使用可以完成这项工作的最简单的模型。
4. 总是在绝大多数器件导通的情况下开始直流仿真。
5. 用与在工作台上进行测量的同样方式使用仿真器。
6. 在使用仿真器设计时一次只改变一个参数。
7. 学习仿真器的基本操作原理以便充分发挥它的能力，了解如何使用其选项。
8. 注意防止出现诸如 O 和 0 之类的符号错误。
9. 采用准确的倍乘因子。
10. 使用常识。

使用仿真器的绝大多数问题都可以归结到违犯了上述的一条或多条原则。

如今有众多 SPICE 仿真器。这里的讨论主要集中在大多数情况下使用的 SPICE 的最一般的版本。但是，这里并没有囊括关于语法或电路仿真器使用的基本内容，因此，当使用 SPICE 仿真器时应仔细地学习相应的指导手册。

3.7 小结

这一章试图给读者一个能够仿真 CMOS 电路所必需的背景知识。使用的方法都是基于 SPICE 仿真程序的。通常，程序有三种 MOS 模型级别可用。模型的作用是求解直流工作情况，然后用这些信息进一步得出线性小信号模型。3.1 节给出了 SPICE 用来计算直流工作点的 LEVEL 1 模型。这一模型也使用了3.2 节给出的其他模型参数，包括体电阻、电容和噪声。在3.3 节中给出了一个从大信号模型导出的一个小信号模型。这三节描述了 MOS 管的基本模型概念。

接下来介绍了计算机仿真用的模型，包括对于器件长度等于或大于 0.8 μm 的有效的 SPICE LEVEL 3 模型，以及对于深亚微米器件有效的 BSIM3v3 模型。此外还介绍了适合于弱反型层的大信号模型。这些模型的细节及其他模型可以在本章列出的参考文献中获得。在3.6 节中简要地介绍了仿真的基本方法。同时介绍了用 SPICE 对 MOS 电路的仿真。学完这一章后，读者应该能够利用提供的模型信息和 SPICE 仿真器来分析 MOS 电路。这种能力在阅读本书后面的内容时是十分重要的，可用来验证直观的设计，并且完成超出所提供的技术范围的分析。模型最重要的方面之一是确定最适用的 MOS 工艺的模型参数。附录 B 将会讨论这一问题。

习题

3.1-1 已知一个增强型 n 沟道器件，$V_T = 0.7$ V，当 $V_{GS} = 5$ V 时管子工作在饱和区，$I_D = 500$ μA，假设沟道调制效应参数为 0，试绘出 $V_{GS} = 1$、2、3、4 和 5 V 时器件的输出特性。

3.1-2 已知一个增强型 p 沟道器件，$V_T = -0.7$ V，当 $V_{GS} = -5$ V 时管子工作在饱和区，$I_D = -500$ μA。假设沟道调制效应参数为 0，试绘出 $V_{GS} = -1$、-2、-3、-4 和-6 V 时器件的输出特性。

3.1-3 在表 3.1-2 中，为什么在 n 阱 CMOS 技术中 γ_P 大于 γ_N?

3.1-4 具有漏-源对称性的 MOS 场效应管的大信号模型给出如下：

$$i_D = K'\frac{W}{L}\{[(v_{GS} - V_{TS})^2 u(v_{GS} - V_{TS})] - [(v_{GD} - v_{TD})^2 u(v_{GD} - v_{TD})]$$

式中，$u(x)$在 x 大于或等于 0 时为 1，x 小于 0 时为 0（阶越函数）；V_{TX}是从栅到 X 端的阈值电压，其中 X 不是 S（源）就是 D（漏）。当v_{GS} $(v_{GS} > V_{TS})$ 时，绘出 i_D 相对 v_{DS}变化的模型关系，确定饱和与非饱和区。向 v_{DS}的正、负值方向扩展此图。当v_{GD} $(v_{GD} > V_{TD})$ 时，重绘 i_D 相对 v_{DS}变化的模型关系。假设 V_{TS} 和 V_{TD} 都为正值。

3.1-5 式（3.1-12）和式（3.1-18）分别给出了饱和区与非饱和区的 MOS 管模型。这些公式在饱和区和非饱和区之间的过渡点是不一致的。对于手工计算，这不是什么问题，但对计算机分析则构成问题。应如何修正式（3.1-18）使其在$v_{DS} = v_{DS}$ (饱和)点处与式（3.1-12）吻合？

3.2-1 已知 MOS 器件的 W 为 5 μm，L 为 1 μm，使用表 3.1-1 和表 3.2-1 的值，计算该器件工作在三种状态时 CGB、CGS 和 CGD 的值。

3.2-2 在图 P3.2-2 中，MOS 器件采用表 3.2-1 中的值，假设 FC=0.5，PB=1 V，试求 n 沟道器件在 V_{BX}=0 V 和 0.75 V 时的 C_{BX}值。若为 p 沟道器件，重复上述计算。

3.2-3 已知一个 n 沟道管，沟道长为 1 μm，宽为 5 μm，设 V_D=2 V，V_G=2.4 V，V_S=0.5 V 和 V_B=0 V。用表 3.1-1、表 3.1-2 和表 3.2-1 中的模型参数计算 C_{GB}、C_{GS}和 C_{GD}。

3.3-1 电路如图 P3.3-1 所示，已知 M1 的 W/L 为 2 μm/0.8 μm，M2 的 W/L 为 4 μm/4 μm，试计算电路的传递函数 $v_{out}(s)/v_{in}(s)$。注意，这是小信号分析且输入电压有 2 V 的直流电压。

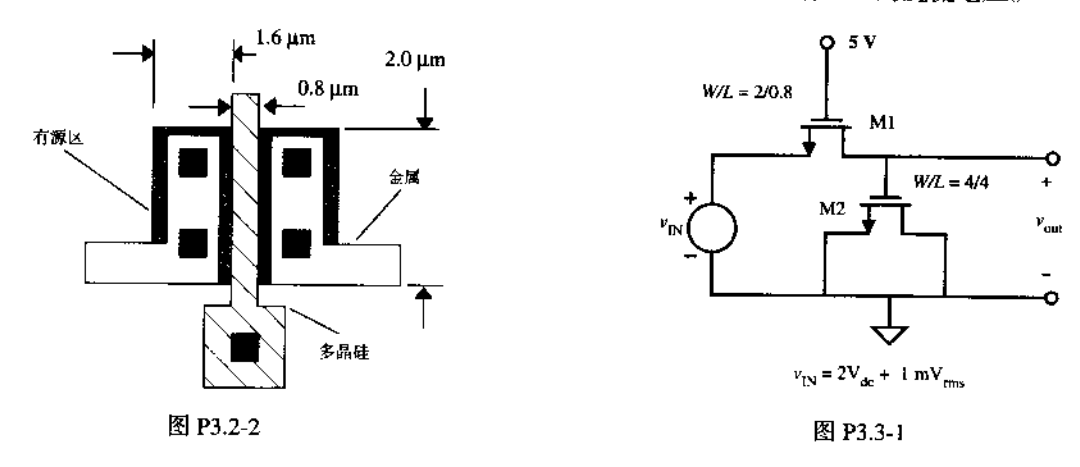


图 P3.2-2　　　　图 P3.3-1

3.3-2 设计一个低通滤波器接在图 P3.3-1 电路后，要求达到−3dB，带宽为 100 kHz。

3.3-3 假设管子的 W/L 为 100 μm/10 μm，重做例 3.3-1 和例 3.3-2。

3.3-4 已知一个 n 沟道场效应管，各电极电压为：漏极 4 V，栅极 4 V，源极 2 V，体 0 V，设模型参数由表 3.1-1、表 3.1-2 和表 3.2-1 提供且 W/L 为 10 μm/1 μm，试求完整的小信号模型。

3.3-5 考虑图 P3.3-5 的电路，这是 n 个 MOS 场效应管的并联连接，每个管子有着相同的栅长 L，但是栅宽 W 不同。导出可替代的单个晶体管的 W 和 L，此管应与多个并行的管子等效？

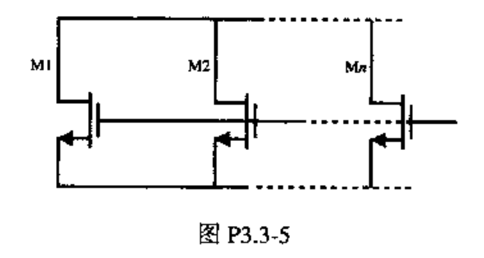


图 P3.3-5

3.3-6 考虑图 P3.3-6 的电路，这是 n 个 MOS 管的串联连接，每个晶体管有相同的栅宽 W，但有

不同的栅长 L。导出可替代的单个晶体管的 W 和 L，此管应与多个串联的管子等效。当使用简单模型时，忽略体效应。

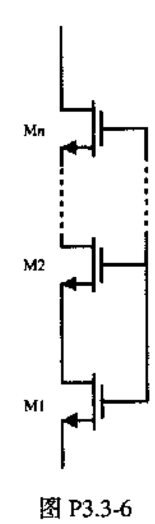


图 P3.3-6

3.5-1 计算 NMOS 管在弱反型时的 V_{ON} 值，假设 f_s 和 f_n 近似为单位 1（1.0）。

3.5-2 用式（3.5-5）大信号表达式导出工作在弱反型区的 MOS 器件的小信号跨导模型表达式。

3.5-3 从强反型区过渡到弱反型区的另一种近似方法是找出强反型跨导和弱反型跨导相等时的电流。用这种方法和弱反型漏极电流的近似式[式（3.5-5）]导出从强反型向弱反型过渡时的漏极电流。

3.6-1 考虑图 P3.6-1 中电路。（a）写出描述此电路的 SPICE 网表；（b）假设 M2 的 W/L 为 2 μm/1 μm，且 M3 和 M2 的比匹配为 1:2，重复（a）。

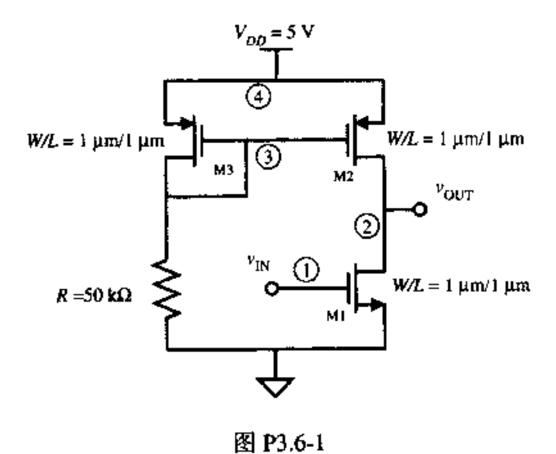


图 P3.6-1

3.6-2 用 SPICE 对图 P3.6-1 所示电路进行下列分析：（a）绘出 v_{OUT} 相对于 v_{IN} 的变化，参数如图标注。（b）分别以+10%的变化改变 K' 和 V_T，重复（a）——进行四次仿真。

参数	n 沟道	p 沟道	单位
V_T	0.7	−0.7	V
K'	110	50	$\mu A/V^2$
1	0.04	0.05	V^{-1}

3.6-3 在图 P3.6-3 中，当 i_1 取值为 10、20、30、40、50、60 和 70 μA 时，用 SPICE 画出 i_2 作为 v_2 的函数的曲线，v_2 的最大值是 5 V。用模型参数 $V_T = 0.7$ V、$K' = 110\ \mu A/V^2$ 和 $\lambda = 0.01\ V^{-1}$。用 $\lambda = 0.04\ V^{-1}$ 重算。

3.6-4 用 SPICE 画出 i_D 随 v_{DS} 变化的曲线，采用 n 沟道管，令 v_{GS} = 1、2、3、4 和 5 V，V_T=1 V，K'=110 $\mu A/V^2$ 和 λ=0.04 V^{-1}。说明如何使用 SPICE 做出如图 3.1-3 所示的模拟曲线。

3.6-5 如果图 3.6-2 中的管子是 PMOS 管，参数如表 3.1-2 所示，重做例 3.6-1。

3.6-6 如果图 3.6-4 中的 R1 改为 200 kΩ，重做例 3.6-2~例 3.6-4。

参考文献

1. Y. Tsividis, "Problems with Modeling of Analog MOS LSI," *IEDM*, pp. 274–277, 1982.
2. Star-*Hspice User's Manual*. Fremont, CA: Avant! 2000.
3. C. T. Sah, "Characteristics of the Metal-Oxide-Semiconductor Transistor," *IEEE Trans. Electron Devices*, ED-11, No. 7, pp. 324–345, July 1964.
4. H. Shichman and D. Hodges, "Modelling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits," *IEEE J. Solid-State Circuits*, Vol. SC-3, No. 3, pp. 285–289, Sept. 1968.
5. A Vladimerescu, A. R. Newton, and D. O. Pederson, *SPICE Version 2G.0 User's Guide*, University of California, Berkeley, Sept. 1980.
6. D. R. Alexander, R. J. Antinone, and G. W. Brown, *SPICE Modelling Handbook*, Report BDM/A-77-071-TR, BDM Corporation, 2600 Yale Blvd., Albuquerque, NM 87106.
7. P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 2nd ed. New York: Wiley, 1984, p. 646.
8. P. E. Allen and E. Sanchez-Sinencio, *Switched Capacitor Circuits*. New York: Van Nostrand Reinhold, 1984, p. 589.
9. *SmartSpice Modeling Manual*, Vols. 1 and 2. Santa Clara, CA.: Silvaco International, Sept. 1999.
10. Daniel P. Foty, *MOSFET Modeling with SPICE: Principles and Practice*. Scarborough, ON: Prentice Hall Canada, 1997.
11. G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd ed. New York: McGraw-Hill, 1993.
12. F. H. Gaensslen and R. C. Jaeger, "Temperature Dependent Threshold Behavior of Depletion Mode MOSFET's," *Solid-State Electron.*, Vol. 22, No. 4, pp. 423–430, 1979.
13. J. R. Pierret, *A MOS Parameter Extraction Program for the BSIM Model*, Electronics Research Laboratory, University of California, Berkeley, CA 94720. Memorandum No. UCB/ERL M84/99, November 21, 1984.
14. Y. Cheng and C. Hu, *MOSFET Modeling & BSIM3 User's Guide*, Norwell, MA: Kluwer Academic Publishers, 1999.
15. Y. Tsividis, "Moderate Inversion in MOS Devices," *Solid State Electron.*, Vol. 25, No. 11, pp. 1099–1104, 1982.
16. P. Antognetti, D. D. Caviglia, and E. Profumo, "CAD Model for Threshold and Subthreshold Conduction in MOSFET's," *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 2, pp. 454–458, June 1982.
17. S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley, 1981.
18. E. Vittoz and J. Fellrath, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation," *IEEE J. Solid-State Circuits*, Vol. SC-12, No. 3, pp. 231–244, June 1977.
19. M. G. DeGrauwe, J. Rigmenants, E. Vittoz, and H. J. DeMan, "Adaptive Biasing CMOS Amplifiers," *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 3, pp. 522–528, June 1982.
20. W. Steinhagen and W. L. Engl, "Design of Integrated Analog CMOS Circuits—A Multichannel Telemetry Transmitter," *IEEE J. Solid-State Circuits*, Vol. SC-13, No. 6, pp. 799–805, Dec. 1978.
21. Y. Tsividis and R. Ulmer, "A CMOS Voltage Reference," *IEEE J. Solid-State Circuits*, Vol. SC-13, No. 6, pp. 774–778, Dec. 1978.

第 4 章　模拟 CMOS 子电路

从表 1.1-2 的观点来看，前面两章已经提供了一些基本知识，为我们了解 MOS 器件以及与 CMOS 工艺兼容的元件制造的技术和建模奠定了基础。我们下一步的目标是研究子电路，这是一个 CMOS 模拟电路设计的方法学课题。这些由一个或多个晶体管组成的简单电路一般仅完成一个功能。典型的子电路由简单电路组成，可完成更复杂的电路功能。因此，本章和下一章的电路可认为是基本模块。

本书将在第 6 章和第 7 章讲到的运算放大器（或 OP 放大器）是一个用简单电路完成复杂功能的范例。图 4.0-1 以层次化方式显示了运算放大器（复杂电路）有关的各种简单电路。回顾以往的工作，我们注意到 OP 放大器多级中的一级是一个差分放大器。差分放大器由简单电路组成，包括电流漏、电流镜负载和源极耦合对。运算放大器的另一级是由反相器和电流漏负载组成的第二增益级。如果希望运算放大器可驱动低阻负载，那么输出级是必需的。输出级由源极跟随器和电流漏负载构成。对前面各级提供稳定的偏置也是必需的。偏置级由电流漏和电流镜组成，为各级提供偏置电流。

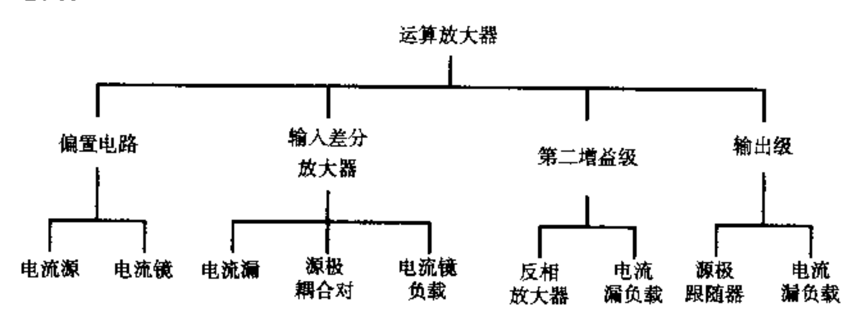


图 4.0-1　运算放大器模拟电路的分层次图例

基本 CMOS 模拟电路的内容被分成两章，以避免一章的篇幅太长，同时又可以提供足够详细的描述。第 4 章介绍简单子电路，包括 MOS 开关、有源负载、电流源/漏、电流镜和电流放大器、电压和电流参考电路。第 5 章将介绍更复杂的电路，比如 CMOS 放大器。这一章对在第 4 章中讲到的材料提供自然的延伸。对模拟 CMOS 电路设计者来说，这两章是基础，因为多数设计都是从这个层次开始、然后上升到表 1.1-2 那些更复杂的电路和系统的。

4.1　MOS 开关

开关在集成电路设计中有很多作用。在模拟电路中，开关被用来实现诸如电阻的开关仿真[1]等有用的功能。开关同样也用于多路选择、调制和其他许多应用。在数字电路中，开关被用做传输门，并加入了在标准逻辑电路没有的尺寸的灵活性。本节的目的是研究与 CMOS 集成电路兼容的开关特性。

我们从电压控制开关的特性开始。图 4.1-1 所示为该器件模型。电压 v_C 控制开关的状态——

开或关。电压控制开关是一个三端网络，其中 A、B 端组成开关，C 端是控制电压 v_C 作用端。开关最重要的特性是它的导通电阻 r_{ON} 和关断电阻 r_{OFF}。理想情况下，r_{ON} 为零而 r_{OFF} 为无穷大，实际上并非如此。此外，这些值与端口条件有关，绝不会是常数。通常，开关会有一些电压偏移，图 4.1-1 中用 V_{OS} 模拟。V_{OS} 表示当开关为导通状态、电流等于零时，端点 A 和 B 之间存在的小幅值电压。I_{OFF} 表示开关为断开状态的漏电流。电流 I_A、I_B 表示开关端点与地之间的漏电流（或其他电源电压）。图 4.1-1 中偏移源和漏电流的极性是不确定的，图中的方向是任意标注的。在模拟采样数据电路应用中，寄生电容是一个需认真考虑的问题。电容 C_A 和 C_B 是开关端 A、B 与地之间的寄生电容。电容 C_{AB} 是开关端 A、B 之间的寄生电容。电容 C_{AC} 和 C_{BC} 是存在于电压控制端 C 和开关端 A、B 之间的寄生电容。电容 C_{AC} 和 C_{BC} 的影响称为电荷馈通——由此控制电压的一部分会出现在开关 A、B 端。

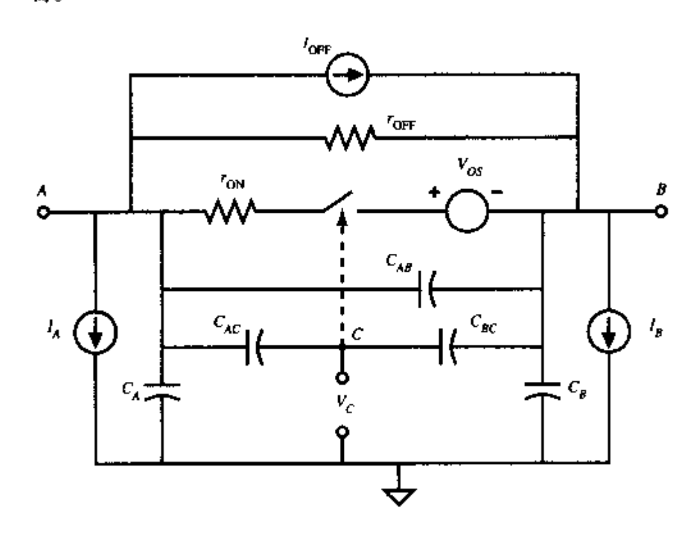


图 4.1-1 非理想开关模型

MOS 技术的一个优点是可提供一个性能良好的开关。图 4.1-2 显示了一个 MOS 晶体管被用做开关的情况。它的性能可以由图 4.1-1 显示的 MOS 晶体管大信号模型构成的开关确定。可以看到，MOS 晶体管的漏极或源极做端点 A 或 B 取决于端点电压（即，对 n 沟道管，如果 A 端电位高于 B，那么 A 端是漏极，B 端是源极）。导通电阻由 r_D、r_S 的组合与始终存在的沟道电阻串联组成。通常 r_D 和 r_S 的影响很小，所以主要考虑沟道电阻。沟道电阻的表达式可这样求得：在开关导通状态，开关两端的电压很小，且 v_{GS} 很大。因此，MOS 器件可以假设工作在非饱和区。式(3.1-1)重写如下以表示这个状态：

$$i_D = \frac{K'W}{L}\left[(v_{GS} - V_T)v_{DS} - \frac{v_{DS}^2}{2}\right] \qquad (4.1\text{-}1)$$

式中，v_{DS} 比 $v_{GS} - V_T$ 小，但是比零大（v_{DS} 为负时，v_{GS} 变为 v_{GD}）。小信号沟道电阻由下式给出：

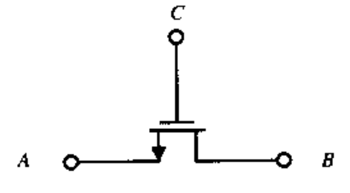


图4.1-2 用n沟道管作为开关

$$r_{ON} = \left.\frac{1}{\partial i_D/\partial v_{DS}}\right|_Q = \frac{L}{K'W(V_{GS} - V_T - V_{DS})} \qquad (4.1\text{-}2)$$

式（4.1-2）中的 Q 是晶体管的静态工作点。图 4.1-3 说明了 n 沟道管漏极电流随漏、源电压变化

的曲线，其中管子的宽长比 $W/L = 5/1$，v_{GS} 等间隔增加。此图说明了 MOS 管工作的一些重要原理。注意，图中的曲线并不是关于 $V_1 = 0$ 对称的。这是因为晶体管端（漏、源）开关起着 V_1 过零的转换作用。例如，当 V_1 为正时，B 点是漏极，A 点为源极，且 V_{BS} 固定为−2.5 V，V_{GS} 由给定的 V_G 固定。当 V_1 为负时，B 点为源极，A 点为漏极，且 V_1 和 V_{BS} 连续减少，而 V_{GS} 增加，从而导致电流增加。

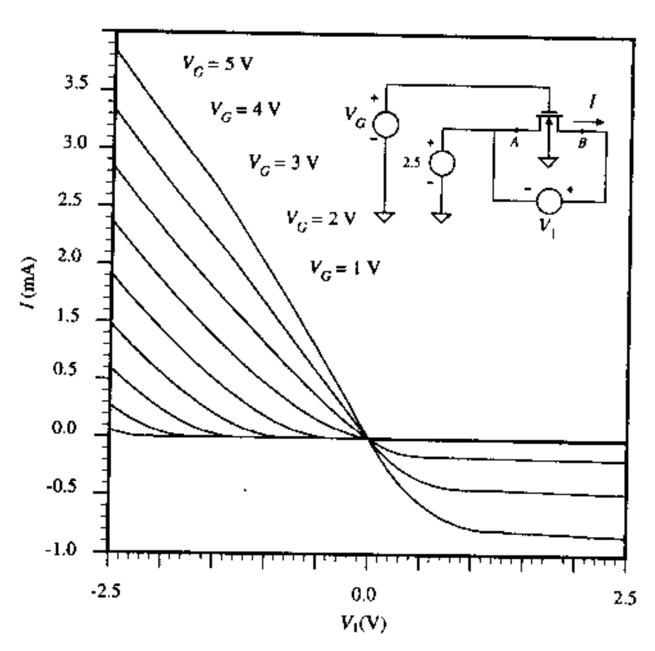


图 4.1-3　n 沟道管用做开关的 I-V 特性

图 4.1-4 显示了当 $V_{DS} = 0.1$ V、$W/L = 1$、2、5 和 10 时 r_{ON} 随 V_{GS} 变化的图。从图中可以看出 W/L 越大，r_{ON} 越低。当 V_{GS} 减到 V_T（$V_T = 0.7$ V）时，r_{ON} 为无穷大，因为开关断开。

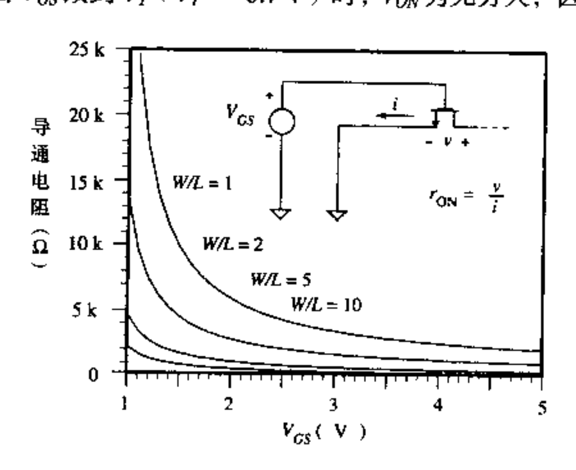


图 4.1-4　n 沟道管导通电阻

当 V_{GS} 小于或等于 V_T 时，开关断开，理想情况下 r_{OFF} 为无穷大。当然，它不可能为无穷大。但因为它非常大，截止状态的性能由漏极–体和源极–体的漏电流决定，就像亚阈值电压区从漏到源的漏电流一样。从源和漏到体的漏电流主要是 pn 结漏电流，在图 4.1-1 中用 I_A 和 I_B 模拟。典型

情况下，漏电流在室温下为 1 fA/μm^2 的数量级，且温度每升高 8℃而增长一倍（见例 2.5-1）。

图 4.1-1 中模拟的失调电压在 MOS 开关中不存在，因此，在 MOS 开关性能中不必考虑。图 4.1-1 中的电容 C_A、C_B、C_{AC} 和 C_{BC} 直接对应于 MOS 管的电容 C_{BS}、C_{BD}、C_{GS} 和 C_{GD}（见图 3.2-1）。MOS 管的 C_{AB} 很小，通常可以忽略。

开关的一个重要方面是开关端和控制端间电压的变化范围。对 n 沟道 MOS 管，我们看到栅极电压应该比源和漏极电压大得多，以确保 MOS 管导通。作为 p 沟道管，栅极电压应该比源和漏极电压小得多。典型情况下，n 沟道开关的体接最负值（p 沟道开关的体接最高电位）。这个要求可以用 n 沟道开关来说明。假设栅极的导通电压是正电源电压 V_{DD}，体接地，保持 n 沟道开关导通，直到开关端信号（源、漏端电压近似相等）接近 $V_{DD}-V_T$。当信号达到 $V_{DD}-V_T$ 时，开关开始转向关断。n 沟道开关的典型电压如图 4.1-5 所示，其中开关被连接在两个网络中间。

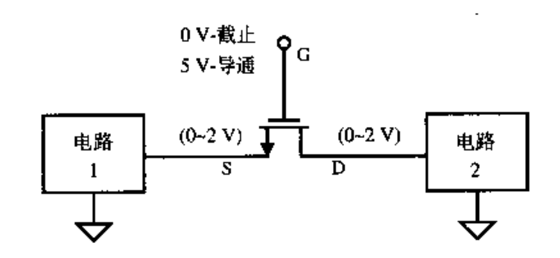


图 4.1-5　n 沟道管典型的端电压表示

如图4.1-6所示，考虑利用开关为电容充电。n 沟道管被用做开关，且 V_ϕ 是作用在栅极上的控制电压（时钟）。在电路的电荷转移过程中，开关的导通电阻起重要作用。例如，当 V_ϕ 升高（$V_\phi > v_{in} + V_T$），M1 将 C 连接到电压源 v_{in}。此时的等效电路如图 4.1-7 所示。可以看做 C 以时间常数 $r_{ON}C$ 充电到 v_{in}。为了有效地工作，必须满足 $r_{ON}C \ll T$，其中 T 是 V_ϕ 为高电平的时间。显然，r_{ON} 随 v_{GS} 的变化很大，如图 4.1-4 所示。在对 C 充电期间，r_{ON} 的最坏值（最高值）出现在 $v_{DS}=0$ 且 $v_{GS}=V_\phi - v_{in}$ 时。这个值用来确定晶体管尺寸，以达到预期的充电时间。

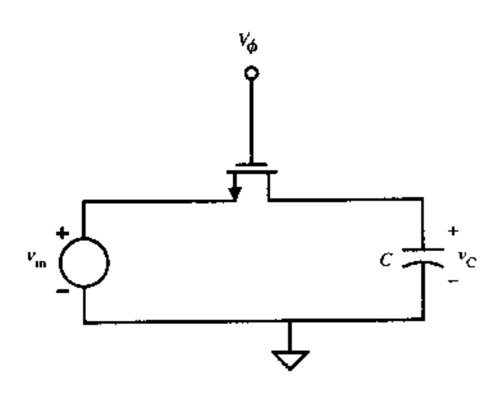


图 4.1-6　MOS 开关的应用

考虑这样一种情况，V_ϕ 为高电平的时间 $T = 0.1$ μs，$C = 0.2$ pF，那么导通电阻 r_{ON} 必须小于 100 kΩ才能满足电荷转移时间等于 5 倍时间常数。对于 5 V 的时钟摆幅和 2.5 V 的 v_{in} 以及图 4.1-4 中示出的 $W = L$ 的 MOS 管，$r_{ON} \approx 6.4$ kΩ。此值在所要求的时间内进行电荷转移来说已足够小。我们希望开关尽可能小（即具有最小的 $W \times L$），从而可以减小来自栅极的电荷馈通。

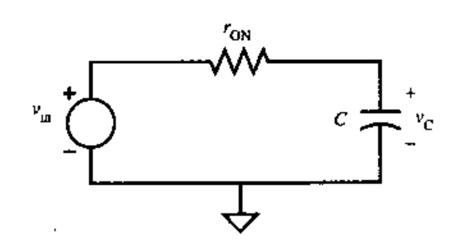


图 4.1-7　图 4.1-6 中开关导通状态的模型

图 4.1-6 中的开关在关断状态除了其漏电流之外，对电路的影响很小。图 4.1-8 显示了一个采样保持电路，电路中漏电流可能引起严重问题。如果 C_H 不够大，那么在保持模式中 MOS 开关是断开的，漏电流会使 C_H 充上或放掉相当量的电荷。

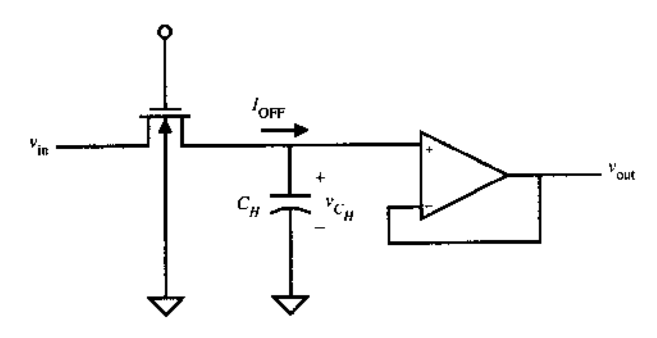


图 4.1-8　在采样保持电路中 I_{OFF} 影响举例

在单片集成电路开关中，最严重的限制之一是时钟馈通效应。时钟馈通（也称做电荷注入和电荷馈通）是由于栅到源和漏的耦合电容引起的。这个耦合会导致栅极信号（一般是时钟）传送到源极和漏极节点，这是一个虽不希望但却不可避免的影响。电荷注入涉及一个复杂的过程，引起的影响取决于诸如晶体管的版图、尺寸、源极和漏极节点的阻抗和栅极的波形等一系列因素。试图对所有这些影响进行精确的分析是不可能的——我们用计算机去做！然而，对这些重要影响的定性了解仍是有用的。

考虑适合于研究电荷注入分析的简单电路如图4.1-9（a）所示。图 4.1-9（b）给出了管子的模型，用电阻 $R_{channel}$ 和 $C_{channel}$ 表示沟道电阻和栅-沟道耦合电容。$C_{channel}$ 和 $R_{channel}$ 的值取决于器件的端口情况。沟道中的分布电阻用 $R_{channel}$ 表示。除沟道电容外还有交叠电容 CGSO 和CGDO。为了近似计算总沟道电容，可如图4.1-9（c）所示将耦合电容分成两个相等的部分并入栅-源端和栅-漏端。这样的处理是有益的。

图4.1-9 电路中，电荷随着管子栅极电压 ϕ_1 从高到低的跳变而产生的注入是令人感兴趣的。此外，考虑栅电压过渡的两种情况（快跃变时间和慢跃变时间）很方便。首先考虑慢跃变情况（慢和快的意思很快将会介绍）。当栅极电压降低时，有电荷注入沟道。但是最初管子保持导通状态，所以无论怎样，注入的电荷只在输入电压源 V_s 中流动，不会出现在负载电容 C_L 上。随着栅极电压降低到某一点，管子截止（当栅极电压达到 V_S+V_T 时）。当管子截止时，注入电荷除了流进 C_L 之外没有其他路径可走。

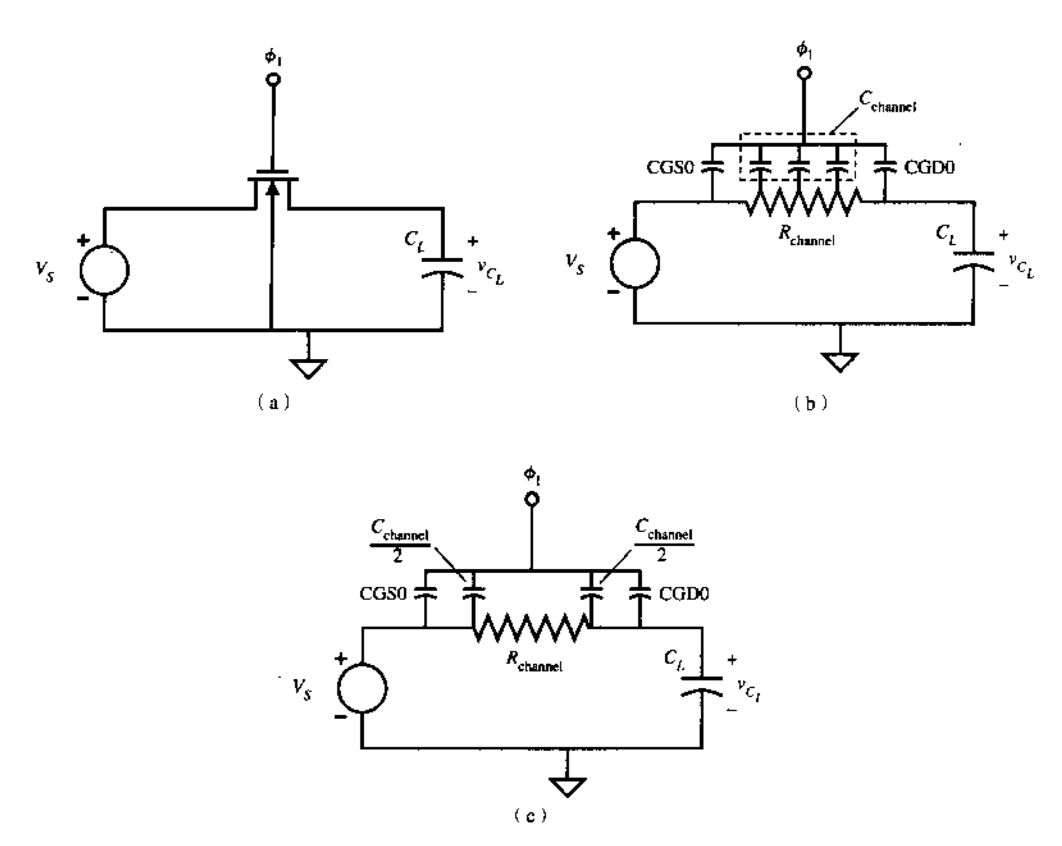


图 4.1-9 (a)用做电荷注入研究的简单开关电路；(b)晶体管开关的分布模型；(c)图 4.1-9(a)的集总模型

对于快跃变的情况，与沟道电阻和沟道电容有关的时间常数限制着流向电压源的电荷量，因此当晶体管处于导通状态时，一些注入的沟道电荷就提供给 C_L，以影响其上的总电荷。

为了对快慢情况有更进一步的了解，将栅极电压模拟为分段恒定波形（一个量化波形）并考虑每个跳变过程中电荷的流动，如图4.1-10所示。图中，所示的 C_L 电压的变化范围表示管子导通时的工作情况。在两种情况中，量化的电压步长是相同的，但是步长间的时间是不同的。C_L 两端电压是呈指数变化的，其时间常数由沟道电阻和沟道电容决定，并不随快、慢情况而改变。

分析表达式可以得出对管子在快慢情况下工作的近似描述[2]。考虑栅极电压从 V_H 到 V_L 的变化（即 5.0 V 到 0.0 V），其在时域中可以描述为：

$$v_G = V_H - Ut \tag{4.1-3}$$

这里的 U 是 $v_G(t)$的斜率。工作在慢跃变时由以下关系所确定：

$$\frac{\beta V_{HT}^2}{2C_L} \gg U \tag{4.1-4}$$

这里 V_{HT} 定义为：

$$V_{HT} = V_H - V_S - V_T \tag{4.1-5}$$

由电荷注入引起的误差（所希望的电压 V_S 和实际电压 V_{C_L} 之间的差）由下式描述：

$$V_{\text{error}} = \left(\frac{W \cdot \text{CGDO} + \dfrac{C_{\text{channel}}}{2}}{C_L} \right) \sqrt{\frac{\pi U C_L}{2\beta}} + \frac{W \cdot \text{CGDO}}{C_L}(V_S + V_T - V_L) \tag{4.1-6}$$

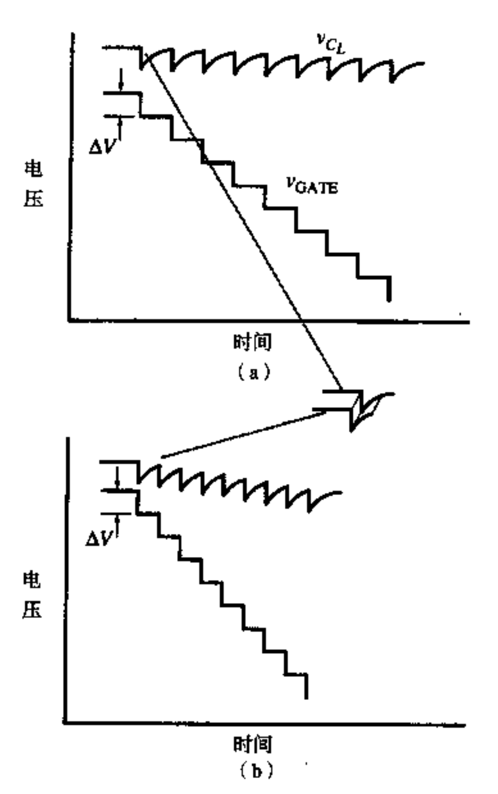


图 4.1-10 用量化斜坡电压说明由于沟道电阻和电容时间常数的影响。(a)慢斜坡；(b)快斜坡

在快开关情况下由下列关系确定:

$$\frac{\beta V_{HT}^2}{2C_L} \ll U \tag{4.1-7}$$

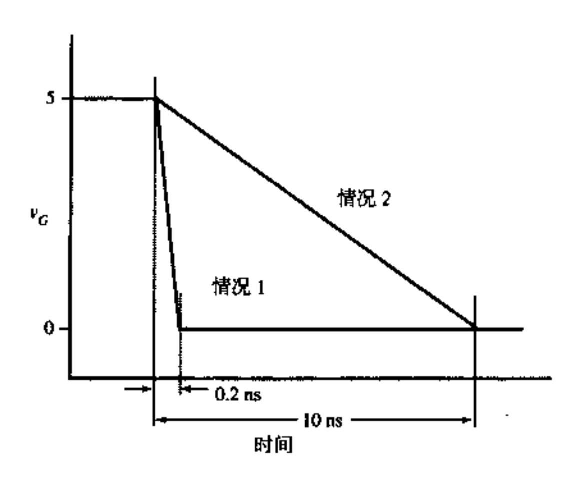
误差电压给出为:

$$V_{\text{error}} = \left(\frac{W \cdot \text{CGDO} + \dfrac{C_{\text{channel}}}{2}}{C_L} \right) \left(V_{HT} - \frac{\beta V_{HT}^3}{6UC_L} \right) + \frac{W \cdot \text{CGDO}}{C_L}(V_S + V_T - V_L) \tag{4.1-8}$$

下面的例子说明由式(4.1-3)到式(4.1-8)所给出的电荷馈通模型的应用。

例 4.1-1 电荷馈通误差的计算

计算图 4.1-9 所示电路中电荷馈通的影响。其中 V_S= 1.0 V, C_L = 200 fF，W/L = 0.8 μm /0.8μm，V_G有两种情况见下图的说明。模型参数见表 3.1-2 和表 3.2-1。忽略ΔL 和ΔW 的影响。



解：

情况 1：第一步要确定表达式中 U 的值：

$$v_G = V_H - Ut$$

在 0.2 ns 之后，从 5 V 跳变到 0 V，$U = 25\times10^9$ V/s。

为了确定工作状态，必须首先验证下面的关系：

$$\frac{\beta V_{HT}^2}{2C_L} \gg U\text{，慢斜坡；}\quad \frac{\beta V_{HT}^2}{2C_L} \ll U\ \text{快斜坡}$$

观察到在晶体管开关上有反向偏置影响 V_T，V_{HT} 为：

$$V_{HT} = V_H - V_S - V_T = 5 - 1 - 0.887 = 3.113$$

因此给出：

$$\frac{\beta V_{HT}^2}{2C_L} = \frac{110\times10^{-6}\times3.113^2}{2\times200\times10^{-15}} = 2.66\times10^9 \ll 25\times10^9$$

所以为快速状态。

由快速状态应用式（4.1-8）得：

$$V_{\text{error}} = \left(\frac{176\times10^{-18} + \dfrac{1.58\times10^{-15}}{2}}{200\times10^{-15}}\right)\left(3.113 - \frac{3.32\times10^{-3}}{30\times10^{-3}}\right) + \frac{176\times10^{-18}}{200\times10^{-15}}(5 + 0.887 - 0)$$

$$V_{\text{error}} = 19.7\ \text{mV}$$

情况 2：第一步要确定表达式中 U 的值：

$$v_G = V_H - Ut$$

在 10 ns 之后从 5 V 降到 0 V 时，$U = 5\times10^8$，于是按照下面的测试表明是慢速状态：

$$2.66\times10^9 \gg 5\times10^8$$

$$V_{\text{error}}=\left(\frac{176\times10^{-18}+\dfrac{1.58\times10^{-15}}{2}}{200\times10^{-15}}\right)\left(\frac{314\times10^{-6}}{220\times10^{-6}}\right)^{1/2}+\frac{176\times10^{-18}}{200\times10^{-15}}(5+0.887-0)$$

$$V_{\text{error}}=10.95\ \text{mV}$$

这个例子说明了电荷馈通模型的应用。读者应该得到警示，不要期望从式(4.1-3)到式(4.1-8)得到实际电路中关于电荷馈通量的精确答案。这个模型只是有助于了解各种电路元件和端口条件的影响，以便在最小化设计中出现不希望有的现象。

采用图 4.1-11 所示的技术有可能部分抵消馈通效应。在这里虚拟 MOS 管 MD（这里源和漏被接到信号线，栅极接反相时钟端）被用来提供与 M1 反相的时钟馈入。MD 的面积可以被设计成提供最小的时钟馈通。但遗憾的是，这个办法不可能完全消除馈通，并且在某些情况下还会更糟。另外还必须提供一个反相时钟作用到虚拟开关上。可以通过采用最大可能的电容、相对较小几何尺寸的开关和保持尽可能小的时钟摆幅来减少时钟馈通。通常，这些解决方案会在其他方面产生问题，这就需要进行一些折中。

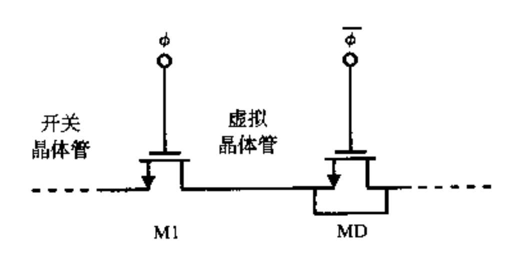


图 4.1-11　抵消时钟馈通的虚拟管的使用

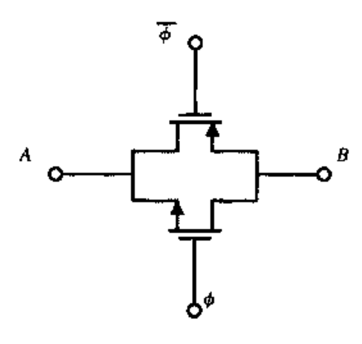


图 4.1-12　CMOS 开关

单沟道 MOS 开关导致的动态范围限制可以采用图 4.1-12 所示的 CMOS 开关加以避免。使用 CMOS 技术，开关通常由如图所示的、并联的 p 沟道和 n 沟道增强型管构成。在这种结构中，当ϕ值为低时，两只管子均截止，实现一个有效的开路。当ϕ值为高时，两只管子均导通，给出一个低阻抗状态。p 沟道管和 n 沟道管的体分别连接至最高和最低电位。CMOS 开关优于单沟道 MOS 开关的主要方面是在导通状态下模拟信号的动态范围明显增加。

在图4.1-13中模拟信号动态范围的增加是显然的，图中画出了 CMOS 开关导通电阻作为输入电压函数的变化关系。此图中，p 沟道管和 n 沟道管的尺寸这样来设置，以至于在相同端口条件下有等效的电阻。双峰性能是由于当 v_{in} 为低电平时，n 沟道管起主导作用，而 v_{in} 为高电平（接近 V_{DD}）时 p 沟道管起主导作用。在中间（$V_{DD}/2$ 附近），两个管子的并联导致出现最低值。中间的凹点是由于迁移率降低的影响，在用 LEVEL 1 模型分析时并不明显。

在本节中，我们已经看到 MOS 管可以构成积分电路中最好的开关之一。它们只需要很小的

面积，非常低的功耗，并且在多数应用中能够提供合理的 r_{ON} 和 r_{OFF} 值。把适宜的开关实现放进设计者的基本设计模块中将产生一些有趣和有用的电路及系统，这些将在以后几章介绍。

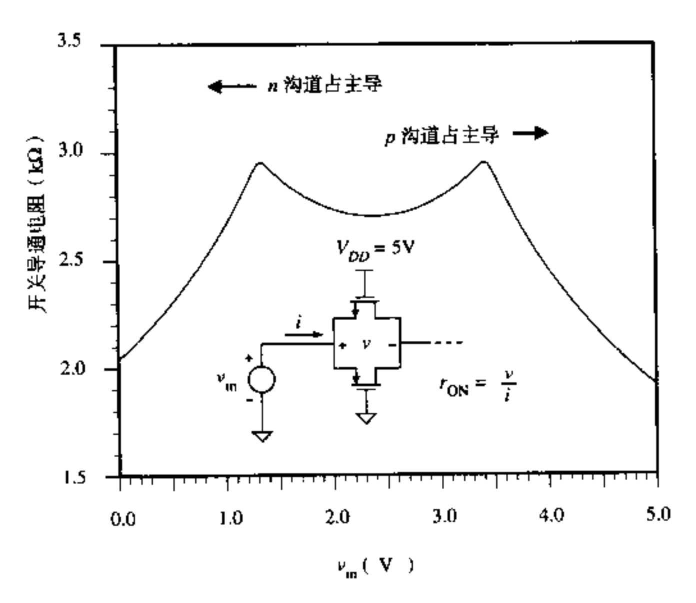


图 4.1-13　图 4.1-12 中导通电阻作为电压 v_{in} 的函数

4.2　MOS 二极管／有源电阻

当 MOS 管的栅极和漏极被接在一起[如图 4.2-1（a）和图 4.2-1（b）所示]时，I–V 特性实质上类似于一个 pn 结二极管，因此命名为 MOS 二极管。MOS 二极管被用做电流镜的一个元件（见 4.4 节）和电平转换（电压降）。

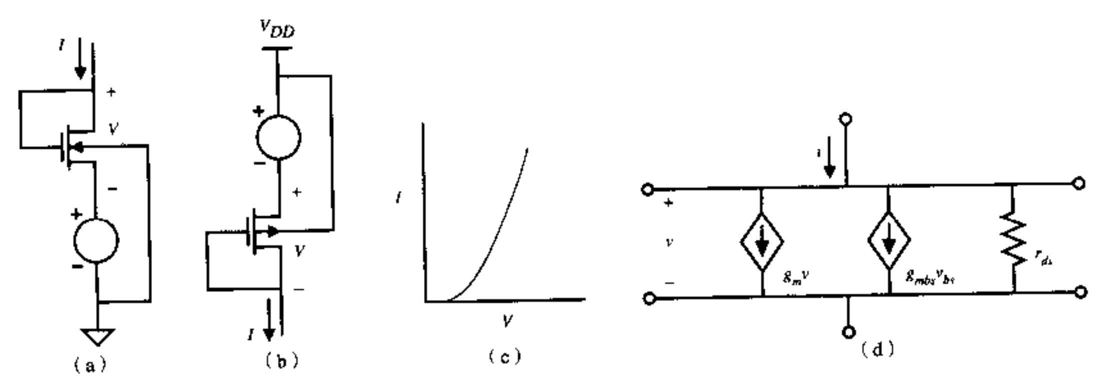


图 4.2-1　有源电阻。（a）n 沟道；（b）p 沟道；（c）n 沟道情况的 I–V 特性；（d）小信号模型

MOS 二极管的 I–V 特性曲线如图 4.2-1（c）所示，饱和区（栅极连接到漏极以保证工作在饱和区）漏极电流的大信号方程如下所示：

$$I = I_D = \left(\frac{K'W}{2L}\right)[(V_{GS} - V_T)^2] = \frac{\beta}{2}(V_{GS} - V_T)^2 \qquad (4.2\text{-}1)$$

或

$$V = V_{GS} = V_{DS} = V_T + \sqrt{2I_D/\beta} \qquad (4.2\text{-}2)$$

如果已知 V 或 I，那么其余变量可以用式（4.2-1）或式（4.2-2）设计并求出β。

把栅极连接到漏极意味着 v_{DS}控制 i_D，因此沟道跨导变成沟道电导。MOS 二极管的小信号模型（不考虑电容）如图 4.2-1（d）所示。容易看出 MOS 二极管的小信号电阻为：

$$r_{out} = \frac{1}{g_m + g_{mbs} + g_{ds}} \cong \frac{1}{g_m} \qquad (4.2\text{-}3)$$

式中，g_m大于 g_{mbs}或 g_{ds}。

MOS 二极管的应用如图4.2-2 所示，图中偏置电压为栅与地之间的电压（这样一个电路的值是显而易见的）。注意，两只管子都有 $V_{DS} = V_{GS}$：

$$V_{DS} = \sqrt{2I/\beta} + V_T = V_{ON} + V_T \qquad (4.2\text{-}4)$$

$$V_{BIAS} = V_{DS1} + V_{DS2} = 2V_{ON} + 2V_T \qquad (4.2\text{-}5)$$

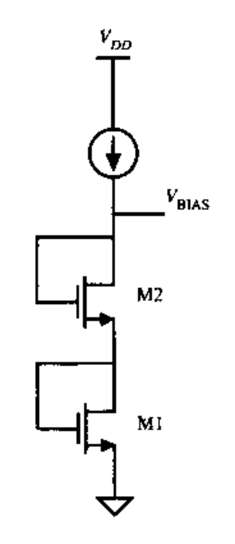


图 4.2-2 有源电阻分压电路

在 4.1 节和图 4.1-2 中描述的 MOS 开关可以被看做是一个电阻，虽然有点非线性，如图4.1-4 所示。在源漏间的电压非常小、管子导通电阻可近似为小信号电阻的情况下，非线性可以减小。用图4.2-3 的一种结构来说明这一点。在这个结构中管子的源极和漏极构成两端悬浮的电阻。假设是小信号，v_{DS}很小。悬浮电阻的 I–V 特性由图 4.1-3 给出。因此，电阻值的范围是大的，但却是非线性的。当管子工作在非饱和区时，电阻可以用式（4.1-2）来计算，重写如下，其中假设 v_{DS}很小：

$$r_{ds} = \frac{L}{K'W(V_{GS} - V_T)} \qquad (4.2\text{-}6)$$

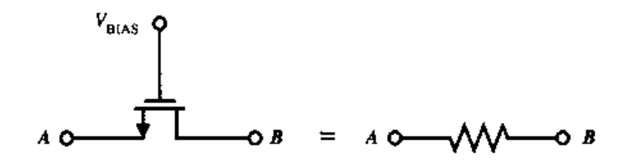


图 4.2-3 单个 MOS 管构成悬浮有源电阻

例 4.2-1 有源电阻的阻抗计算

用图 4.2-3 的悬浮有源电阻设计一个 1 kΩ的电阻。假设直流值 $V_{AB} = 2$ V，衬底电压为 0.0 V，采用表 3.1-2 的参数。另设有源电阻是一个栅极电压为 5 V 的 n 沟道管，$V_{DS} = 0.0$，计算达到 1 kΩ 电阻所需要的 W/L。

解：

由于 V_{BS} 不为零（$|V_{BS}| = 2$ V），在应用式（4.2-6）之前，必须计算新的阈值电压 V_T。由式（3.1-2）可得 $V_T = 1.022$ V。代入式（4.2-6）中，可得 $W/L = 4.579 \cong 4.6$。

4.3 电流漏和电流源

电流漏和电流源作为两端元件，其电流任何时候都与端电压无关。电流源或电流漏的电流从正节点通过源或漏流向负节点。典型的电流漏有一个 V_{SS} 的负节点，电流源有一个 V_{DD} 的正节点。图 4.3-1（a）显示了电流漏的 MOS 实现。栅极电压应能使管子提供所需要的电流值。图 4.2-2 所示的分压电路可用来提供这个电压。我们注意到，在非饱和区 MOS 管不是一个好的电流源。实际上，电流漏的端电压必须大于 V_{MIN} 才能使电流漏工作正常。在图 4.3-1（a）中，这意味着：



$$v_{OUT} \geq V_{GG} - V_{T0} \tag{4.3-1}$$

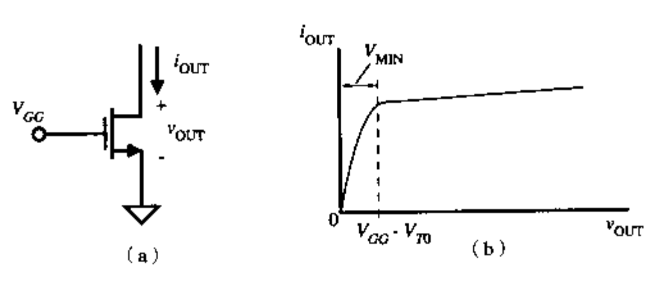


图 4.3-1　（a）电流漏；（b）（a）的电流-电压特性

如果栅-源电压保持恒定，那么MOS 管的大信号特性可以由图3.1-3 中的输出特性给出。图 4.3-1（b）示出了一个例子。如果源极和衬底都接地，那么小信号输出电阻可以由下式给出[参见式（3.3-9）]：

$$r_{out} = \frac{1 + \lambda V_{DS}}{\lambda I_D} \cong \frac{1}{\lambda I_D} \tag{4.3-2}$$

如果源极和衬底不接在相同的电位上，只要 V_{BS} 保持恒定，特性不会变化。

图 4.3-2（a）示出了用 p 沟道管实现的电流源。另外，栅极和源极一样接恒定的电压。电流源的 v_{OUT} 和 i_{OUT} 的定义如图 4.3-2（a）所示，大信号的 $I-V$ 特性如图 4.3-2（b）所示。电流源的小信号输出电阻由式（4.3-2）给出。源-漏电压必须大于 V_{MIN} 才能使电流源工作正常。电流源只在满足下式所给出的 v_{OUT} 值时才能正常工作：

$$v_{OUT} \leq V_{GG} + |V_{T0}| \tag{4.3-3}$$

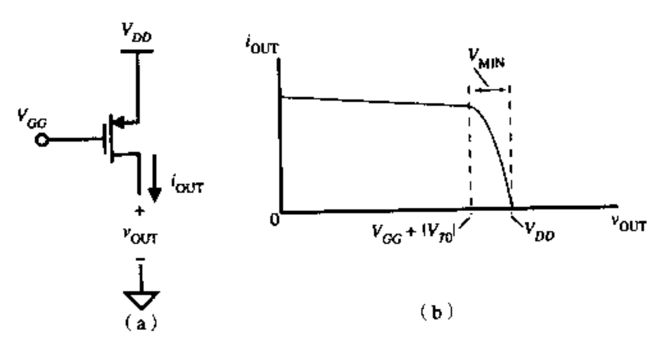


图 4.3-2　（a）电流源；（b）（a）的电流-电压特性

图 4.3-1（a）和图 4.3-2（a）所示的电流漏和电流源的优点是电路简单。但是，在实际应用中，

还有两个方面需加以改进。一是增加小信号输出电阻——在 v_{OUT} 变化范围内时使电流趋近不变，二是要减小 V_{MIN} 的值，使电流源、漏正常工作时允许 v_{OUT} 有较大的变化范围。下面我们介绍这两方面性能的改善方法。首先，小信号输出电阻可以用图 4.3-3（a）所示的原理来增加。这个原理采用共栅结构倍增源极电阻 r，其倍数为在无穷大负载时的近似共栅电压增益。精确的小信号输出电阻 r_{out} 可以由图 4.3-3（b）的小信号模型计算得出：

$$r_{out}=\frac{v_{out}}{i_{out}}=r+r_{ds2}+[(g_{m2}+g_{mbs2})r_{ds2}]r\cong(g_{m2}r_{ds2})r \qquad (4.3\text{-}4)$$

式中，$g_{m2}r_{ds2}>>1$ 且 $g_{m2}>g_{mbs2}$。

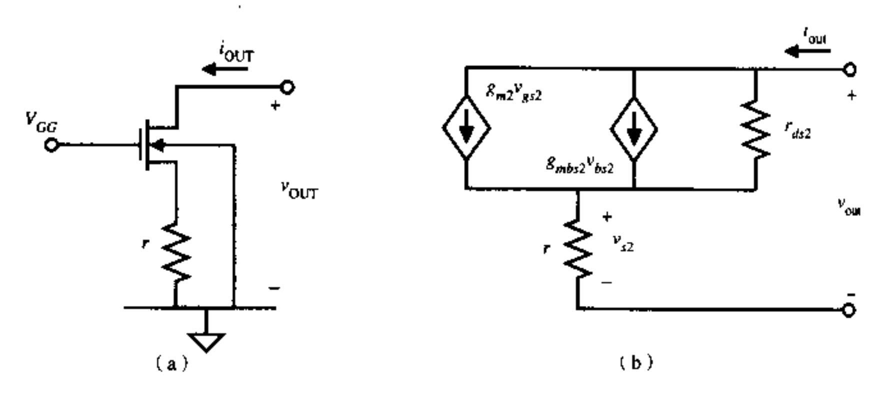


图 4.3-3 （a）增加管子输出电阻的技术；（b）（a）电路的小信号模型

上面的原理可利用图 4.3-4（a）的电路来实现。这里，图 4.3-1（a）的电流漏输出电阻（r_{ds1}）应当由 M2 的共栅电压增益来增加。为了验证这个原理，图 4.3-4（a）的共源共栅电流漏的小信号输出电阻用图 4.3-4（b）的模型计算。因为 $v_{gs2}=-v_1$ 且 $v_{gs1}=0$，在输出节点求电流的和有：

$$i_{out}+g_{m2}v_1+g_{mbs2}v_1=g_{ds2}(v_{out}-v_1) \qquad (4.3\text{-}5)$$

又因为 $v_1=i_{out}r_{ds1}$，因此能够解出 r_{out}：

$$\begin{aligned}r_{out}=\frac{v_{out}}{i_{out}}&=r_{ds2}(1+g_{m2}r_{ds1}+g_{mbs2}r_{ds1}+g_{ds2}r_{ds1})\\&=r_{ds1}+r_{ds2}+g_{m2}r_{ds1}r_{ds2}(1+\eta_2)\end{aligned} \qquad (4.3\text{-}6)$$

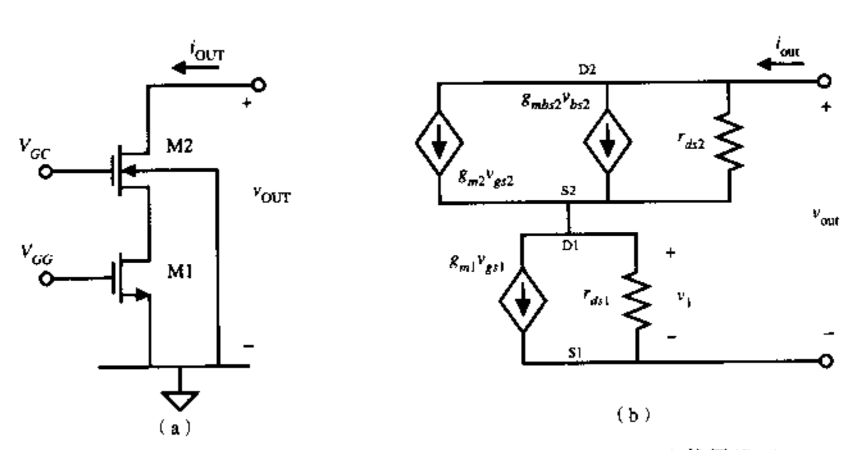


图 4.3-4 （a）增加 r_{out} 的电流漏电路；（b）（a）电路的小信号模型

典型的 $g_{m2}r_{ds2}>>1$，所以式（4.3-6）可简化为：

$$r_{out} \cong (g_{m2}r_{ds2})r_{ds1} \qquad (4.3\text{-}7)$$

可以看到，图4.3-4（a）中电流漏的小信号输出电阻增加到 $g_{m2}r_{ds2}$ 倍。

例4.3-1　计算电流漏电路的输出电阻

用表3.1-2中的模型参数计算：（a）图4.3-1（a）的简单电流漏电路的小信号输出电阻，假设 $I_{OUT}=100\ \mu A$；（b）如果将（a）中的简单电流漏电路插入图4.3-4（a）的共源共栅电流漏结构中，试计算小信号输出电阻。假设 $W_1/L_1=W_2/L_2=1$。

解：

（a）利用$\lambda=0.04$，$I_{OUT}=100\ \mu A$，得出小信号输出电阻为250 kΩ。

（b）由于体效应，g_{mbs2}可以被忽略。由式（3.3-6）可得 $g_{m1}=g_{m2}=148\ \mu A/V$。将其代人式（4.3-7），可得共源共栅电流漏电路的小信号输出电阻为9.25 MΩ。

简单电流源／漏的其他性能限制是不能保证所有的 v_{OUT} 值都有恒定的输出电流。图4.3-1（b）和图4.3-2（b）说明了这一点。虽然这个问题在简单电流源/漏中也许并不严重，但在用来增加小信号输出电阻的共源共栅电流源/漏结构中这个问题会严重得多。因此，找出减小 V_{MIN} 值的办法是很重要的[3]。很明显，V_{MIN} 可以用增加 W/L 的值和调整栅-源电压得到相同输出电流来减小。下面介绍另一种对于共源共栅电流源/漏很有效的办法。

在说明减小共源共栅电流源/漏的 V_{MIN} 值的办法之前，我们必须介绍用于MOS器件偏置的重要原理。这个原理最好用两只MOS管（M1和M2）来说明。假设所加的栅-源直流电压 V_{GS} 可以被分为两个部分，即：

$$V_{GS} = V_{ON} + V_T \qquad (4.3\text{-}8)$$

式中，V_{ON}是 V_{GS}的一部分，是大于阈值电压 V_T的那部分。这个定义允许我们用下式来表达管子工作在饱和区时 v_{DS}的最小值：

$$v_{DS}(\text{饱和}) = V_{GS} - V_T = V_{ON} \qquad (4.3\text{-}9)$$

于是，V_{ON}可以看做是管子工作在饱和区时源-漏间电压的最小值。在饱和区，漏极电流可以表示为：

$$i_D = \frac{K'W}{2L}(V_{ON})^2 \qquad (4.3\text{-}10)$$

这个原理是基于式（4.3-10）的。如果两个MOS管的电流相等（因为它们是串联连接）的，那么就有下面的关系：

$$\frac{K'_1/W_1}{L_1}(V_{ON1})^2 = \frac{K'_2/W_2}{L_2}(V_{ON2})^2 \qquad (4.3\text{-}11)$$

如果两个MOS管类型相同，那么式（4.3-11）简化为：

$$\frac{W_1}{L_1}(V_{ON1})^2 = \frac{W_2}{L_2}(V_{ON2})^2 \qquad (4.3\text{-}12)$$

或

$$\frac{\left(\frac{W_1}{L_1}\right)}{\left(\frac{W_2}{L_2}\right)}=\frac{(V_{ON2})^2}{(V_{ON1})^2} \tag{4.3-13}$$

上面的原理也能够被用来定义电流和 W/L 之间的关系。如果两个相同的 MOS 管的栅-源电压是相等的（因为它们是物理连接），那么 V_{ON1} 等于 V_{ON2}。从式（4.3-10）可以得出：

$$i_{D1}\left(\frac{W_2}{L_2}\right)=i_{D2}\left(\frac{W_1}{L_1}\right) \tag{4.3-14}$$

即使 M1 和 M2 的栅源极没有物理连接在一起，式（4.3-13）也是有用的。因为即使物理上不是连接在一起，电压也可以设置成相等，这在后面将会看到。式（4.3-13）和式（4.3-14）表示了一个非常重要的原理，这个原理不仅在接下来的介绍中适用，还可以在整本教材中用来确定偏置关系。

考虑图 4.3-5（a）中共源共栅电流漏电路，我们的目的是用上面的原理来减小 V_{MIN} 的值。如果我们忽略 M2、M4 的体效应，并且假设 M1、M2、M3 和 M4 都匹配有相同的 W/L 比，那么，如图 4.3-5（a）所示，每个管子的栅-源电压都可以表示为 V_T+V_{ON}。在 M2 的栅极，我们看到关于低电源供电的电压是 $2V_T+2V_{ON}$。为了维持电流漏/源的正常工作，应该假设 M1 和 M2 至少有式（4.3-9）所给的 V_{ON} 电压值。为了得出图 4.3-5（a）的 V_{MIN} 值，我们可以将式（3.1-15）重新写为：

$$v_D \geq v_G - V_T \tag{4.3-15}$$

因为 $V_{G2}=2V_T+2V_{ON}$，将此值代进式（4.3-15）得到：

$$V_{D2}(\text{最小})=V_{MIN}=V_T+2V_{ON} \tag{4.3-16}$$

图 4.3-5（a）的 I–V 特性如图 4.3-5（b）所示，这里给出了式（4.3-16）的 V_{MIN} 的值。

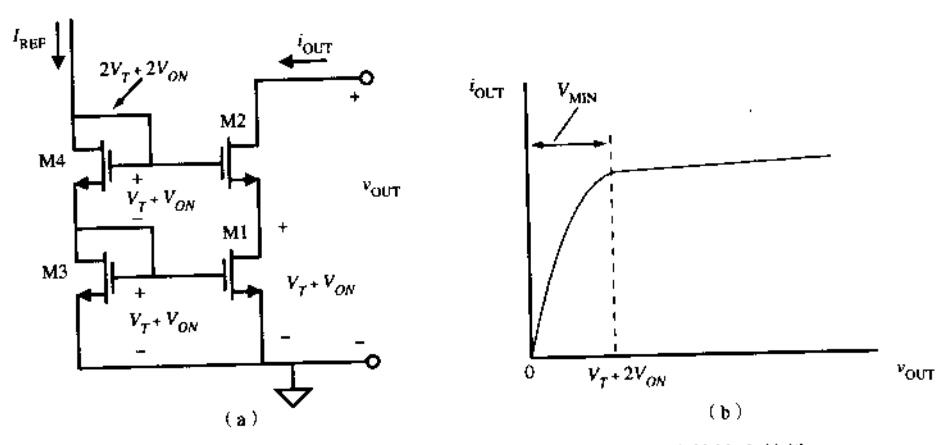


图 4.3-5 （a）标准共源共栅电流漏；（b）（a）电路的输出特性

式（4.3-16）中，V_{MIN} 的值分降在 M1 和 M2 上。M2 的压降是 V_{ON}，而 M1 的压降为 $V_{ON}+V_T$。从式（4.3-9）的结果来看，这意味着图 4.3-5 的 V_{MIN} 可以减小 V_T，M1 和 M2 此时仍保持在饱和区。图 4.3-6（a）说明了如何实现这一点[4]。M4 的 W/L 比是相同的 M1~M3 的 W/L 的 1/4。这样

可使 M4 的栅–源电压为 $V_T+2\ V_{ON}$，而不是 V_T+V_{ON}。因此，M2 的栅极电压现在是 $V_T+2\ V_{ON}$。将此值代入式（4.3-15）得：

$$V_{D2}(\text{最小})=V_{\text{MIN}}=2\ V_{ON} \tag{4.3-17}$$

最终的 I–V 关系如图 4.3-6（b）所示。可以看到 $2V_{ON}$ 的电压降在 M1 和 M2 上，给出了 V_{MIN} 的最小值，且 M1 和 M2 都保持在饱和区。用这个办法增加 W/L 比可以得到 V_{MIN} 的最小值。

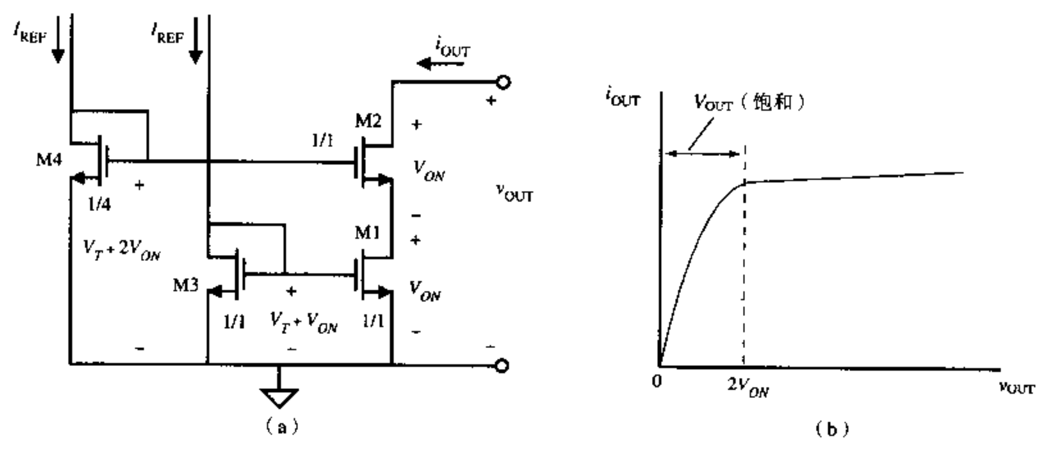


图 4.3-6　（a）高摆幅共源共栅；（b）（a）电路的输出特性

例 4.3-2　设计一个给定 V_{MIN} 的共源共栅电流漏

用图 4.3-6（a）所示的共源共栅电流漏结构设计一个 100 μA、V_{MIN} 为1 V 的电流漏。假设管子采用表 3.1-2 的参数。

解：

因为 $V_{\text{MIN}}=1$ V，选择 $V_{ON}=0.5$ V。使用饱和模型，可求得 M1 ~ M3 的 W/L 比为：

$$\frac{W}{L}=\frac{2\,i_{\text{OUT}}}{K'V_{ON}^2}=\frac{2\times 100\times 10^{-6}}{110\times 10^{-6}\times 0.25}=7.27$$

M4 的 W/L 是这个值的 1/4，即为 1.82。

图 4.3-6 的电路存在一个问题。M1 的 V_{DS} 和 M3 的 V_{DS} 不等。因此，由于沟道长度调制就像漏极引起阈值的偏离一样，电流 i_{OUT} 不会精确地等于 I_{REF}。如果想要 I_{REF} 精确地映射到 i_{OUT}，那么需要对图 4.3-6 的电路做一点修正。图 4.3-7 说明了如何实现这个修正。增加一个管子 M5 与 M3 串联，迫使 M3 和 M1 的漏极电压相等，因而消除了由沟道长度调制效应和漏极引起阈值偏离而产生的误差。

上面的技术在后面将要讨论的最大化共源共栅结构的电压摆幅中是很有用的。本节已经说明了电流源/漏的应用和怎样提高 MOS 管的输出电阻。应用于偏置中的一个非常重要的原理是基于额外的栅–源电压 V_{ON}、漏极电流和 MOS 管 W/L 比之间关系的。这个原理被用来减小共源共栅电流源的 V_{MIN} 电压。

当功耗必须保持在最小时，可以修改图 4.3-7 所示的电路来抵消 I_{REF} 电流中的一个。图 4.3-8 示出了自偏置共源共栅电流源，这个电路只需要一个参考电流[5]。

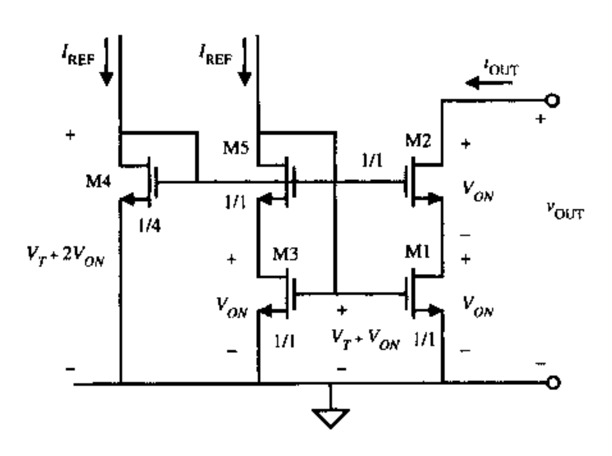


图 4.3-7 改进的高摆幅共源共栅电路

例 4.3-3 设计一个给定 V_{MIN} 的自偏置高摆幅共源共栅电流漏

用图 4.3-8 共源共栅电流漏结构设计一个 250 μA、V_{MIN} 为 0.5 V 的电流漏。假设管子采用表 3.1-2 的参数。

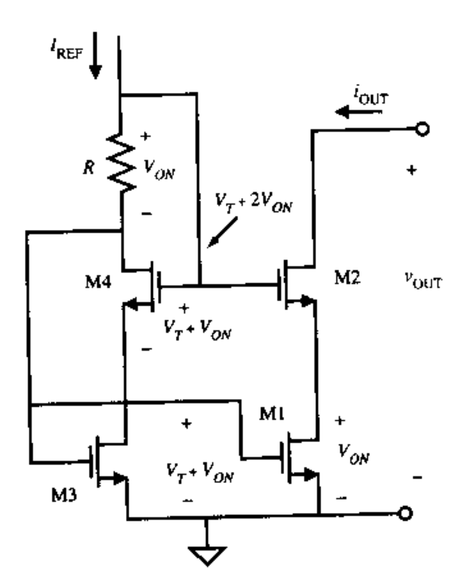


图 4.3-8 自偏置高摆幅共源共栅电流源

解：

因为 $V_{MIN}=0.5$ V，选择 $V_{ON}=0.25$ V，用饱和区模型，M1 和 M3 的 W/L 为：

$$\frac{W}{L}=\frac{2\,i_{OUT}}{K'V_{ON}^2}=\frac{2\times 500\times 10^{-6}}{110\times 10^{-6}\times 0.0626}=72.73$$

M2 和 M4 的背面栅偏置电压为−0.25 V。因此，M2 和 M4 的阈值电压可计算如下：

$$V_{TH}=0.7+0.4\left(\sqrt{0.25+0.7}-\sqrt{0.7}\right)=0.755$$

考虑阈值电压的增量，M4 和 M2 的栅极电压为：

$$V_{G4} = 0.755 + 0.25 + 0.25 = 1.255$$

M1 和 M3 的栅极电压为：

$$V_{G1} = 0.70 + 0.25 = 0.95$$

现在电阻两端都有定义，所以需要的电阻值为：

$$R = \frac{V_{G4} - V_{G1}}{250 \times 10^{-6}} = \frac{1.255 - 0.95}{250 \times 10^{-6}} = 1220\ \Omega$$

4.4　电流镜

电流镜是上节电流源/漏的简单扩展。事实上，在任何时候想要构建不形成为电流镜的电流漏/源都是不可能的。电流镜遵循的原理是：如果两个相同 MOS 管的栅-源电压相等，那么沟道电流也应相等。图 4.4-1 说明了简单 n 沟道电流镜的构成。假设电流 i_I 由电流源或其他因素决定，i_O 是输出或"镜像"电流。M1 因 $v_{DS1} = v_{GS1}$ 而处在饱和区。假设 $v_{DS2} \geq v_{GS2} - V_{T2}$ 大于 V_{T2}，这允许我们采用 MOS 管饱和区的公式。在最一般的情况下，i_O 与 i_I 之比为：

$$\frac{i_O}{i_I} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}}\right)^2 \left[\frac{1\ \lambda v_{DS2}}{1 + \lambda v_{DS1}}\left(\frac{K_2'}{K_1'}\right)\right] \qquad (4.4\text{-}1)$$

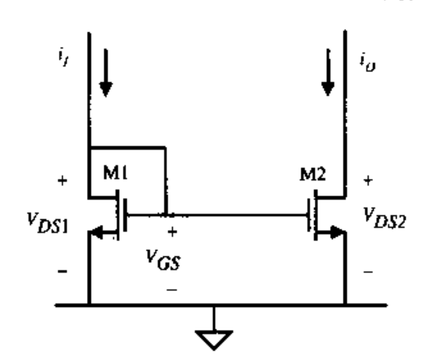


图 4.4-1　n 沟道电流镜

通常，电流镜的组成部分都在同一个集成电路上，因此两管的所有物理参数（如 V_T 和 K'）都是相同的，结果式（4.4-1）简化为：

$$\frac{i_O}{i_I} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{1 + \lambda v_{DS2}}{1 + \lambda v_{DS1}}\right) \qquad (4.4\text{-}2)$$

如果 $v_{DS2} = v_{DS1}$（并不总是如此），那么 i_O/i_I 为：

$$\frac{i_O}{i_I} = \left(\frac{L_1 W_2}{W_1 L_2}\right) \qquad (4.4\text{-}3)$$

因此，i_O/i_I 是设计者控制的宽长比的函数。

有三种因素会使电流镜与式（4.4-3）描述的理想情况不同。这些因素是：（1）沟道长度调制；（2）两个管子之间的阈值偏差；（3）非理想的几何图形匹配。下面分别分析这三种因素。

首先考虑沟道长度调制效应。假设管子其他方面都是理想的，且两个管子的宽长比是一致的，那么式（4.4-2）可简化为：

$$\frac{i_O}{i_I}=\frac{1+\lambda v_{DS2}}{1+\lambda v_{DS1}} \tag{4.4-4}$$

假设两管的 λ 相同。这个等式说明两管的漏-源电压差可能引起偏离理想的一致的电流增益或电流镜的效果。图 4.4-2 显示了两管均在饱和区但有不同 λ 值时，电流比误差与 $v_{DS2}-v_{DS1}$ 的关系曲线。在这个图中应当注意到两个重要的情况：首先是当组成电流镜的两管的漏-源电压不相等时存在很明显的比例误差；其次对于给定的漏-源电压差，镜像电流与参考电流的比随λ的变小（输出电阻增大）而改善。因此，好的电流镜或电流放大器应当有相同的漏-源电压和高的输出电阻。

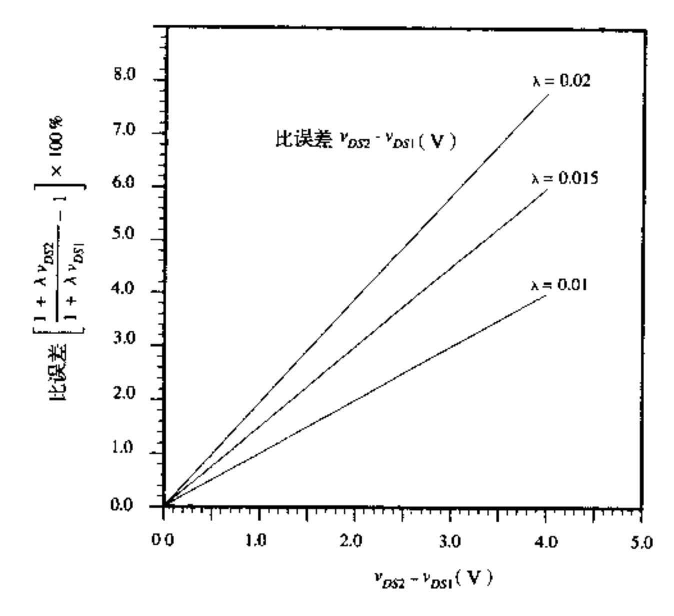


图 4.4-2　图 4.4-1 电流镜的比误差（单位%）与漏极电压差的关系曲线，图中 $v_{DS1}=2.0$ V

第二个应当注意的是两管阈值电压的失调。对于适宜的硅栅 CMOS 工艺，相同且靠得很近的两只管子阈值电压的典型失调值小于 10 mV。

考虑镜像结构中的两只管子，假设两只管子有相同漏-源电压且除 V_T 外其他方面都相同。在这种情况下，式（4.4-1）简化为：

$$\frac{i_O}{i_I}=\left(\frac{v_{GS}-V_{T2}}{v_{GS}-V_{T1}}\right)^2 \tag{4.4-5}$$

图 4.4-3 显示了比误差与ΔV_T的关系，这里$\Delta V_T=V_{T1}-V_{T2}$。由此图容易看出，电流越大电流镜性能越好，因为电流越大 v_{GS} 越高，ΔV_T 在 v_{GS} 中所占的百分比就越小。

电流镜的跨导增益 K'也可能不匹配（由于氧化物梯度所致）。现在给出 K'和 V_T 的定量分析。我们假设两个镜像管子的 W/L 比精确相等，但是 K'和 V_T 可能失配。式（4.4-5）可重写为：

$$\frac{i_O}{i_I}=\frac{K_2'(v_{GS}-V_{T2})^2}{K_1'(v_{GS}-V_{T1})^2} \tag{4.4-6}$$

这里，$v_{GS1}=v_{GS2}=v_{GS}$。定义$\Delta K'=K_2'-K_1'$，$K'=0.5(K_2'-K_1')$，$\Delta V_T=V_{T2}-V_{T1}$ 和 $V_T=0.5(V_{T2}+V_{T1})$，则有：

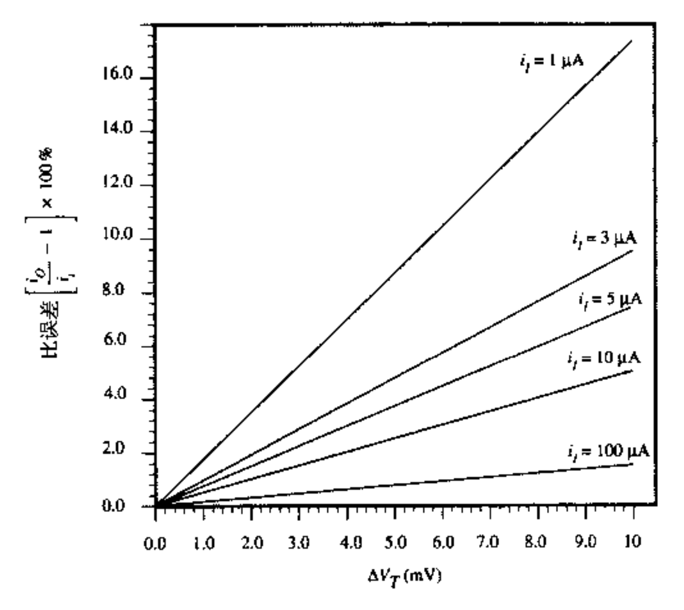


图 4.4-3　图 4.4-1 中电流镜的比误差（单位%）与失调电压的关系

$$K_1' = K' - 0.5\Delta K' \quad (4.4\text{-}7)$$

$$K_2' = K' + 0.5\Delta K' \quad (4.4\text{-}8)$$

$$V_{T1} = V_T - 0.5\Delta V_T \quad (4.4\text{-}9)$$

$$V_{T2} = V_T + 0.5\Delta V_T \quad (4.4\text{-}10)$$

将式（4.4-7）~式（4.4-10）代入式（4.4-6），则有：

$$\frac{i_O}{i_I} = \frac{(K' + 0.5\Delta K')(v_{GS} - V_T - 0.5\Delta V_T)^2}{(K' - 0.5\Delta K')(v_{GS} - V_T + 0.5\Delta V_T)^2} \quad (4.4\text{-}11)$$

提取出 K' 和$(v_{GS} - V_T)$，得：

$$\frac{i_O}{i_I} = \frac{\left(1 + \frac{\Delta K'}{2K}\right)\left(1 - \frac{\Delta V_T}{2(v_{GS} - V_T)}\right)^2}{\left(1 - \frac{\Delta K'}{2K}\right)\left(1 + \frac{\Delta V_T}{2(v_{GS} - V_T)}\right)^2} \quad (4.4\text{-}12)$$

假设式（4.4-12）中跟在“1”后面的变量都很小，那么式（4.4-12）可以近似为：

$$\frac{i_O}{i_I} \cong \left(1 + \frac{\Delta K'}{2K'}\right)\left(1 + \frac{\Delta K'}{2K'}\right)\left(1 - \frac{\Delta V_T}{2(v_{GS} - V_T)}\right)^2\left(1 - \frac{\Delta V_T}{2(v_{GS} - V_T)}\right)^2 \quad (4.4\text{-}13)$$

只保留一阶乘积项，得到：

$$\frac{i_O}{i_I} \cong 1 + \frac{\Delta K'}{K'} - \frac{2\Delta V_T}{v_{GS} - V_T} \quad (4.4\text{-}14)$$

如果 K'和 V_T的变化百分比是已知的，式（4.4-14）可以用来在最坏偏置情况下预测电流镜增益的误差。例如，设$\Delta K'/K' = \pm 5\%$，且$\Delta V_T/(v_{GS} - V_T) = \pm 10\%$，那么得到的电流镜增益是 $i_O/i_I \cong 1 \pm 0.05 \pm (-0.20)$ 或 $1 \pm (-0.15)$，在增益上有总计 15%的误差，前提是 K'与 V_T的容差是准确的。

第三个电流镜的非理想因素是两个器件的宽长比的误差。在第 3 章中我们知道，在画 W 和 L 的值时是有差异的。由于存在掩膜、光刻、刻蚀以及外扩散的差异，即使是两个管子并排放在一起也会有所不同。为避免这些变化的影响，一种办法是将管子尺寸做得比人们可以看到的典型变化大得多。对于 W 和 L 大于 10 μm 的同样尺寸的晶体管，由几何失配引起的误差相对于由失调电压和 v_{DS} 引起的误差通常可以忽略。

在一些应用中，电流镜被用做电流倍乘器或作为电流放大器使用。在这种情况下，倍乘管（M2）的宽长比要比参考管（M1）大得多。为获得最佳性能，必须考虑几何尺寸。我们将会给出一个例子。

例 4.4-1　电流放大器中形状比的误差

图 4.4-4 显示了 1 到 4 电流放大器的版图。假设沟道长度相同（$L_1 = L_2$），如果 $W_1 = 5 \pm 0.05$ μm，$W_2 = 20 \pm 0.05$ μm，求比例误差。

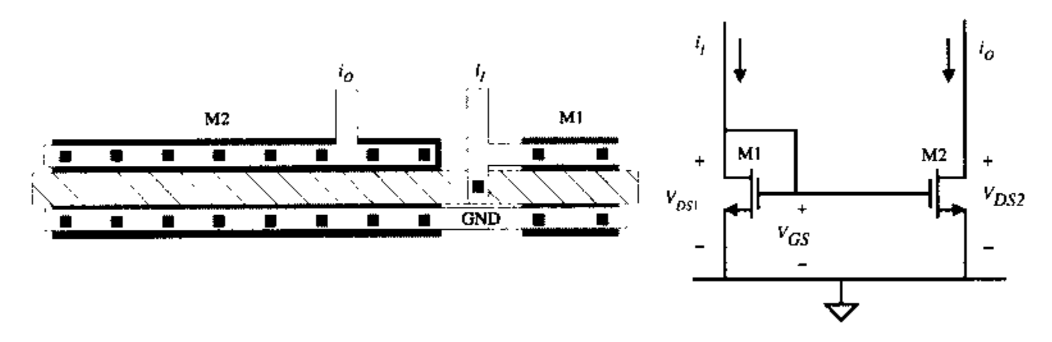


图 4.4-4　ΔW 不准确的电流镜版图

解：

两个管子的实际宽度为：

$$W_1 = 5 \pm 0.05 \ \mu\text{m}$$

和

$$W_2 = 20 \pm 0.05 \ \mu\text{m}$$

我们注意到容差并没有乘 4。因此 W_2 与 W_1 的比例和电流放大器的增益为：

$$\frac{i_O}{i_I} = \frac{W_2}{W_1} = \frac{20 + 0.05}{5 \pm 0.06} = 4 \pm 0.05$$

这里我们已经假设变化有相同的符号。可以看出比例误差为所希望的电流比或增益的 1.25%。

如果每只管子的其他方面都是完全匹配的，上面的误差计算是有效的。解决这个问题的办法是采用适当的版图技术。对 M1 管进行四次复制完成 1 到 4 比例的校正。在这种方法中，W_2 的容差就要乘电流增益。让我们用这个办法重新考虑上面的例子。

例 4.4-2　电流放大器形状比误差的减小

用图 4.4-5 所示的版图技术，计算前例已有规格说明的电流放大器的比例误差。

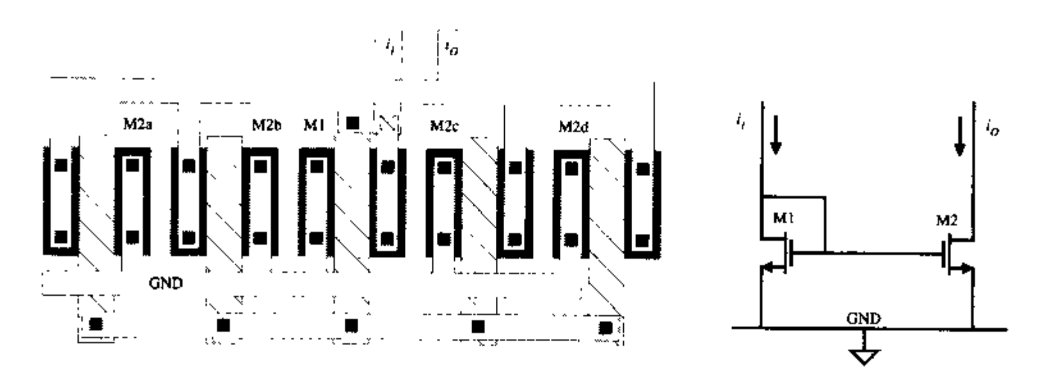


图 4.4-5　具有和同质心版图技术一样的ΔW 校正电流镜版图

解:

实际的 M1 和 M2 的宽度为:

$$W_1 = 5 \pm 0.05\ \mu\text{m}$$

和

$$W_2 = 4(5 \pm 0.05)\ \mu\text{m}$$

因此，W_2 与 W_1 的比例和电流放大器的增益为:

$$\frac{i_O}{i_I} = \frac{4(5 \pm 0.05)}{5 \pm 0.05} = 4$$

在上面的例子中，我们假设所有晶体管的ΔW 都是相等的。遗憾的是，事实并非如此。但是ΔW 匹配误差与其他误差相比是很小的。如果两个晶体管的宽度相等但是长度不等，上面关于宽度的讨论办法同样适用于长度。通常，人们并不尝试测量长度，因为由于多晶硅栅下的扩散（外扩散）效应，它的容差要比宽度容差大得多。

我们已经看到小信号输出电阻是电流镜或放大器性能的一个完美的量度。图 4.4-1 所示简单 n 沟道电流镜的输出电阻为:

$$r_{\text{out}} = \frac{1}{g_{ds}} \cong \frac{1}{\lambda I_D} \tag{4.4-15}$$

更高性能的电流镜将考虑增大 r_{out} 的值，式（4.4-15）是比较的基础。

至此，我们已经讨论了图4.4-1 所示的电流镜或电流放大器的改善和图形问题，但还有改进电流镜性能的方法．采用的原理与在 4.3 节中相同。图 4.4-6 所示的电流镜运用了共源共栅技术，可以减小由于输出和输入电压不同所引起的比例误差。

图 4.4-7 给出了图 4.4-6 的小信号等效模型。为了求出小信号输出电阻，设 $i_i = 0$。这使得小信号电压 v_1 和 v_3 为 0。所以，图4.4-7与例 4.3-1 电路完全等效。对图4.4-7采用恰当的下标，我们可以利用式（4.3-6）的结果写出:

$$r_{\text{out}} = r_{ds2} + r_{ds4} + g_{m4} r_{ds2} r_{ds4}(1 + \eta_4) \tag{4.4-16}$$

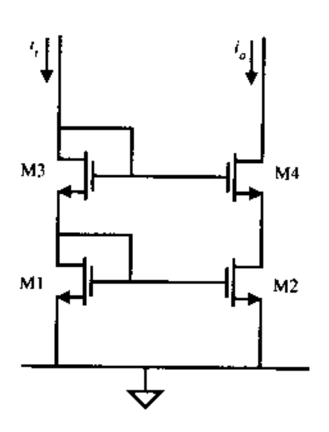


图 4.4-6 标准共源共栅电流漏

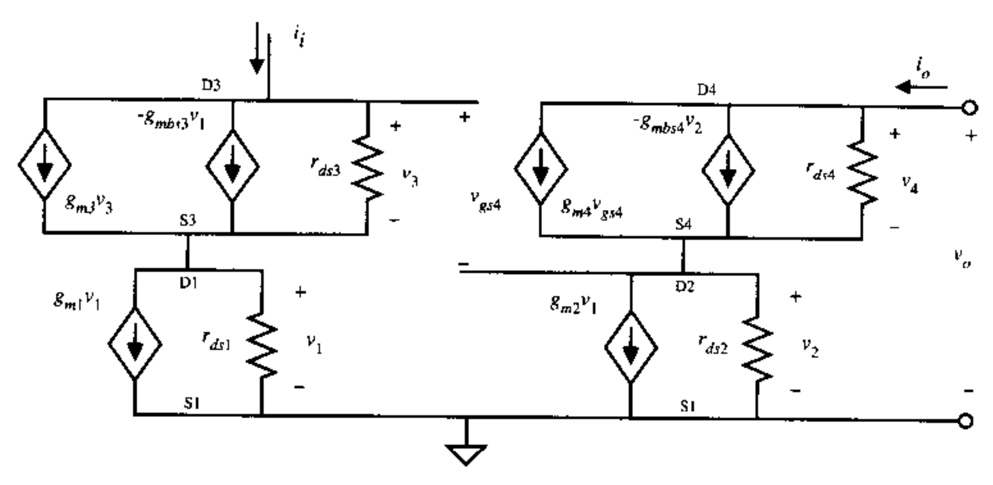


图 4.4-7 图 4.4-6 电路的小信号模型

从例 4.3-1 中我们已经看到该结构的小信号输出电阻比式（4.4-15）的简单电流镜要大得多。

图 4.4-8 给出了另一种电流镜，该电路是用 n 沟道实现的著名的威尔逊电流镜[6]。威尔逊电流镜的输出电阻通过采用电流负反馈得以增大。若 i_O 增大，则通过 M2 的电流也增大。然而，M1 和 M2 的镜像作用引起 M1 的电流增大。如果 i_I 恒定并且假设 M3 的栅极（M1 的漏极）到地有电阻，则 M3 的栅电压将随电流 i_O 增大而减小。其环路增益基本上就是 g_{m1} 和从 M1 的漏极到地看进去的小信号电阻的乘积。

图 4.4-8 所示威尔逊电流源的小信号输出电阻可以写成：

$$r_{\text{out}} = r_{ds3} + r_{ds2}\left(\frac{1 + r_{ds3}g_{m3}(1+\eta_3) + g_{m1}r_{ds1}g_{m3}r_{ds3}}{1 + g_{m2}r_{ds2}}\right) \tag{4.4-17}$$

可见，图 4.4-8 的输出电阻可以与图 4.4-6 的相比。

遗憾的是，为达到上述电流镜或放大器的性能要求，需要在输入和输出端有一个非零的电压。我们从大信号的观点考虑图4.4-6的共源共栅电流镜。在输入端这个电压用 V_I(最小)表示，取决于 i_I 的值。因为 M1 和 M3 的 $v_{DG}=0$，此两管始终饱和。所以，我们可以认为 V_I(最小)是：

$$V_I(\text{最小}) = \left(\frac{2i_I}{K'}\right)^{1/2}\left[\left(\frac{L_1}{W_1}\right)^{1/2} + \left(\frac{L_3}{W_3}\right)^{1/2}\right] + (V_{T1} + V_{T3}) \tag{4.4-18}$$

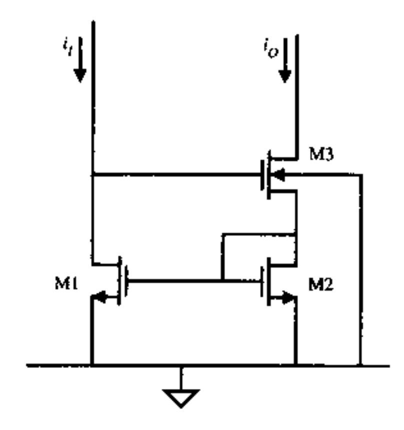


图4.4-8 威尔逊电流镜

可见，对于给定的 i_I，减小 V_I (最小)的惟一方法是增加M1和M3的宽长比 W/L。必须记住：由于M3的背栅作用，V_{T3} 会更大。本书在4.3节中用到的减小共源共栅电流漏/源输出的 V_{MIN} 的方法在这里不适用。

我们也对电压 V_{MIN} 感兴趣，在这里M4会从非饱和区向饱和区过渡。该电压可以从下列关系求得：

$$v_{DS4} \geq (v_{GS4} - V_{T4}) \tag{4.4-19}$$

或

$$v_{D4} \geq v_{G4} - V_{T4} \tag{4.4-20}$$

这是当M4导通时两区域之间的阈值。式（4.4-20）可以用于求出 V_{MIN} 的值：

$$V_{MIN} = V_I - V_{T4} = \left(\frac{2I_I}{K'}\right)^{1/2}\left[\left(\frac{L_1}{W_1}\right)^{1/2} + \left(\frac{L_3}{W_3}\right)^{1/2}\right] + (V_{T1} + V_{T3} - V_{T4}) \tag{4.4-21}$$

对于上面的电压 V_{MIN}，M4管工作在饱和区，输出电阻应由式（4.4-16）计算得出。由于M2的电压值比饱和时所必需的电压大，在4.3节中所提到的减小 V_{MIN} 的方法在这里可以使用。

类似的关系可以用在威尔逊电流镜或放大器中。如果M3饱和，则 V_I (最小)表示为：

$$V_I(\text{最小}) = \left(\frac{2I_O}{K'}\right)^{1/2}\left[\left(\frac{L_2}{W_2}\right)^{1/2} + \left(\frac{L_3}{W_3}\right)^{1/2}\right] + (V_{T2} + V_{T3}) \tag{4.4-22}$$

因为M3饱和，v_{OUT} 必须比下面给出的 v_{OUT} (饱和)要大：

$$V_{OUT}(\text{饱和}) = V_I - V_{T3} = \left(\frac{2I_O}{K'}\right)^{1/2}\left[\left(\frac{L_2}{W_2}\right)^{1/2} + \left(\frac{L_3}{W_3}\right)^{1/2}\right] + V_{T2} \tag{4.4-23}$$

可见，这两个电路至少需要 $2V_T$ 的输入才能达到上述性能。增大 W/L 比则会减小 V_I (最小)和 V_{OUT} (饱和)。

从另一个不同的观点可以形成威尔逊电流镜的一种改进方法。考虑图4.4-9中重画了的威尔逊电流镜。注意，从二极管连接方式的M2看进去的电阻是：

$$r_{M2} = \frac{r_{ds2}}{1 + g_{m2}r_{ds2}} \tag{4.4-24}$$

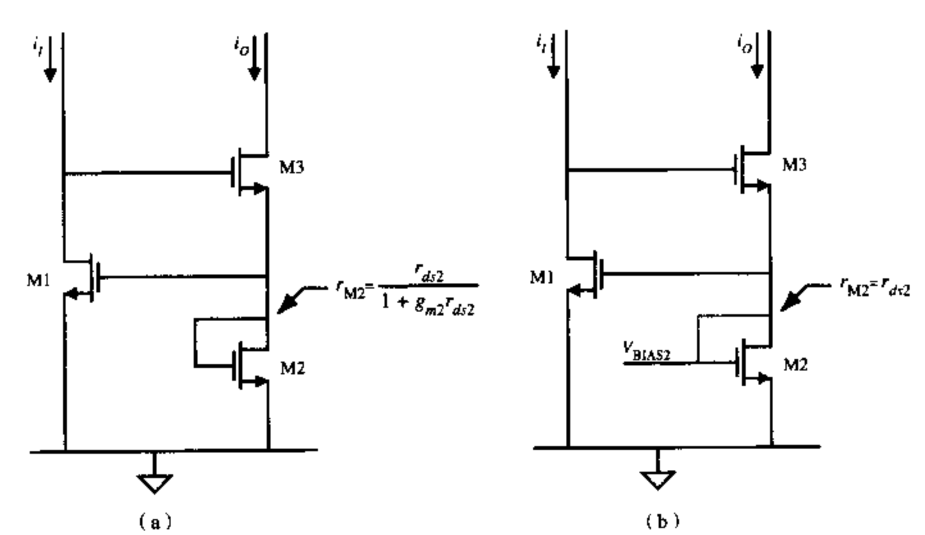


图 4.4-9 （a）重画的威尔逊电流镜；（b）增大 M2 的 r_{out} 的改进型威尔逊电流镜

若将 M2 的栅极接到一个偏置电压上，则 r_{M2} 变为：

$$r_{M2}=\frac{r_{ds2}}{1+g_{m2}r_{ds2}} \Rightarrow r_{M2}=r_{ds2} \tag{4.4-25}$$

r_{out} 的表示式成为：

$$r_{out}=r_{ds3}+r_{ds2}\left(\frac{1+r_{ds3}g_{m3}(1+\eta_3)+g_{m1}r_{ds1}g_{m3}r_{ds3}}{1}\right) \tag{4.4-26}$$

$$r_{out}\cong r_{ds2}g_{m1}r_{ds1}g_{m3}r_{ds3} \tag{4.4-27}$$

图 4.4-10 所示的这种新电流镜称做校准共源共栅电流镜[7]，它的输出电阻达到 $g_m^2 r_{ds}^3$ 数量级。

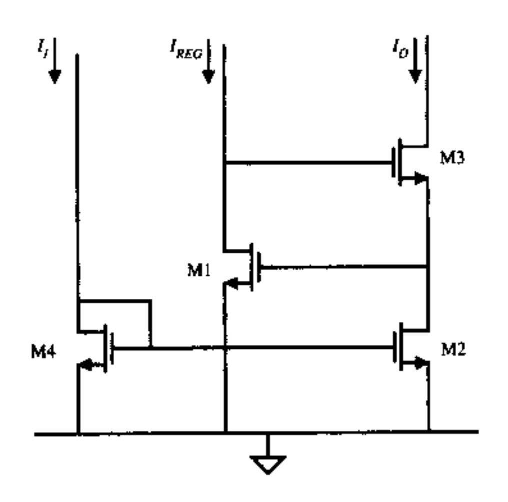


图 4.4-10 校准共源共栅电流镜

上述的每种电流镜都可以用 p 沟道管实现。电路以同样的方法工作，并具有相同的小信号输出电阻。n 沟道和 p 沟道电流镜的使用在 CMOS 电路的直流偏置中是有用的。

4.5　基准电流和电压

理想的基准电流或电压是与电源和温度变化无关的。模拟电路中的许多应用都要求具有提供稳定的电流和电压这样一个模块。图4.5-1所示为理想基准电流和电压的大信号伏安特性。这些特性与理想电流源和电压源是相同的。当电流和电压的值比在一般源中所要求的更精确和更稳定时，这些源就冠以“基准”的名称。典型的基准与连接到它的负载有关。一般总可以用缓冲放大器隔离基准和负载，保持基准的高性能。在下面的讨论中，假设高性能的基准电压可以生成高性能的基准电流，反之亦然。

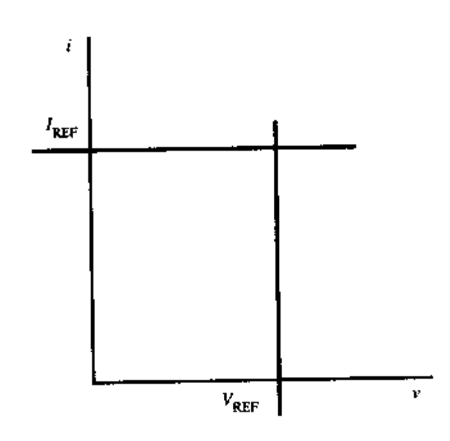


图 4.5-1　理想基准电流和电压的伏安特性曲线

一个最粗略的基准电压可以通过两个电源之间的分压器来实现。有源或无源元器件都可以用做分压器。图4.5-2各举了一个例子。遗憾的是，V_{REF}的值直接与电源成比例。让我们通过引入灵敏度 S 这个概念来量化这个关系。图4.5-2（a）中的 V_{REF}对 V_{DD}的灵敏度可以表示为：

$$S_{V_{DD}}^{V_{REF}} = \frac{(\partial V_{REF}/V_{REF})}{(\partial V_{DD}/V_{DD})} = \frac{V_{DD}}{V_{REF}}\left(\frac{\partial V_{REF}}{\partial V_{DD}}\right) \qquad (4.5\text{-}1)$$

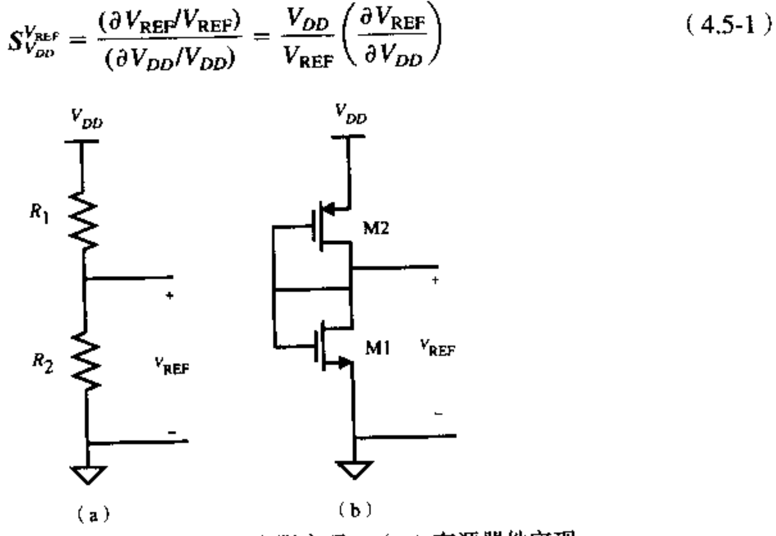


图 4.5-2　分压式基准电压。（a）电阻实现；（b）有源器件实现

式（4.5-1）可按如下方式解释：如果灵敏度是 1，那么电源电压 V_{DD}的 10%变化将引起基准电压

V_{REF}的 10%变化（作为基准电压这是不希望有的）。可以证明，图4.5-2（b）中V_{REF}相对于V_{DD}的灵敏度等于 1（见习题 4.5-1）。

获得更理想基准电压的简单方法是采用如图 4.5-3 所示的有源器件。在图 4.5-3（a）中，衬底 BJT 通过电阻 R 接至电源电压，pn 结电压为：



$$V_{\mathrm{REF}} = V_{EB} = \frac{kT}{q}\ln\left(\frac{I}{I_s}\right) \tag{4.5-2}$$

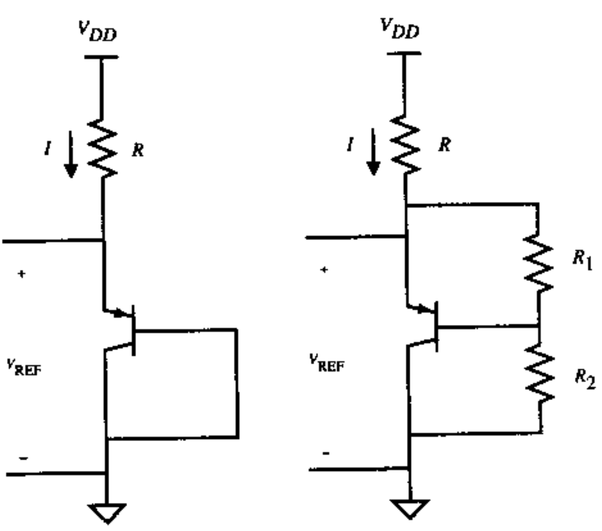


图 4.5-3 （a）pn 结基准电压；（b）增加（a）图的 V_{REF}

式中，I_s是式（2.5-4）定义的结反向饱和电流。如果 V_{DD}远大于 V_{EB}，则电流 I 应为：

$$I = \frac{V_{DD} - V_{EB}}{R} \cong \frac{V_{DD}}{R} \tag{4.5-3}$$

于是，该电路的基准电压为：

$$V_{\mathrm{REF}} \cong \frac{kT}{q}\ln\left(\frac{V_{DD}}{RI_s}\right) \tag{4.5-4}$$

图 4.5-3（a）中 V_{REF}对 V_{DD}的灵敏度则为：

$$S_{V_{DD}}^{V_{\mathrm{REF}}} = \frac{1}{\ln[V_{DD}/(RI_s)]} = \frac{1}{\ln(I/I_s)} \tag{4.5-5}$$

有意思的是，因为 I 通常都比 I_s要大得多，所以图4.5-3（a）中 V_{REF}的灵敏度远小于 1。例如，若 $I = 1$ mA，$I_s = 10^{-15}$ A，则由式（4.5-5）得到结果为 0.0362。于是，V_{DD}的 10%变化只会在 V_{REF}中引起 0.362%的变化。图 4.5-3（b）给出一个增大图 4.5-3（a）中 V_{REF}的方法。图 4.5-3（b）的基准电压可以写成：

$$V_{\mathrm{REF}} \cong V_{EB}\left(\frac{R_1 + R_2}{R_1}\right) \tag{4.5-6}$$

为了求出 V_{EB} 的值，有必要假设晶体管的 β_F（共发射极电流增益）很大和/或 R_1+R_2 很大。在图 4.5-3（b）中，V_{REF} 越大，电流 I 越成为 V_{REF} 的函数，最终需要采用迭代方法进行计算。

图 4.5-3（a）中的 BJT 可以用增强型 MOS 管替代，达到电压比图4.5-2（a）更少依赖 V_{DD} 的结果，电路如图 4.5-4（a）所示。V_{REF} 可以由式（4.2-2）求出，其中 V_{GS} 为：

$$V_{GS} = V_T + \sqrt{\frac{2I}{\beta}} \tag{4.5-7}$$

忽略沟道长度调制效应，V_{REF} 为：

$$V_{REF} = V_T - \frac{1}{\beta R} + \sqrt{\frac{2(V_{DD} - V_T)}{\beta R} + \frac{1}{\beta^2 R^2}} \tag{4.5-8}$$

若 $V_{DD}=5$ V，$W/L=2$，R 为100 kΩ，利用表 3.1-2 中的数值，得出基准电压为 1.281 V。可以求出图 4.5-4（a）的灵敏度为：

$$S_{V_{DD}}^{V_{REF}} = \left(\frac{1}{1 + \beta(V_{REF} - V_T)R}\right)\left(\frac{V_{DD}}{V_{REF}}\right) \tag{4.5-9}$$

用先前的值可得 V_{REF} 对 V_{DD} 的灵敏度值为 0.283。这个灵敏度不如 BJT 来得好，这是因为对数函数对其自变量的灵敏度小于平方根函数。采用图 4.5-3（b）中 BJT 基准电压的生成技术也可以增大图 4.5-4（a）中 V_{REF} 的值，如图 4.5-4（b）所示，基准电压为：



$$V_{REF} = V_{GS}\left(1 + \frac{R_2}{R_1}\right) \tag{4.5-10}$$

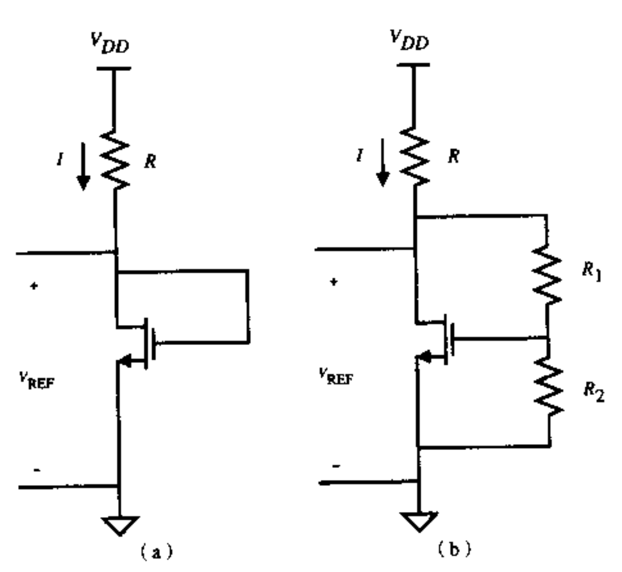


图 4.5-4　（a）pn 结基准电压的 MOS 等效；（b）增加（a）图中的 V_{REF}

图4.5-3 和图4.5-4 所示基准电压的类型中，设计者可以利用几何尺寸来调整 V_{REF} 的值。在 BJT 基准中，确定几何尺寸的参数是 I_s；在 MOS 管基准中则是 W/L。这些基准的小信号输出电阻可衡量其对负载的依赖程度（见习题 4.5-5）。

基准电压可以用 2.2 节中讨论过的反向偏置的重掺杂 pn 结发生击穿的情况加以实现。击穿二极管的符号和电流–电压特性如图 4.5-5 所示。反向击穿（对于反偏 v 和 i 的定义如图 4.5-5 所示）发生在电压为 BV 的时候。BV 变化范围为 6~8 V，取决于 n^+ 和 p^+ 区的掺杂浓度。曲线的拐点取决于材料的参数，并且会非常明显。在击穿区小信号输出电阻很小，典型值为30~100 Ω，使其成为很好的基准电压或电压源。击穿二极管的温度系数将会随着击穿电压 BV 的值变化，如图 4.5-6 所示。齐纳击穿的温度系数为负，而雪崩击穿的温度系数为正。典型的 CMOS 工艺的击穿电压大约为 6.5~7.5 V，其温度系数大约是+3 mV/℃

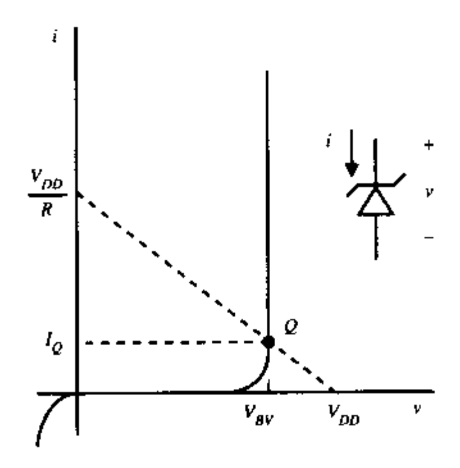


图 4.5-5 击穿二极管的 $I-V$ 特性曲线

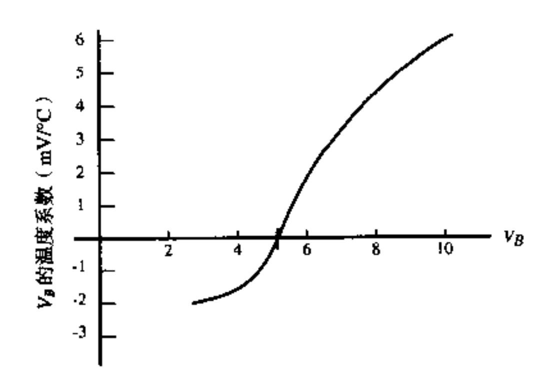


图 4.5-6 作为击穿电压 BV 函数的击穿二极管温度系数（引自 JohnWiley&Sons，Inc.）

击穿二极管可以通过与一个具有电压降的元件（电阻或有源器件）串联连接到 V_{DD} 或 V_{SS} 作为基准电压，其电路如图 4.5-7（a）所示。图 4.5-5 中的虚线负载线描述击穿二极管的基准电压工作方式。如果 V_{DD} 或 R 改变，BV 只会产生很小的变化，原因是击穿区的曲线非常陡峭。只需将图 4.5-7（a）电路中的击穿二极管用小信号模型代替，就可以求出击穿二极管基准电压的灵敏度。电阻 r_z 等于图 4.5-5 中 Q 点的斜率的倒数。V_{REF} 对 V_{DD} 的灵敏度可以表示为：

$$S_{V_{DD}}^{V_{REF}} = \left(\frac{\partial V_{REF}}{\partial V_{DD}}\right)\left(\frac{V_{DD}}{V_{REF}}\right) \cong \left(\frac{v_{ref}}{v_{dd}}\right)\left(\frac{V_{DD}}{BV}\right) = \left(\frac{r_z}{r_z + R}\right)\left(\frac{V_{DD}}{BV}\right) \tag{4.5-11}$$

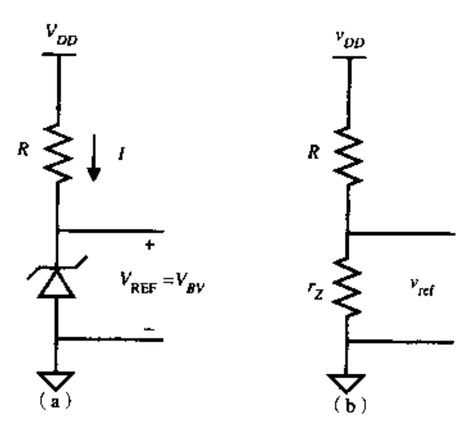


图 4.5-7　（a）击穿二极管基准电压；（b）（a）的小信号模型

假设 $V_{DD}=10\ \mathrm{V}$，$BV=6.5\ \mathrm{V}$，$r_z=100\ \Omega$，$R=35\ \mathrm{k\Omega}$，式（4.5-11）给出了击穿二极管基准电压的灵敏度是 0.0044。于是，V_{DD} 发生 10%的变化仅引起 0.044%的 V_{REF} 变化。其他运用击穿二极管的基准电压结构在习题中讨论。

在图 4.5-3（a）和图 4.5-4（a）中我们注意到：有源器件上的电压灵敏度小于 1。若通过有源器件上的电压产生电流，并设法采用该电流提供通过器件的初始电流，那么可以得到各种用途的、独立于 V_{DD} 的电流或电压。该技术称之为 V_T 基准源，也叫自举基准。图 4.5-8（a）所示的是采用全 MOS 管实现这个技术的一个实例。M3 和 M4 使得电流 I_1 和 I_2 相等。I_1 流经 M1 产生电压 V_{GS1}，I_2 流过 R 产生电压 I_2R。因为这两个电压连在一起，就确定出一个平衡点。图 4.5-8（b）说明了该平衡点的确定方法。在该曲线上，I_1 和 I_2 被看做是 V 的函数。这些曲线的交点定义为平衡点，用 Q 表示。描述这个平衡点的方程式为：

$$I_2R = v_{T1} + \left(\frac{2I_1L_1}{K'_NW_1}\right)^{1/2} \tag{4.5-12}$$

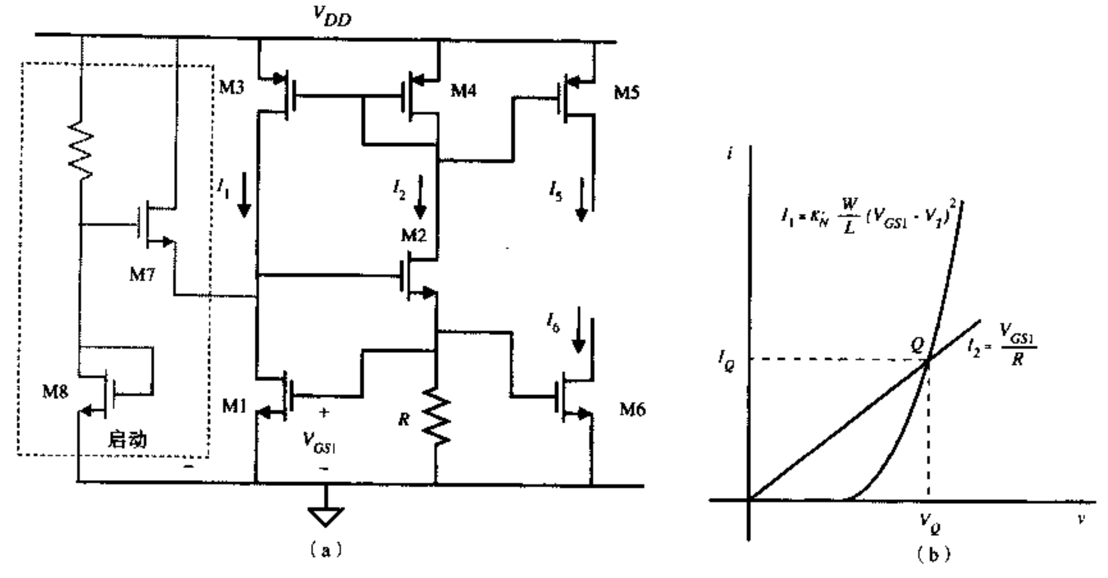


图 4.5-8　（a）阈值基准电路；（b）（a）的 I–V 特性，说明如何确定偏置点

因为 $I_1=I_2=I_Q$，可以解出（λ忽略不计）：

$$I_Q=I_2=\frac{V_{T1}}{R}+\frac{1}{\beta_1R^2}+\frac{1}{R}\sqrt{\frac{2V_{T1}}{\beta_1R}+\frac{1}{\beta_1^2R^2}} \tag{4.5-13}$$

首先，I_1 和 I_2 都不作为 V_{DD} 的函数而随其变化，于是 I_Q 对 V_{DD} 的灵敏度基本为零。通过 M5 或 M6 镜像 I_2（$=I_Q$）作用于一个电阻就得到一个基准电压。

不巧的是，图4.5-8（b）中有两个可能的平衡点。一个在 Q，而另一个则在原点。为了避免电路选择错误的平衡点，必须有一个启动电路。图4.5-8（a）中的虚线框内即为启动电路。如果电路处在不希望的平衡点，I_1 和 I_2 都等于 0。然而，M7 将提供 M1 电流使得电路工作转移到平衡点 Q。随着电路工作接近 Q 点，M7 的源极电压增加，使得 M7 的电流减小。在 Q 点，M1 的电流应与 M3 相等。

图 4.5-8（a）用 V_{BE} 作为基准电压或电流的另一种电路如图 4.5-9 所示。可以证明平衡点由下面的关系式确定：

$$I_2R=V_{BE1}=V_T\ln\left(\frac{I_1}{I_s}\right) \tag{4.5-14}$$

该基准电路也有两个平衡点，并且也需要与图 4.5-8（a）类似的启动电路。图 4.5-8（a）和图 4.5-9 的基准电路描述了实现独立电源基准的一个很好的方法。两个电路都可以工作在亚阈反型区，从而构成低功耗、低电源电压的基准。

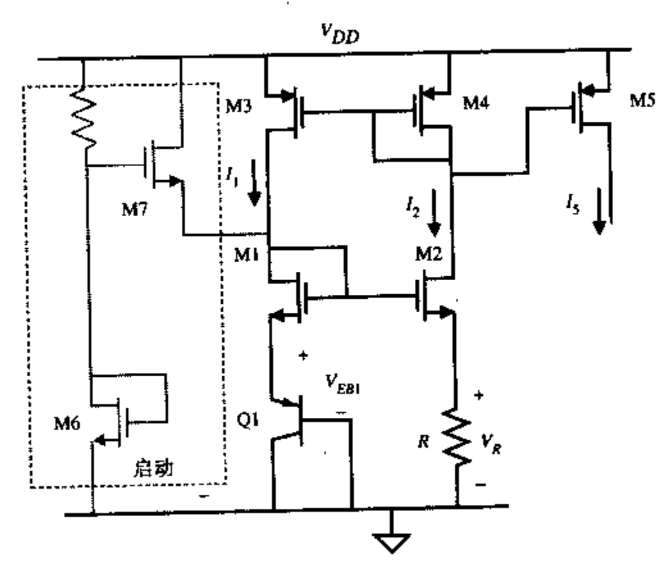


图 4.5-9 基于发射极电压的基准电路

遗憾的是，独立电源基准也不一定会与温度无关，因为如在 2.5 节中所述，pn 结和栅-源电压都与温度相关。式（2.5-7）定义的分式温度系数（TC_F）的概念将被用于描述基准电压和电流对温度的依赖性。可见，TC_F 与式（4.5-1）定义的灵敏度有关：

$$TC_F=\frac{1}{T}\left(S_T^X\right) \tag{4.5-15}$$

其中，$X=V_{REF}$ 或 I_{REF}。现在让我们考虑图 4.5-3（a）中 pn 结的简单温度特性。如果我们假设 V_{DD}

远大于 V_{REF}，那么式（4.5-4）就给出基准电压。虽然 V_{DD} 与温度无关，但 R 不是与温度无关，必须考虑。该基准电压的分式温度系数可以用式（2.5-17）的结果表示为：

$$TC_F = \frac{1}{V_{REF}}\frac{dV_{REF}}{dT} \cong \frac{V_{REF}-V_{G0}}{V_{REF}T} - \frac{3k}{V_{REF}q} - \frac{kT}{V_{REF}q}\left(\frac{dR}{RdT}\right) \quad (4.5\text{-}16)$$

若 $v_E = V_{REF}$，假设室温下 V_{REF} 为 0.6 V，则简单 pn 结基准电压的 TC_F 约为−2500 ppm/℃。

图 4.5-4（a）是简单 pn 结基准的 MOS 等效电路，其 V_{REF} 的温度依赖性可以写为：

$$\frac{dV_{REF}}{dT} = \frac{-\alpha + \sqrt{\frac{V_{DD}-V_{REF}}{2\beta R}}\left(\frac{1.5}{T} - \frac{1}{R}\frac{dR}{dT}\right)}{1 + \frac{1}{\sqrt{2\beta R\,(V_{DD}-V_{REF})}}} \quad (4.5\text{-}17)$$

例 4.5-1 阈值电压基准电路的计算

计算图 4.5-4（a）中电路的温度系数，图中，$W/L = 2$，$V_{DD} = 5$ V，$R = 100$ kΩ，采用表 3.1-2 中的参数。R 是多晶硅电阻，温度系数为 1500 ppm/℃。

解：

利用式（4.5-8）：

$$V_{REF} = V_T - \frac{1}{\beta_R} + \sqrt{\frac{2(V_{DD}-V_T)}{\beta R} + \frac{1}{\beta^2 R^2}}$$

$$\beta R = 220 \times 10^{-6} \times 10^5 = 22$$

$$V_{REF} = 0.7 - \frac{1}{22} + \sqrt{\frac{2(5-0.7)}{22} + \left(\frac{1}{22}\right)^2}$$

$$V_{REF} = 1.281$$

$$\frac{1}{R}\frac{dR}{dT} = 1500\ \text{ppm}/°C$$

$$\frac{dV_{REF}}{dT} = \frac{-\alpha + \sqrt{\frac{V_{DD}-V_{REF}}{2\beta R}}\left(\frac{1.5}{T} - \frac{1}{R}\frac{dR}{dT}\right)}{1 + \frac{1}{\sqrt{2\beta R\,(V_{DD}-V_{REF})}}}$$

$$\frac{dV_{REF}}{dT} = \frac{-2.3 \times 10^{-3} + \sqrt{\frac{5-1.281}{2(22)}}\left(\frac{1.5}{300} - 1500 \times 10^{-6}\right)}{1 + \frac{1}{\sqrt{2(22)(5-1.281)}}}$$

$$\frac{dV_{REF}}{dT} = -1.189 \times 10^{-3}\ \text{V/°C}$$

分式温度系数为：

$$TC_F = \frac{1}{V_{\text{REF}}} \frac{dV_{\text{REF}}}{dT}$$

举个例子：

$$TC_F = -1.189 \times 10^{-3} \left(\frac{1}{1.281}\right) {}^{\circ}C^{-1} = -928 \text{ ppm/°C}$$

遗憾的是，该例中的 TC_F 是不实用的，因为 α 值和电阻的 TC_F 并不是精确的。

击穿二极管的温度特性如图4.5-6所示。击穿二极管典型的温度系数是正的。如果击穿二极管能够与适当的负温度系数配合，得到与温度无关的可能性是存在的。可惜，温度系数取决于工艺参数，很难准确给出，故该方法不具有吸引力。

图4.5-8（a）的自举基准电路的电流 I_2 由式（4.5-13）给出。如果 R 和 β 的乘积较大，自举基准电路的 TC_F 近似为：

$$TC_F = \frac{1}{V_T} \frac{dV_T}{dT} - \frac{1}{R} \frac{dR}{dT} = \frac{-\alpha}{V_T} - \frac{1}{R} \frac{dR}{dT} \tag{4.5-18}$$

例 4.5-2　自举基准电路的计算

计算图 4.5-8（a）中电路的温度系数，图中 $(W/L)_1 = 20$，$V_{DD} = 5$ V，$R = 100$ kΩ，用表 3.1-2 中的参数。R 是多晶硅电阻，温度系数为 1500 ppm/℃，$\alpha = 2.3 \times 10^{-3}$ V/℃。

解：

利用式（4.5-13）：

$$I_Q = I_2 = \frac{V_{T1}}{R} + \frac{1}{\beta_1 R^2} + \frac{1}{R}\sqrt{\frac{2V_{T1}}{\beta_1 R} + \frac{1}{\beta_1^2 R^2}}$$

$$\beta_1 R = 220 \times 10^{-5} \times 10^5 = 220$$

$$\beta_1 R^2 = 220 \times 10^{-5} \times 10^{10} = 22 \times 10^6$$

$$I_Q = \frac{0.7}{10^5} - \frac{1}{22 \times 10^6} + \frac{1}{10^5}\sqrt{\frac{2 \times 0.7}{220} + \left(\frac{1}{220}\right)^2}$$

$$I_Q = 7.75\ \mu\text{A}$$

$$\frac{1}{R}\frac{dR}{dT} = 1500 \text{ ppm/°C}$$

$$TC_F = \frac{-2.3 \times 10^{-3}}{0.7} - 1500 \times 10^{-6}\ {}^{\circ}\text{C}^{-1} = -4.79 \times 10^{-3}\ {}^{\circ}\text{C}^{-1} = -4790 \text{ ppm/°C}$$

图 4.5-9 的基于发射极电压的基准电路的温度性能类似于图 4.5-8（a）的阈值基准电路。式（4.5-14）说明 I_2 等于 V_{BE1} 除以 R。于是，在上面这个表示基准的 TC_F 表达式（4.5-18）中用 V_{BE} 取代 V_T 得：

$$TC_F = \frac{1}{V_{BE}}\frac{dV_{BE}}{dT} - \frac{1}{R}\frac{dR}{dT} \tag{4.5-19}$$

假设 V_{BE} 为 0.6 V，可得 TC_F 等于−2333 ppm/℃。

本节所讨论的基准电压和电流能够在考虑电源和温度变化的情况下提供稳定的电流。可以看到，获得不依赖电源的独立基准的同时不能得到令人满意的温度性能。为了表述这个结论，考虑一个要求 8 位精度的基准电压。要在 100℃以上的变化范围内维持此精度度，就要求基准的 TC_F 为 1/（256×100℃）或 39 ppm/℃。

4.6　带隙基准

在这一节中我们将介绍一种几乎不依赖于温度和电源的基准技术。带隙基准[8~12]可以在 0~70 ℃的温度范围内有 10 ppm/℃的温度系数。图 4.6-1 给出了带隙基准的原理。由室温下温度系数为−2.2 mV/℃的 pn 结二极管产生电压 V_{BE}。同时也产生一个热电压 V_t (= kT/q)，其与绝对温度（PTAT）成正比，室温下的温度系数为+0.085 m V/℃。如果电压 V_t 乘以常量 K 加上电压 V_{BE}，则输出电压为：

$$V_{REF} = V_{BE} + KV_t \tag{4.6-1}$$

将式（4.6-1）对温度求导，用 V_{BE} 和 V_t 的温度系数求出理论上不依赖于温度的 K 值。为了达到所希望的性能，更详细地分析 V_{BE} 与温度的关系是必需的。因为 V_{BE} 与电源几乎无关（如 4.5 节中的自举基准），所以带隙基准与电源电压几乎无关。

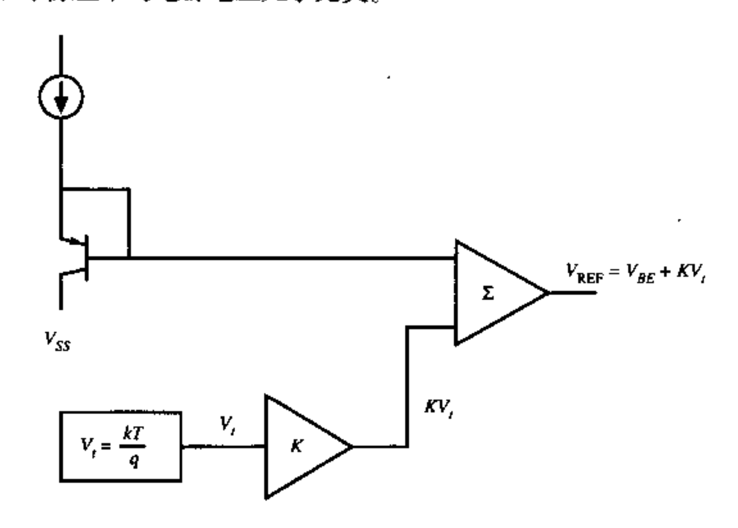


图 4.6-1　带隙基准的一般原理

为了完全理解带隙基准工作原理，首先必须了解 V_{BE} 对温度的依赖。考虑在双极型晶体管中集电极电流密度的关系：

$$J_C = \frac{qD_n n_{po}}{W_B}\exp\left(\frac{V_{BE}}{V_t}\right) \tag{4.6-2}$$

其中：

J_C = 集电极电流密度(A/m^2)

n_{po} = 基区电子平衡浓度

D_n = 电子的平均扩散常数

W_B = 基区宽度

平衡浓度可以表示为：

$$n_{po} = \frac{n_i^2}{N_A} \tag{4.6-3}$$

其中：

$$n_i^2 = DT^3 \exp(-V_{G0}/V_t) \tag{4.6-4}$$

D 是与温度无关的常数，V_{G0}是带隙电压（1.205 V）。将式（4.6-2）至式（4.6-4）联立，就得到下面集电极电流密度的方程式：

$$J_C = \frac{q\,D_n}{N_A W_B} DT^3 \exp\left(\frac{V_{BE} - V_{G0}}{V_t}\right) \tag{4.6-5}$$

$$= AT^{\gamma} \exp\left(\frac{V_{BE} - V_{G0}}{V_t}\right) \tag{4.6-6}$$

在式（4.6-6）中，式（4.6-5）中与温度不相关的常数合并成单一的常数 A。由于 D_n 依赖于温度，温度系数 γ 稍微偏离 3。

由式（4.6-6）V_{BE} 的关系可以进一步表示为：

$$V_{BE} = \frac{kT}{q} \ln\left(\frac{J_C}{AT^{\gamma}}\right) + V_{G0} \tag{4.6-7}$$

现在考虑温度 T_0 时的 J_C：

$$J_{C0} = AT_0^{\gamma} \exp\left[\frac{q}{kT_0}(V_{BE0} - V_{G0})\right] \tag{4.6-8}$$

J_C 与 J_{C0} 的比为：

$$\frac{J_C}{J_{C0}} = \left(\frac{T}{T_0}\right)^{\gamma} \exp\left[\frac{q}{k}\left(\frac{V_{BE} - V_{G0}}{T} - \frac{V_{BE0} - V_{G0}}{T_0}\right)\right] \tag{4.6-9}$$

整理式（4.6-9）可得 V_{BE}：

$$V_{BE} = V_{G0}\left(1 - \frac{T}{T_0}\right) + V_{BE0}\left(\frac{T}{T_0}\right) + \frac{\gamma kT}{q} \ln\left(\frac{T_0}{T}\right) + \frac{kT}{q} \ln\left(\frac{J_C}{J_{C0}}\right) \tag{4.6-10}$$

在 T_0 处推导式（4.6-10）与温度的关系（设 J_C 与温度的关系为 T^{α}），V_{BE} 与温度的关系显然为：

$$\left.\frac{\partial V_{BE}}{\partial T}\right|_{T=T_0} = \frac{V_{BE} - V_{G0}}{T_0} + (\alpha - \gamma)\left(\frac{k}{q}\right) \tag{4.6-11}$$

300 K 时，V_{BE} 关于温度的变化约为−2.2 mV/℃。于是我们可以推导图 4.6-1 中 V_{BE} 的恰当关系。现在，进一步研究两个具有不同电流密度的双极型晶体管 ΔV_{BE} 的关系。用式（4.6-7）所给的关系，ΔV_{BE} 的关系可以给出为：

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{kT}{q}\ln\left(\frac{J_{C1}}{J_{C2}}\right) \tag{4.6-12}$$

因此：

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{V_t}{T}\ln\left(\frac{J_{C1}}{J_{C2}}\right) \tag{4.6-13}$$

为了在 T_0 时达到零温度系数，式（4.6-11）和式（4.6-13）中给出的 V_{BE} 和 ΔV_{BE} 的变量加起来必须为零。在数学上表述为：

$$0 = K''\left(\frac{V_{t0}}{T_0}\right)\ln\left(\frac{J_{C1}}{J_{C2}}\right) + \frac{V_{BE0} - V_{G0}}{T_0} + \frac{(\alpha - \gamma)V_{t0}}{T_0} \tag{4.6-14}$$

其中，K'' 是通过调节可使式（4.6-14）成立的电路常数。定义 $K = K''\ \ln[J_{c1}/J_{c2}]$，代入式（4.6-14）得到：

$$0 = K\left(\frac{V_{t0}}{T_0}\right) + \frac{V_{BE0} - V_{G0}}{T_0} + \frac{(\alpha - \gamma)V_{t0}}{T_0} \tag{4.6-15}$$

解得 K 为：

$$K = \frac{V_{G0} - V_{BE0} + (\gamma - \alpha)V_{t0}}{V_{t0}} \tag{4.6-16}$$

由于 K 由设计者控制，所以可以得到零温度系数。重新整理式（4.6-16）得：

$$KV_{t0} = V_{G0} - V_{BE0} + V_{t0}(\gamma - \alpha) \tag{4.6-17}$$

注意，式（4.6-17）中的 K 和式（4.6-1）中的是一样的，它们都是要求达到零温度系数的常数。把式（4.6-17）代入式（4.6-1）就得到：

$$V_{\mathrm{REF}}\Big|_{T=T_0} = V_{G0} + V_{t0}(\gamma - \alpha) \tag{4.6-18}$$

在 300 K 时，对于典型值 $\gamma = 3.2$、$\alpha = 1$、$V_{\mathrm{REF}} = 1.262$，图 4.6-2 给出了一组典型的基准电压作为 T 的函数在不同 T_0 值下的关系。

图 4.6-3 所示为传统的 n 阱工艺 CMOS 带隙基准。另外，理想运算放大器的输入失调电压（V_{OS}）已经包含在电路中。假设晶体管 Q_1 和 Q_2 分别有发射区–基区面积 A_{E1} 和 A_{E2}，同时假设 V_{OS} 为零，那么 R_1 上的电压为：

$$V_{R1} = V_{EB2} - V_{EB1} = V_t\ln\left(\frac{J_2}{J_{S2}}\right) - V_t\ln\left(\frac{J_1}{J_{S2}}\right) = V_t\ln\left(\frac{I_2A_{E1}}{I_1A_{E2}}\right) \tag{4.6-19}$$

然而，运算放大器也迫使下述关系成立：

$$I_1R_2 = I_2R_3 \tag{4.6-20}$$

图 4.6-3 的基准电压可以写成：

$$V_{\mathrm{REF}} = V_{EB2} + I_2R_3 = V_{BE2} + V_{R1}\left(\frac{R_2}{R_1}\right) \tag{4.6-21}$$

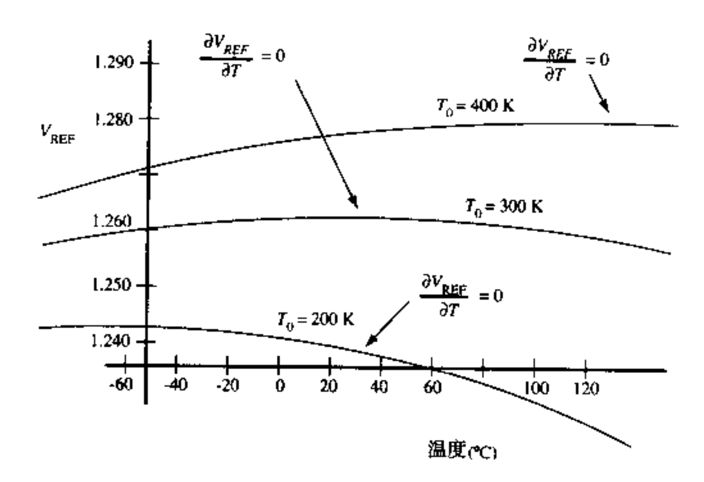


图 4.6-2 带隙基准输出随温度的变化关系（版权所有，©1993，John Wiley and Sons, Inc.）

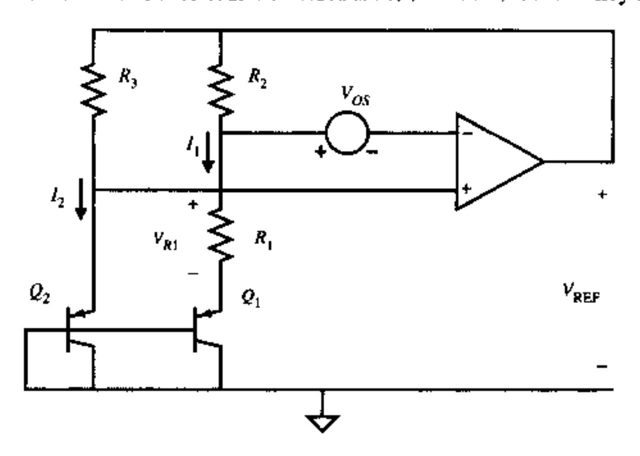


图 4.6-3 一个传统的带隙基准

将式（4.6-20）代入式（4.6-19），并将结果代入式（4.6-21）得：

$$V_{REF}=V_{EB2}+\left(\frac{R_2}{R_1}\right)V_t\ln\left(\frac{R_2A_{E1}}{R_3A_{E2}}\right) \tag{4.6-22}$$

比较式（4.6-22）和式（4.6-1），定义常数 K 为：

$$K=\left(\frac{R_2}{R_1}\right)\ln\left(\frac{R_2A_{E1}}{R_3A_{E2}}\right) \tag{4.6-23}$$

于是常数 K 以电阻和发射区-基区面积之比定义。如果输入失调电压不是零，那么可以证明，式（4.6-22）变为：

$$V_{REF}=V_{EB2}-\left(1+\frac{R_2}{R_1}\right)V_{OS}+\frac{R_2}{R_1}V_t\ln\left[\frac{R_2A_{E1}}{R_2A_{E2}}\left(1-\frac{V_{OS}}{I_1R_2}\right)\right] \tag{4.6-24}$$

显然，运算放大器的输入失调电压应该很小而且与温度无关才不会使 V_{REF} 的性能恶化。习题 4.6-1 探讨了减小失调电压作用的一种方法。

现在我们讨论 V_{REF} 与电源电压的关系。式（4.6-24）中，可能与电源有关的参数只是 V_{EB2}、V_{OS} 和 I_1。因为 V_{EB2} 和 I_1 是由 V_{REF} 产生的，V_{REF} 依赖电源的惟一的方法是通过运算放大器有限的

电源抑制比（PSRR）（以变量 V_{OS} 表示）。如果运算放大器的 PSRR 很大，那么图 4.6-3 就成为可应用于各种场合、独立于电源和温度的基准。

例 4.6-1 带隙基准电压的设计

设 $A_{E1}=10\ A_{E2}$，$V_{EB2}=0.7\ \text{V}$，$R_2=R_3$，室温下 $V_t=0.026\ \text{V}$。求室温下能达到零温度系数的 R_2/R_1。

解：

利用式（4.6-1）中的 V_{EB2} 和 V_t 的值，并假设 $V_{REF}=1.262\ \text{V}$，$K=21.62$。式（4.6-23）给出 $R_2/R_1=9.39$。为了使用式（4.6-24），我们必须知道 V_{REF} 的近似值，有必要的话可能还需要迭代求出。假设 V_{REF} 为 1.262，由式（4.6-24）得到一个新值 $V_{REF}=1.153\ \text{V}$。第二次迭代与结果差别不大，因为 V_{REF} 是对数关系。

图 4.6-3 的传统带隙基准与温度的关系是能够达到 100 ppm/℃左右的温度系数的。可惜，为了达到10 ppm/℃的性能，还有一些重要的二阶效应必须考虑[3]。其一是我们已经知道的运算放大器输入失调电压 V_{OS}。从式（4.6-24）中已经看到 V_{OS} 的幅度在基准电路的输出中可能会引起多大的误差。此外，V_{OS} 本身也是温度的函数，会进一步引起对理想性能的偏离。另一个误差源是电阻的温度系数。其他还有 Q_1、Q_2 的 β 失配以及有限基区电阻的失配。另一个复杂的因素是在一个很宽的温度范围内硅带隙电压是温度的函数。采用一个补偿 V_{G0} 曲率和抵消 V_{OS}、β（双极型管的电流增益）失配以及基区电阻失配的方案，可以将基准电路的温度系数在 0~70℃范围内减小到 13 ppm/℃。

假设希望得到一个与温度无关的电流。为达到这一目的，首先要做的是使电阻上的电压为带隙电压，于是产生 V_{BE}/R 的电流。这种方法的明显问题是缺乏与温度无关的电阻！为了得到一个接近与温度无关的电流源的答案在于承认本章所讨论的带隙基准电压不是完全如图 4.6-2 所示那样与温度无关。事实上，在一定温度（T_0），设计电路能够得到正的或负的温度系数，因此温度系数可以是正的，也可以是负的。通过调整电路温度特性线的斜率（就像电阻一样）就可以得到一个接近零的温度系数的电路。式（4.6-25）说明了图 4.6-4 所示电路达到接近零温度系数的等价关系。

$$\frac{\partial R_4}{\partial T}=K''\left(\frac{V_{t0}}{T_0}\right)\ln\left(\frac{J_{C1}}{J_{C2}}\right)+\frac{V_{BE0}-V_{G0}}{T_0}+\frac{(\alpha-\gamma)V_{t0}}{T_0} \tag{4.6-25}$$

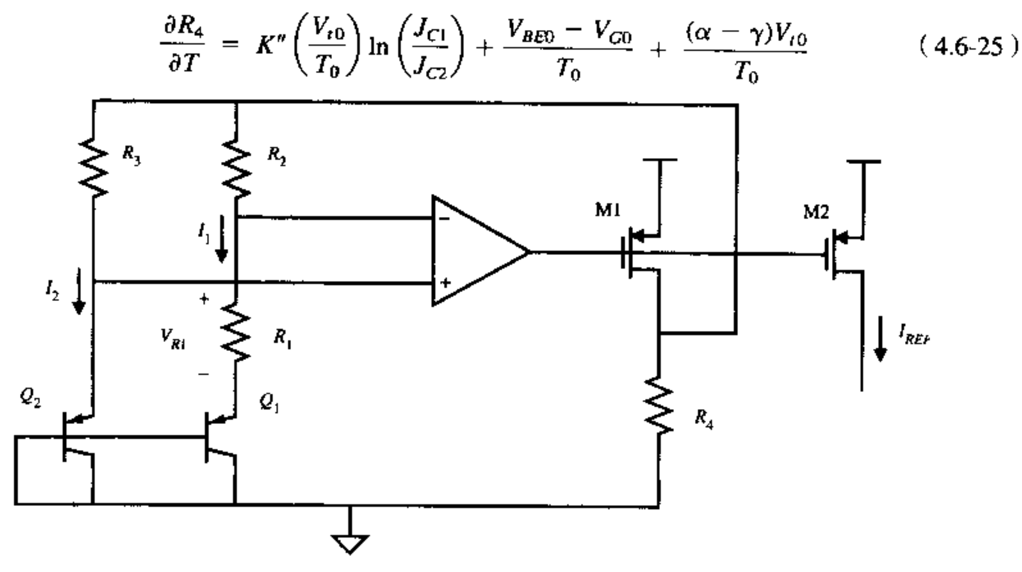


图 4.6-4 与温度无关的基准电流

虽然还有其他技术已经被用来发展独立于电源和温度的基准，目前性能最好的还是带隙电路。本节我们已经用带隙概念改善了基准的精度。由于对精度要求的不断提高，设计者有必要开始考虑二阶效应，有时还包括平时可能忽略的三阶效应。这些高阶效应要求设计者熟悉 MOS 器件的物理和工作过程。

4.7 小结

本章介绍了CMOS 子电路，包括开关、有源电阻、电流漏/源、电流镜或电流放大器，还有基准电流和电压。各电路的基本原理都已经包括它们的大信号和小信号性能。记住，本章所讨论的电路几乎不能单独使用，它们通常都要和其他电路一起实现所需的模拟功能。

在各种情况中所用的方法都旨在供读者对电路及其工作原理有一般性的理解。接下来介绍了大信号性能分析，典型的是电压传递函数或电压-电流特性。确定和描述了对信号摆幅的限制或非线性。然后介绍了小信号性能的分析。小信号性能的重要参数包括交流电阻、电压增益和带宽。

本章介绍的知识在下一章中还要继续加以讨论和进一步扩展。很好地理解本章和下一章所讨论的电路将为以后各章和相关学科材料的学习打下基础。

习题

4.1-1 用 SPICE 给 $W/L = 10/1$ 的管子做一组与图 4.1-3 类似的伏-安特性曲线。采用表 3.1-2 的模型参数。

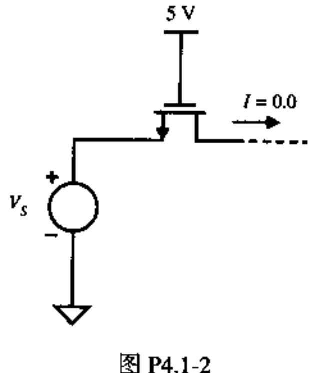


图 P4.1-2

4.1-2 电路如图 P4.1-2 所示，一个单沟道 MOS 电阻，W/L 为 2 μm /1 μm。用表 3.1-2 的模型参数计算不同 V_S 值时 MOS 管的小信号导通电阻，并填在下表中。

V_S (V)	R (Ω)
0.0	
1.0	
2.0	
3.0	
4.0	
5.0	

4.1-3 电路如图 P4.1-3 所示，一个单沟道 MOS 电阻，W/L 为 4 μm/1μm。用表 3.1-2 的模型参数计算不同 V_S 值时 MOS 管的小信号导通电阻并填在下表中。注意，正电源电压为 5 V。

V_S (V)	R (Ω)
0.0	
1.0	
2.0	
3.0	
4.0	
5.0	

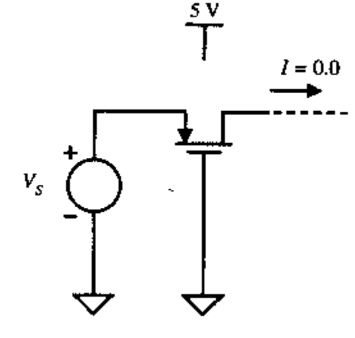


图 P4.1-3

4.1-4　电路如图 P4.1-4 所示，一个互补 MOS 电阻，其 n 沟道 W/L 为 2 μm/1 μm，p 沟道 W/L 为 4 μm/1 μm。用表 3.1-2 的模型参数，计算不同 V_S 值时 MOS 管的小信号导通电阻并填在下表中。注意正电源电压为 5 V。

V_S（V）	R（Ω）
0.0	
1.0	
2.0	
3.0	
4.0	
5.0	

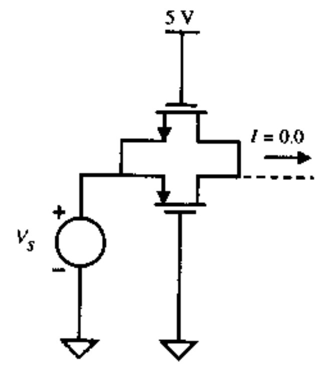


图 P4.1-4

4.1-5　在图 P4.1-5（a）的电路中，假设不考虑 M1 的寄生电容，v_{in} 是小信号交流电压源，V_{DC} 是 3 V 的直流电压源，设计 M1，使其能达到图 P4.1-5（b）的渐进频率响应曲线。

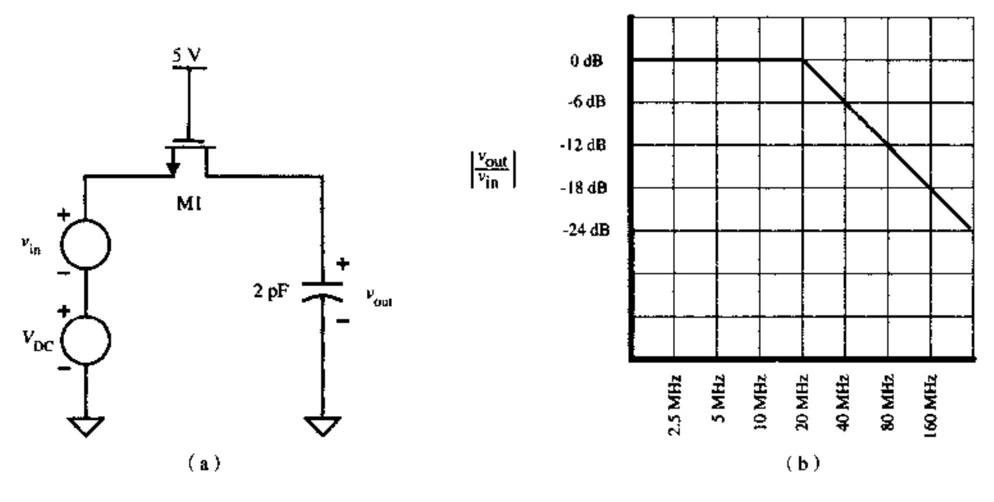


图 P4.1-5

4.1-6　利用习题 4.1-5 的结果，计算 M1 的栅极电压改为 4.5 V 时的频率响应。画出频响结果的波特图。

4.1-7　在图 P4.1-7 所示电路中，已知管子的 $L = 1.0$ μm，$W = 5.0$ μm，CGSO 和 CGDO 都为 5 fF，必须考虑体效应，电路中 $C_1 = 30$ fF。假设电荷注入的慢状态是有效的，初始状态下 C_1 上的电荷为零。计算在脉冲 ϕ_1 后 t_1 时刻的 v_{out}。

4.1-8　在习题 4.1-7 中，为使 C_1 充电电压上升到期望终值（2.0 V）的 99%，ϕ_1 必须维持多长时间的高电平？

4.1-9　在习题 4.1-7 中，电荷馈通可以由减小 M1 管的尺寸而减小。试问减少 M1 的尺寸（W/L）会对脉冲 ϕ_1 宽度的要求产生什么影响？

4.1-10　仅考虑慢状态电荷馈通，脉冲 ϕ_1 幅度的减小将会影响馈通的结果吗？减小脉冲幅度又会对电压传输的精度有什么影响？

4.1-11　用下列条件重做例 4.1-1。计算图 4.1-9 所示电路中电荷馈通的影响。设 $V_S = 1.5$ V，$C_L =$

150 fF，$W/L = 1.6\ \mu m/0.8\ \mu m$。情况 1 和情况 2 的下降时间分别为 0.1 ns 和 8 ns。

4.1-12 在图 P4.1-12 所示的电路中设计了电荷抵消电路，计算 M2 的尺寸以得到最小化电荷馈通效应。假设为慢状态。

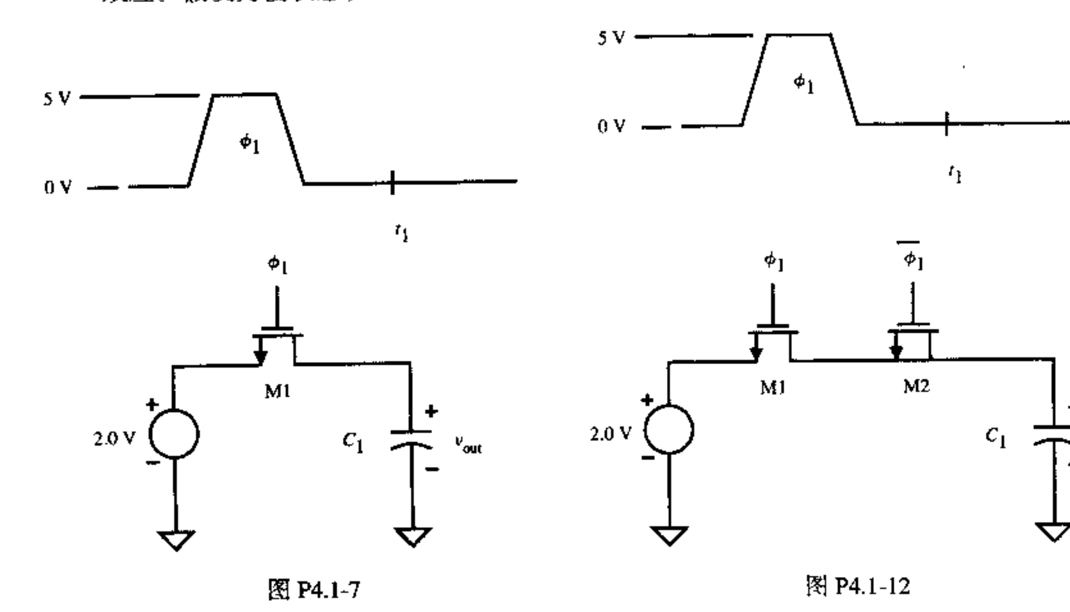


图 P4.1-7　　图 P4.1-12

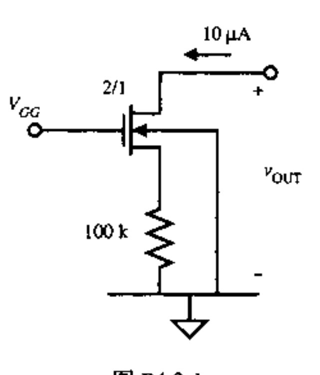


图 P4.3-1

4.3-1 源极负反馈电流源电路如图P4.3-1所示，采用表 3.1-2 的模型参数，计算该电路在给定电流偏置下的输出电阻。

4.3-2 在习题 4.3-1 中，计算能够维持管子饱和的最小输出电压。

4.3-3 用图 P4.3-3 所示的共源共栅电路，计算 M1 的 W/L 使其达到具有与图 P4.3-1 电路同样的输出电阻。

4.3-4 在习题 4.3-3 中，计算维持管子饱和的最小输出电压，并与题 4.3-2 的结果比较。试问多数情况下哪个电路更好？

4.3-5 电路如图 P4.3-5 所示，设 i_{OUT} 实际值为 10 μA，计算所有器件都在饱和区时的输出电阻和最小输出电压。用 SPICE LEVEL 3 模型（见表 3.4-1）仿真电路并确定实际输出电流 i_{OUT}，管子的模型信息采用表 3.1-2 中的参数。

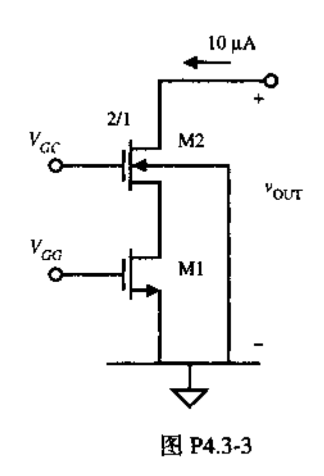


图 P4.3-3

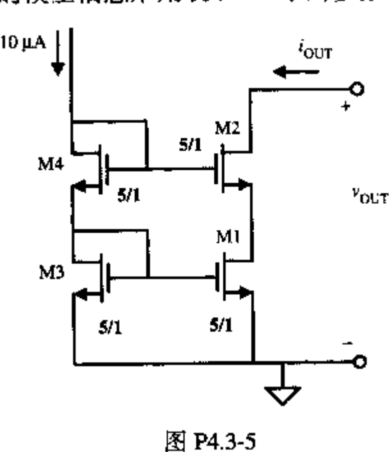


图 P4.3-5

4.3-6 电路如图P4.3-6所示，设 i_{OUT} 实际值为10 μA，计算所有器件都在饱和区时的输出电阻和最小输出电压。用SPICE LEVEL 3模型（见表3.4-1）仿真电路并确定实际输出电流 i_{OUT}，管子的模型信息采用表3.1-2中的参数。

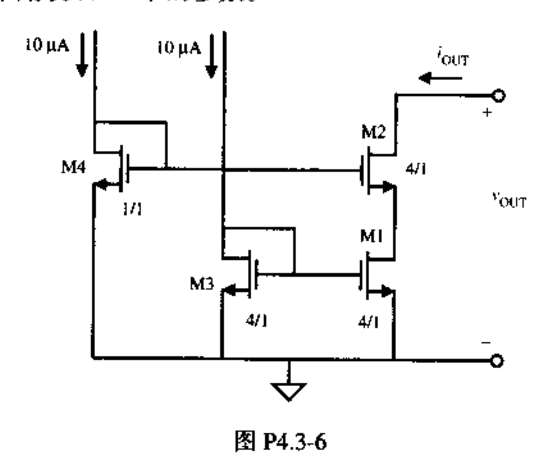


图 P4.3-6

4.3-7 电路如图P4.3-7所示，设计图中的M3和M4使其输出特性与图P4.3-6电路相同，i_{OUT} 应为理想的10 μA。

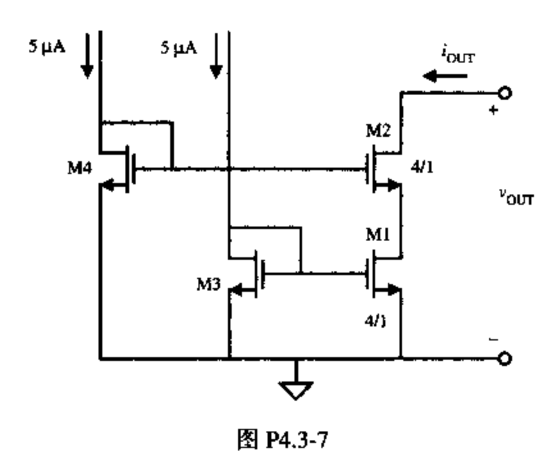


图 P4.3-7

4.3-8 电路如图P4.3-8所示，采用表3.1-2中的器件模型信息，用SPICE LEVEL 3模型（见表3.4-1）仿真确定 i_{OUT} 并与习题P4.3-6中的SPICE仿真结果进行比较。

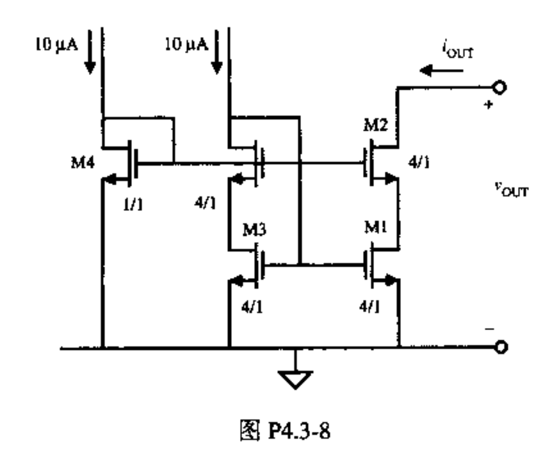


图 P4.3-8

4.4-1 简单电流镜电路如图 P4.4-1 所示。在整个工艺中，物理参数的绝对变化如下：

宽度变化	±5%
长度变化	±5%
K' 变化	±5%
V_T 变化	±5 mV

假设漏极电压相同，在上面给出的整个工艺变化中测量所得最小和最大输出电流各是多少？

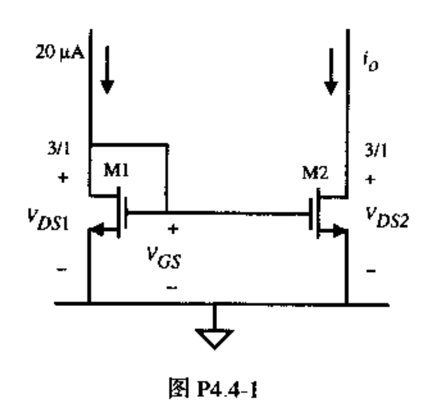


图 P4.4-1

4.4-2 电路如图 P4.4-2 所示，图中单个 MOS 二极管（M2）驱动两个电流镜（M1 和 M3）。一个信号（v_{sig}）加在 M3（由未在图中画出的其他电路提供）的漏极。信号 v_{sig} 对 M1 的漏极 v_{OUT} 有什么影响？推导传递函数 $v_{sig}(s)/v_{OUT}(s)$。计算中必须考虑M3 的栅-漏极电容，但 M1 的栅-漏极电容可以忽略。已知 $I_{BIAS}=10\ \mu A$，所有管子的 W/L 都是 2 μm/1 μm，用表 3.1-2 和表 3.2-1 的数据计算 $v_{sig}=100$ mV、1 MHz 时 v_{OUT} 的值。

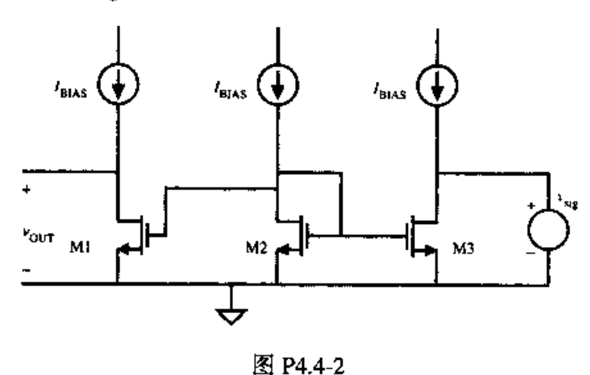


图 P4.4-2

4.5-1 证明图 4.5-2（b）所示基准电路的灵敏度是单位 1。

4.5-2 基准电路如图 P4.5-2 所示，该电路提供一个令人感兴趣的基准电压输出，试推导 V_{REF} 的表达式。

4.5-3 图 P4.5-3 所示为基准电流电路。已知 M1 和 M2 的 W/L 是 100/1，电阻采用 n 阱制成，温度为 25℃时其值为 500 kΩ，采用表 3.1-2 的参数。设 n 阱电阻的方块电阻系数为 1 kΩ/□ ± 40%，温度系数为 8000 ppm/℃，阈值电压的温度系数为−2.3 mV/℃，假设温度从 0 到 70℃变化，电源电压的变化为±10%，计算整个变化过程中输出电流的总变化量。

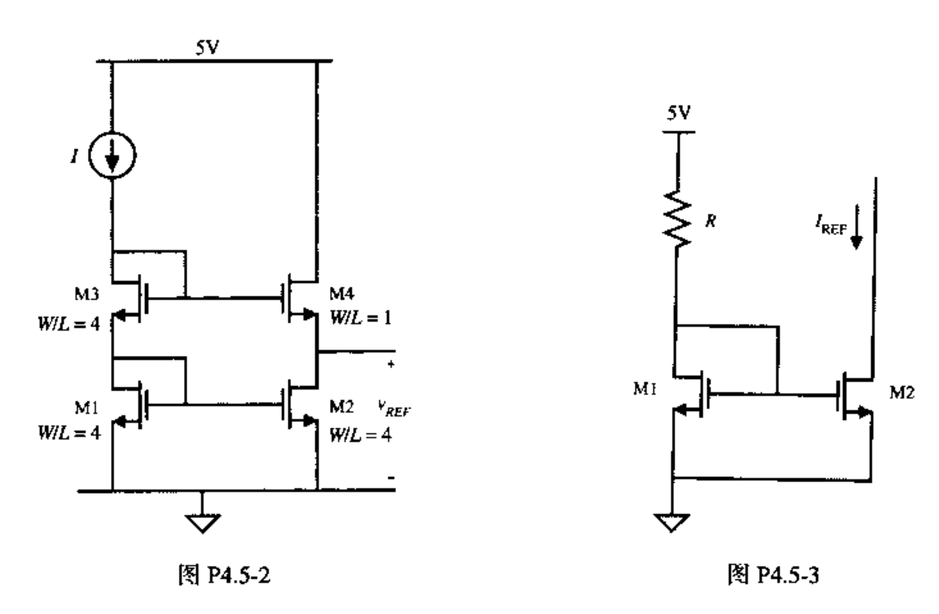


图 P4.5-2　　　图 P4.5-3

4.5-4　某基准电流电路如图 P4.5-4 所示，设 M3 和 M4 尺寸相同，M1 和 M2 尺寸不同。求输出电流 I_{OUT} 的表达式。

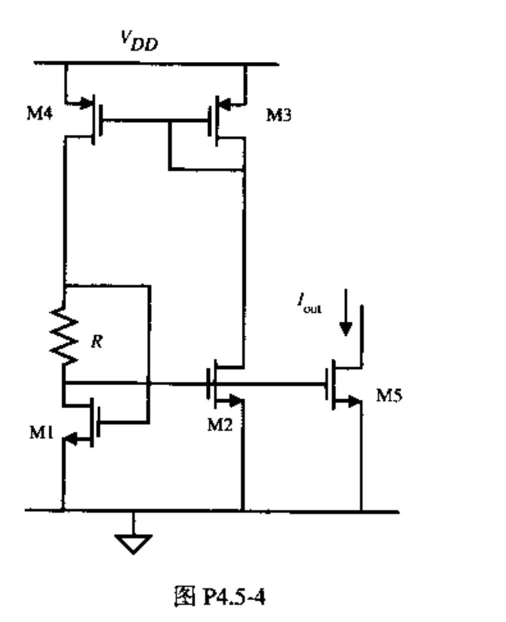


图 P4.5-4

4.5-5　求图 4.5-3（b）和图 4.5-4（b）的小信号输出电阻。

4.5-6　利用图 4.5-3(b)中所示的基准电路设计一个电压基准电路，当 V_{DD} = 5.0 V 时 V_{REF} = 2.5 V。设 I_s = 1 fA，β_F = 100。估算 V_{REF} 相对于 V_{DD} 的灵敏度。

4.6-1　一个改进型带隙基准发生器电路如图 P4.6-1 所示，假设放大器是理想的，管子 M1~M5 的宽长比相同，双极型管的面积比为 10:1。设计元器件值使电路输出基准电压为 1.262 V。试分析迭层双极型管结构是否有优势，如果有，请具体说明。

4.6-2　为了减小图 P4.6-1 所示基准电路的噪声输出，在 M5 的栅极接一只电容，电容的另一端接哪里，为什么？

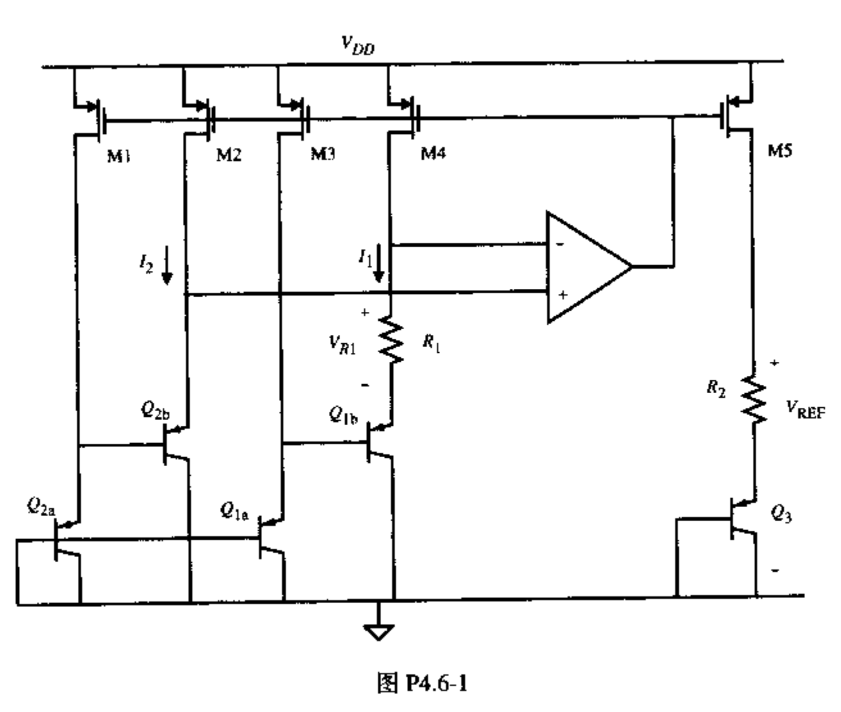


图 P4.6-1

4.6-3 定性地解释图 P4.6-1 中低β双极型晶体管的影响。

4.6-4 考虑图 P4.6-4 所示的电路。它是图 P4.6-1 电路的变形。试问由 M6 ~ M9 和 Q_4组成的电路起什么作用?

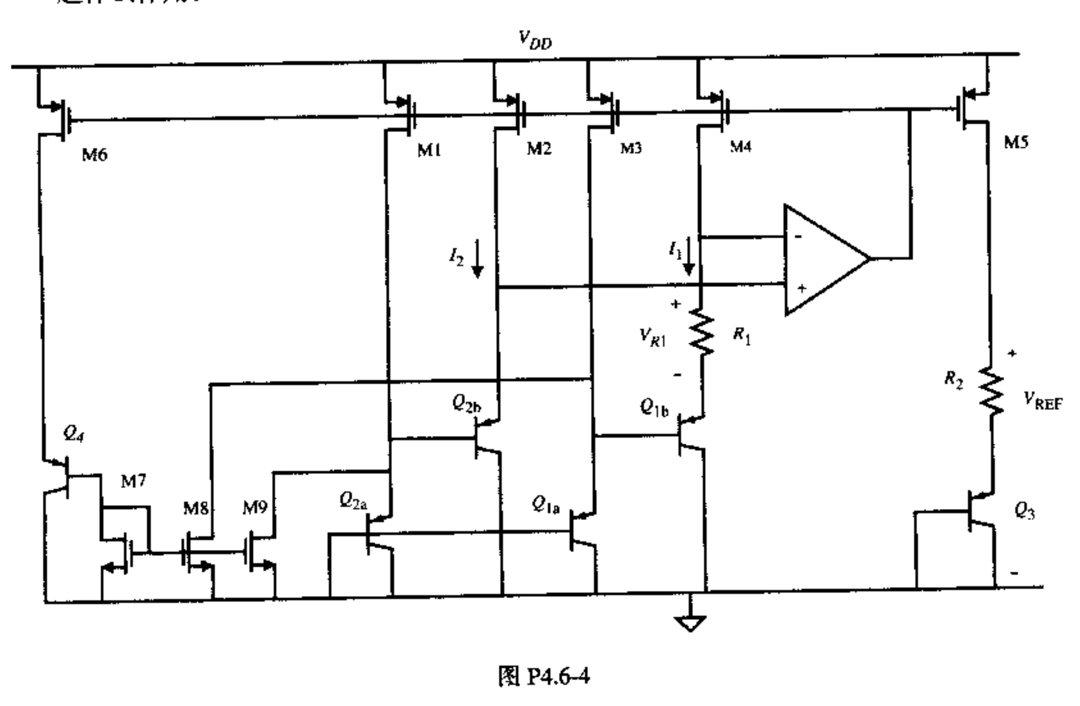


图 P4.6-4

4.6-5 扩展例 4.6-1，设计一个基于图 P4.6-4 所示电路的与温度无关的基准电流。电阻 R_4的温度系数为+1500 ppm/℃。

参考文献

1. P. E. Allen and E. *Sanchez-Sinencio, Switched Capacitor Circuits,* New York: Van Nostrand Reinhold, 1984, Chap. 8.
2. B. J. Sheu and Chenming Hu, "Switch-Induced Error Voltage on a Switched Capacitor," *IEEE J. Solid-State Circuits,* Vol. SC-19, No. 4, pp. 519–525, Aug. 1984.
3. T. C. Choi, R. T. Kaneshiro, R. W. Brodersen, P. R. Gray, W. B. Jett, and M. Wilcox, "High-Frequency CMOS Switched-Capacitor Filters for Communications Applications," *IEEE J. Solid-State Circuits,* Vol. SC-18, No. 6, pp. 652–664, Dec. 1983.
4. E. J. Swanson, "Compound Current Mirror," U.S. Patent #4,477,782.
5. T. L. Brooks and M. A. Rybicki, "Self-Biased Cascode Current Mirror Having High Voltage Swing and Low Power Consumption," U. S. Patent #5,359,296.
6. G. R. Wilson, "A Monolithic Junction FET-npn Operational Amplifier," *IEEE J. Solid-State Circuits,* Vol. SC-3, No. 5, pp. 341–348, Dec. 1968.
7. E. Sackinger and W. Guggenbuhl, "A Versatile Building Block: The CMOS Differential Difference Amplifier," *IEEE J. Solid-State Circuits,* vol. SC-22, No. 2, pp. 287–294, April 1987.
8. R. J. Widlar, "New Developments in IC Voltage Regulators," *IEEE J. Solid-State Circuits,* Vol. SC-6, No.1, pp. 2–7, Feb. 1971.
9. K. E. Kujik, "A Precision Reference Voltage Source," *IEEE J. Solid-State Circuits,* Vol. SC-8, No. 3, pp. 222–226, June 1973.
10. B. S. Song and P. R. Gray, "A Precision Curvature-Corrected CMOS Bandgap Reference," *IEEE J. Solid-State Circuits,* Vol. SC-18, No. 6, pp. 634–643, Dec. 1983.
11. Y. P. Tsividis and R. W. Ulmer, "A CMOS Voltage Reference," *IEEE J. Solid-State Circuits,* Vol. SC-13, No. 6, pp. 774–778, Dec. 1982.
12. G. Tzanateas, C. A. T. Salama, and Y. P. Tsividis, "A CMOS Bandgap Voltage Reference," *IEEE J. Solid-State Circuits,* Vol. SC-14, No. 3, pp. 655–657, June 1979.

第5章 CMOS放大器

本章将采用上一章的基本子电路来构造各种形式的CMOS放大器。我们从分析反相器入手——这是所有放大器中最基本的电路。接下来将逐级介绍放在一起能形成一个高增益放大器的电路。电路的第一级应该是差分放大器，这是个优异的输入级。中间级是共源共栅放大器，类似于反相器，但是有更好的整体性能和对小信号的控制性能。该级作为一个有效的增益级同时也提供了一种补偿的方法。接下来是输出级。输出级的目的是在不损害高增益放大器性能的条件下驱动外界负载。本章最后一节将阐述这些电路如何组合以达到给定的高增益放大器的要求。

我们采用与第4章同样的分析方法，即先介绍电路的基本情况，了解它是如何工作的，然后进行大信号分析和小信号分析。在这一章中，我们根据图4.0-1介绍的简单电路，从基本电路开始逐渐过渡到复杂电路。在本章的最后，我们将考虑复杂的CMOS模拟电路。高增益放大器的结构部分可以直接引入比较器和运算放大器。

由于我们研究的电路日趋复杂，所以将有机会运用在附录A中详述的一些分析技术。我们也将在与CMOS模拟集成电路设计课题发展相关的地方引入新技术。这些技术之一是用主极点近似求解二次多项式的根。

由于放大器的共性，我们介绍时会采用统一的方法。首先，我们将研究大信号条件下的输入-输出特性。这将提供诸如信号摆幅限制、工作区域（截止区、放大区或饱和区）和增益等信息。接下来，我们将分析所有管子都处于饱和区时的小信号性能。这将提供输入输出阻抗和小信号增益的信息。包含寄生电容和固有电容的分析将反映放大器的频率响应。最后，我们将考虑诸如噪声、温度特性和功耗等因素。关于这一章中所讨论主题的更多信息可以在一些文献中找到[1~3]。

5.1 反相器

反相器是CMOS电路中的基本增益级。典型的反相器采用共源结构，负载可以是有源负载或电流源。有源负载的多种实现方法如图5.1-1所示。这些反相器包括PMOS有源负载反相器、电流源负载反相器和推挽反相器。在其他条件相同的情况下，图中电路的小信号增益由左至右逐渐增加。本章我们将逐个分析上述三种电路。

有源负载反相器

在许多应用场合需要用到可高度预见其小信号和大信号特性的低增益反相器。满足此需求的一种结构如图5.1-1所示，这就是PMOS有源负载反相器（简称“有源负载反相器”），大信号特性如图5.1-2所示。此图将M1管的i_D-v_{DS}特性和由接成二极管的p沟道M2管形成的“负载线”（i_D-v_{DS}）画在了同一张图上。有源电阻M2的“负载线”可以简单地看做是V_{DD}减去翻转的跨导特性。显然，输出信号摆辐的负值将受到限制。v_{OUT}随v_{IN}变化的输出-输入曲线可以按图上标注的A、B、C等点重新画出。所得曲线称为大信号电压传输特性。很明显，这种反相放大器限制了输出电压的范围和增益（增益由$v_{OUT}-v_{IN}$的曲线斜率决定）。

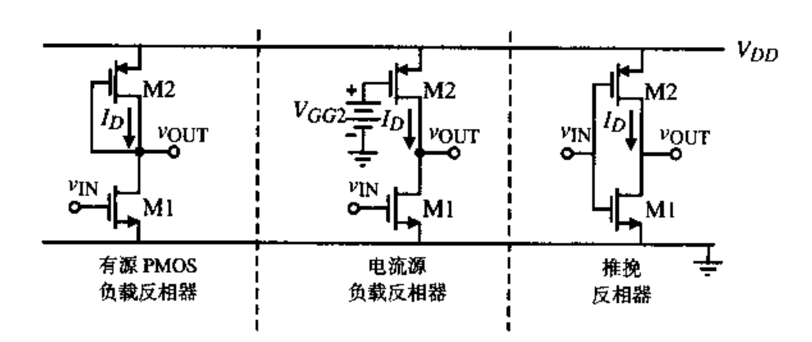


图 5.1-1 各种类型反相放大器

有源电阻负载反相器的大信号摆幅受限的特性是值得研究的。由图5.1-2我们看到最大输出电压 v_{OUT}（最大）等于 $V_{DD}-|V_{TP}|$，因此：

$$v_{OUT}(\text{最大}) \cong V_{DD} - |V_{TP}| \tag{5.1-1}$$

该限制忽略了每个 MOSFET 中的亚阈值电流。这个非常小的电流最终将允许输出电压接近 V_{DD}。

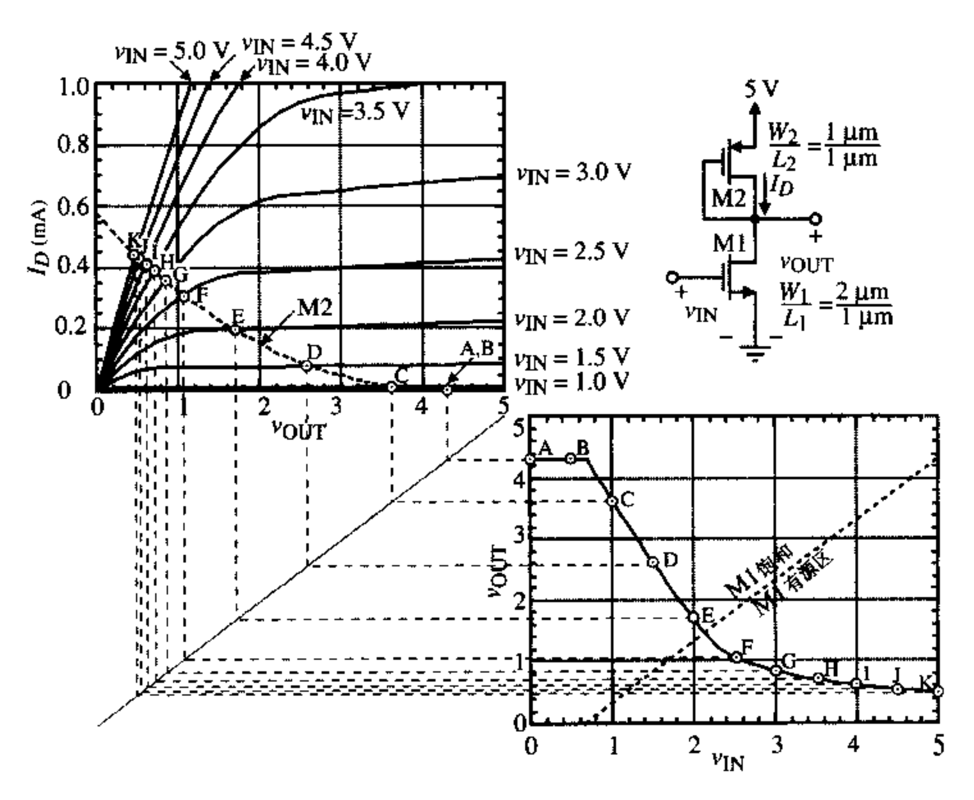


图 5.1-2 有源负载反相器电压转移函数的图解

为了求出 v_{OUT}（最小），我们首先假设 M1 工作在非饱和区（有源区），而且 $V_{T1}=|V_{T2}|=V_T$。由作图我们已经确定 M1 工作在非饱和区，因此得方程：

$$v_{DS1} \geq v_{GS1} - V_{TN} \rightarrow v_{OUT} \geq v_{IN} - 0.7\ \text{V} \tag{5.1-2}$$

对应于 M1 的饱和压降，流过 M1 的电流是：

$$i_D = \beta_1\left((v_{GS1} - V_T)v_{DS1} - \frac{v_{DS1}^2}{2}\right) = \beta_1\left((V_{DD} - V_T)(v_{OUT}) - \frac{(v_{OUT})^2}{2}\right) \tag{5.1-3}$$

流过 M2 的电流是：

$$i_D = \frac{\beta_2}{2}(v_{SG2} - |V_T|)^2 = \frac{\beta_2}{2}(V_{DD} - v_{OUT} - |V_T|)^2 = \frac{\beta_2}{2}(v_{OUT} + |V_T| - V_{DD})^2 \tag{5.1-4}$$

令式（5.1-3）等于式（5.1-4）并解出 v_{OUT}：

$$v_{OUT}(\text{最小}) = V_{DD} - V_T - \frac{V_{DD} - V_T}{\sqrt{1 + (\beta_2/\beta_1)}} \tag{5.1-5}$$

在推导过程中我们假设 v_{IN} 的最大值等于 V_{DD}。了解式（5.1-5）的最小极限是如何得出的十分重要。输出电压不能趋向最小极限（地电位）的原因是 M2 上电压产生的电流必须流过 M1。任何 MOSFET 只有在漏电流为 0 时漏源间电压才为零。因此，v_{OUT} 的最小值等于由 M2 所确定的电流在 M1 生成的漏源压降。

有源电阻负载反相器的小信号电压增益可以由图 5.1-3 求得，对输出端电流求和可得：

$$g_{m1}v_{in} + g_{ds1}v_{out} + g_{m2}v_{out} + g_{ds2}v_{out} = 0 \tag{5.1-6}$$

求解电压增益 v_{out}/v_{in}，得到：

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}}{g_{ds1} + g_{ds2} + g_{m2}} \cong -\frac{g_{m1}}{g_{m2}} = -\left(\frac{K_N' W_1 L_2}{K_P' L_1 W_2}\right)^{1/2} \tag{5.1-7}$$

小信号输出电阻也可从图 5.1-3 中得到，如：

$$R_{out} = \frac{1}{g_{ds1} + g_{ds2} + g_{m2}} \cong \frac{1}{g_{m2}} \tag{5.1-8}$$

有源电阻负载反相器的输出阻抗较低，因为按二极管方式连接的 M2 管具有低阻抗的缘故。在要求反相增益级具有大带宽时，低输出阻抗是非常有用的。

接下来介绍有源电阻负载反相器的小信号频率响应。图5.1-4（a）示出了一般反相器的结构和重要的电容。对应图5.1-3 的情况，M2 的栅级（x 点）连到 V_{out}，图中 C_{gd1} 和 C_{gd2} 表示交迭电容，C_{bd1} 和 C_{bd2} 表示体电容。C_{gs2} 是交迭电容加上栅电容，C_L 是从反相器看出去的负载电容，由下级的栅电容和与该节点有关的所有寄生电容组成。图 5.1-4（b）示出了假设 V_{in} 为电压源时的小信号模型（V_{in} 有高源阻抗的情况将在5.3 节解释，5.3 节将分析共源共栅放大器）。该电路的频率响应是：

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{-g_m R_{out}\left(1 - s/z_1\right)}{1 - s/p_1} \tag{5.1-9}$$

式中：

$$g_m = g_{m1} \tag{5.1-10}$$

$$p_1 = \frac{-1}{R_{out}(C_{out} + C_M)} \approx \frac{-g_{m2}}{C_{out} + C_M} = \frac{-\sqrt{2K_N(W_1/L_1)I_{D2}}}{C_{out} + C_M} \tag{5.1-11}$$

$$z_1 = \frac{g_m}{C_M} \tag{5.1-12}$$

和

$$R_{out} = (g_{ds1} + g_{ds2} + g_{m2})^{-1} \cong g_{m2}^{-1} \tag{5.1-13}$$

$$C_M = C_{gd1} \tag{5.1-14}$$

$$C_{OUT} = C_{bd1}\ C_{bd2} + C_{gs2} + C_L \tag{5.1-15}$$

可以看到，反相放大器有一个右半平面的零点和一个左半平面的极点。一般来说，零点值大于极点值，所以放大器的–3 dB频率等于 $1/[R_{out}(C_{out}+C_M)]$。式（5.1-11）表明，在这种情况下，有源电阻负载反相器的–3 dB 频率近似正比于漏极电流的平方根。随着漏电流增加，带宽随之增加，因为 R 将下降。

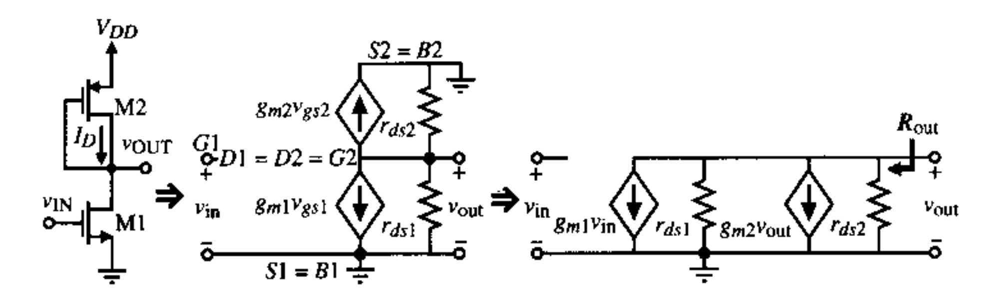


图 5.1-3　有源负载反相器的小信号模型

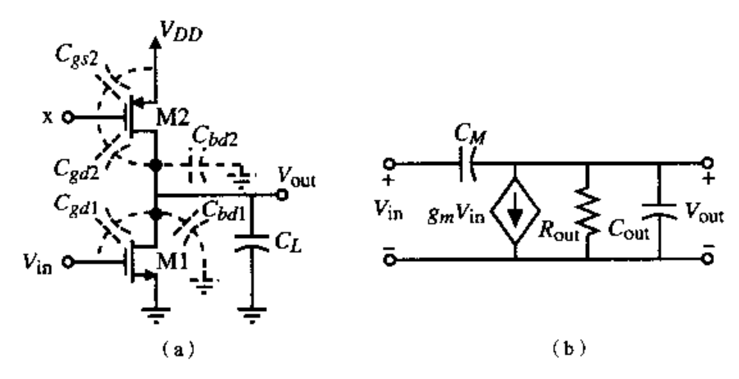


图 5.1-4　（a）带有寄生电容反相器的一般结构；（b）小信号模型

例 5.1-1　有源电阻负载反相器的性能

已知，$W_1/L_1 = 2\ \mu m/1\ \mu m$ 和 $W_2/L_2 = 1\ \mu m/1\ \mu m$，$C_{gd1} = 0.5$ fF、$C_{bd1} = 10$ fF, $C_{bd2} = 10$ fF, $C_{gs2} = 2$ fF, $C_L = 1$ pF, $I_{D1} = I_{D2} = 100\ \mu A$，用表 3.1-2 中的参数计算 $V_{DD} = 5$ V 时的输出电压摆幅限制、小信号增益、输出阻抗和图 5.1-3 的–3 dB 频率。

解：

由式（5.1-1）和式（5.1-5）可以求出 v_{OUT}（最大）= 4.3 V 和 v_{OUT}（最小）= 0.418 V。利用式（5.1-6）可以求出小信号电压增益是–1.92 V/V。由式（5.1-8）可求输出阻抗，如果考虑 g_{ds1} 和 g_{ds2}，结果为 9.17 kΩ；如果仅考虑 g_{m2}，结果为 10 kΩ。最后，零点位于 3.97×10^{11} rad/s，极点位于-106.7×10^{6} rad/s。因而–3 dB 频率是 17 MHz。

电流源反相器

通常，反相放大器需要得到比有源负载反相器更大的增益。第二种有较高增益的反相放大器结构是图 5.1-1 所示的电流源反相器。这种结构采用电流源负载代替 PMOS 二极管连接的负载。电流源是共栅结构，采用栅级加直流电压偏置 V_{GG2} 的 p 沟道管实现，这种放大器的大信号特性可以由图解说明。图 5.1-5 所示为 i_D-v_{OUT} 特性。在这个电流-电压特性图上画出了 M1 的输出特性。因为 $v_{IN}=v_{GS1}$，曲线已经被标出。在这些特性曲线上添加的是具有 $v_{OUT}=V_{DD}-v_{SD2}$ 的 M2 输出特性。大信号电压传输函数曲线可用类似于图 5.1-2 描述有源负载反相器的方法得到。对于给定的 V_{SG2}，由图5.1-5中的输出特性将 A、B、C 等点转移到图 5.1-5 的电压传输曲线，得到所示的大信号电压传输函数曲线。

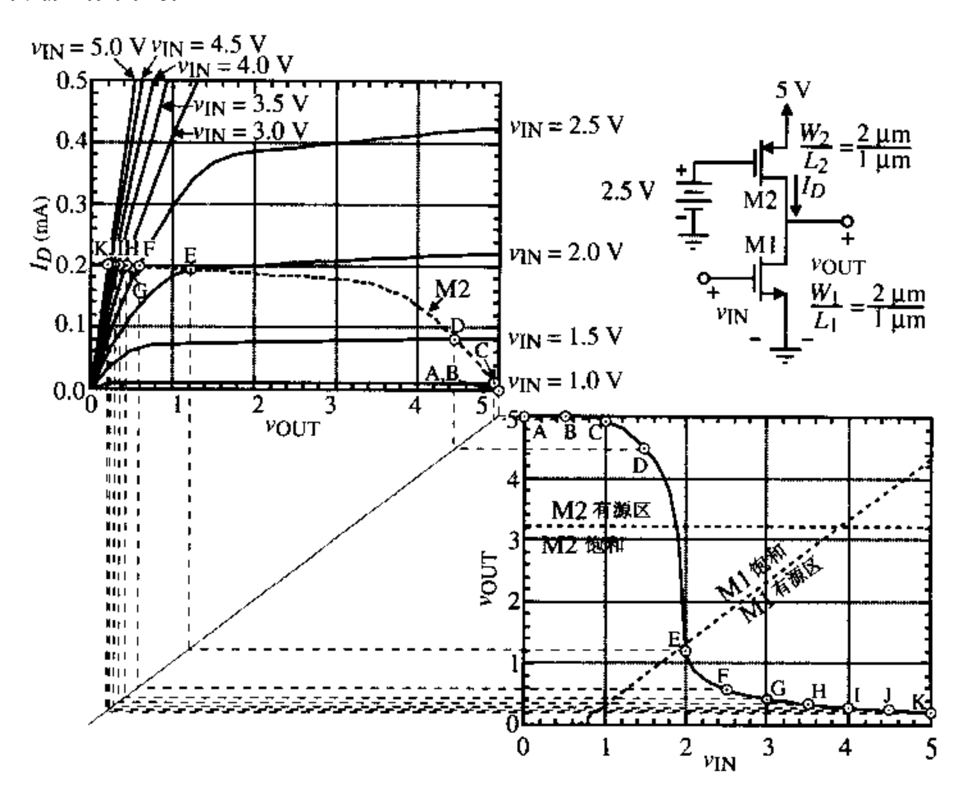


图 5.1-5 电流源负载反相器的电压传递函数的图解

由每个晶体管饱和关系的表示式可求得图 5.1-5 中管子的工作区。对 M1 来说，这个关系是：

$$v_{DS1} \geq v_{GS1} - V_{TN} \rightarrow v_{OUT} \geq v_{IN} - 0.7\text{ V} \tag{5.1-16}$$

该关系画在图 5.1-5 所示的电压传输曲线上。M2 的等同关系要特别注意符号。这个关系是：

$$v_{SD2} \geq v_{SG2} - |V_{TP}| \rightarrow V_{DD} - V_{OUT} \geq V_{DD} - V_{GG2} - |V_{TP}| \rightarrow v_{OUT} \leq 3.2\text{ V} \tag{5.1-17}$$

换句话说，当 v_{OUT}小于 3.2 V 时，M2 是饱和的，这也画在图 5.1-5 中了。首先必须知道晶体管工作在哪个区才可进行下面的分析。

电流源负载反相器的大信号输出电压摆幅的限制可用与有源负载反相器类似的方法得到。v_{OUT}（最大）$=V_{DD}$，因为当M1截止时 M2 的电压可以到零，允许输出电压等于 V_{DD}，不需要输出

直流电流，因此最大输出正电压是：

$$v_{OUT}(\text{最大}) \cong V_{DD} \tag{5.1-18}$$

通过假设 M1 处于非饱和区可以得到下限。v_{OUT}（最小）可给出为：

$$v_{OUT}(\text{最小}) = (V_{DD} - V_{T1})\left\{1 - \left[1 - \left(\frac{\beta_2}{\beta_1}\right)\left(\frac{V_{SG2} - |V_{T2}|}{V_{DD} - V_{T1}}\right)^2\right]^{1/2}\right\} \tag{5.1-19}$$

此结果是假设 v_{IN} 等于 V_{DD} 得到的。

小信号性能可由图5.1-3 模型中用 $g_{m2}v_{out} = 0$（考虑到 M2 的栅极交流接地）来求得。小信号电压增益为：

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}}{g_{ds1} + g_{ds2}} = \left(\frac{2K_N'W_1}{L_1 I_D}\right)^{1/2}\left(\frac{-1}{\lambda_1 + \lambda_2}\right) \propto \frac{1}{\sqrt{I_D}} \tag{5.1-20}$$

这是个有意义的结果：随着直流电流的减小，增益上升。这是因为输出电导正比于偏置电流，而跨导正比于偏置电流的平方根。当然这需要假设由式（3.3-9）表示的输出电导的简单关系成立。增益随 I_D 减小而增加可一直保持到电流接近亚阈值工作区，即弱反型层出现，此时跨导变为正比于偏置电流且小信号电压增益成为偏置电流函数的常数。如果我们假设亚阈区发生在电流近似为 1 μA 的时候，又如果 $(W/L)_1 = (W/L)_2 = 10\ \mu m/1\ \mu m$，使用表 3.1-2 中的参数值可给出图 5.1-5 所示的电流负载 CMOS 反相器的最大增益近似为−521 V/V。图 5.1-6 示出了电流源负载反相器作为直流偏置电流的函数的典型关系（假设亚阈区效应发生在近似等于 1 μA 的时候）。

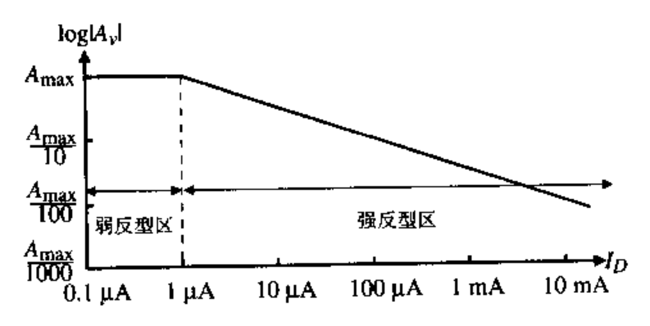


图 5.1-6 漏极电流对电流源反相放大器的小信号电压增益的影响

电流源负载 CMOS 反相器的小信号输出阻抗可从图 5.1-3（$g_{m2}v_{out} = 0$）求得：

$$R_{out} = \frac{1}{g_{ds1} + g_{ds2}} \cong \frac{1}{I_D(\lambda_1 + \lambda_2)} \tag{5.1-21}$$

如果 $I_D = 200\ \mu A$，沟道长度为 1 μm，采用表 3.1-2 中的参数，电流源 CMOS 反相器的输出阻抗近似为 56 kΩ，与有源负载 CMOS 反相器相比此输出阻抗较高。然而，此结果导致带宽降低。

电流源 CMOS 反相器的−3 dB 频率可从图 5.1-4 求得，假设 M2 栅级（点 x）接到电压源 V_{GG2}。在这种情况下，C_M 由式（5.1-14）给出，式（5.1-13）和式（5.1-15）的 R_{out} 和 C_{out} 则成为：

$$R_{out} = \frac{1}{g_{ds1} + g_{ds2}} \tag{5.1-22}$$

$$C_M = C_{gd1} \tag{5.1-23}$$

$$C_{out} = C_{gd2} + C_{bd1} + C_{bd2} + C_L \tag{5.1-24}$$

电流源反相器的零点由式（5.1-12）给出。极点为：

$$p_1 = \frac{-1}{R_{\text{out}}(C_{\text{out}} + C_M)} = -\left(\frac{g_{ds1} + g_{ds2}}{C_{\text{out}} + C_M}\right) \tag{5.1-25}$$

−3 dB 频率响应可由 p_1 的幅度表示为：

$$\omega_1 = \frac{g_{ds1} + g_{ds2}}{C_{gd1} + C_{gd2} + C_{bd1} + C_{bd2} + C_L} \tag{5.1-26}$$

假设零点幅度大于极点幅度。如果电流负载反相器的直流电流是 200 μA，又如果电容有例 5.1-1 给的值（$C_{gd1} = C_{gd2}$），可求得−3 dB 频率是 1.91 MHz（假设沟道长度是 1 μm），与例 5.1-1 中频率的差别源于较大的输出阻抗。

例 5.1-2　电流漏反相器的性能

此例将分析电流漏反相器的性能。电流漏反相器如图 5.1-7 所示。假设 W_1 = 2 μm, L_1 =1 μm, W_2 =1 μm, L_2 =1 μm, V_{DD} =5 V, V_{GG1} = 3 V，采用表 3.1-2 描述的 M1 和 M2 管的参数，并采用例 5.1-1 中的电容值（$C_{gd1} = C_{gd2}$）。计算输出摆幅的限制和小信号性能。

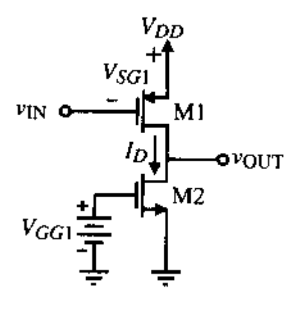


图 5.1-7　电流漏

解：

为了得到输出信号摆幅的限制，我们把图 5.1-7 看做是电流源 CMOS 反相器，用 PMOS 的参数取代 NMOS 的参数，用 NMOS 的参数取代 PMOS 的参数，利用式（5.1-18）和式（5.1-19）。当我们转而求电流源 CMOS 反相器的时候，图5.1-7 所示的电流漏反相器的输出信号摆幅的极限将能够得到。用最初的符号来表示电流源负载 CMOS 反相器的输出结果，它们交换了 PMOS 和 NMOS 的模型参数，我们得到：

$$v'_{\text{OUT}}(\text{最大}) = 5\ \text{V}$$

和

$$v'_{\text{OUT}}(\text{最小}) = (5 - 0.7)\left[1 - \sqrt{1 - \left(\frac{110 \cdot 1}{50 \cdot 2}\right)\left(\frac{8 - 0.7}{5 - 0.7}\right)^2}\right] = 0.740\ \text{V}$$

在电流漏 CMOS 反相器中，这些极限值从 5 V 减小到：

$$v_{\text{OUT}}(\text{最大}) = 4.26\ \text{V}$$

和

$$v_{\text{OUT}}(\text{最小}) = 0\ \text{V}$$

为了求得小信号性能，必须首先计算直流电流。直流电流 I_D 是：

$$I_D = \frac{K'_N W_1}{2L_1}(V_{GG1} - V_{TN})^2 = \frac{110 \cdot 1}{2 \cdot 1}(3 - 0.7)^2 = 291\ \mu A$$

小信号增益可由式（5.1-20）求得，其值为−9.2。输出阻抗和−3 dB 频率分别为38.1 kΩ和 4.09 MHz。

推挽反相器

如果图5.1-5和图5.1-7中M2的栅级接到M1的栅级，即为图5.1-8所示的推挽CMOS反相器。推挽CMOS反相器的大信号电压传递函数曲线可以用类似于电流源反相器的方法来画出。在这种情况下，A、B、C等点描述了推挽反相器的负载线。大信号电压传输特性可以通过将这些点映射在横轴上然后把结果画在图5.1-8的右下方得到。比较电流源和推挽反相器的大信号电压传输特性可以看出，采用同样的晶体管，推挽反相器具有更高的增益。这是由于两个晶体管都由 v_{IN} 驱动的缘故。推挽反相器的另一个优点是它的输出可以端到端地满摆幅工作（在这种情况下是指 V_{DD} 到地）。

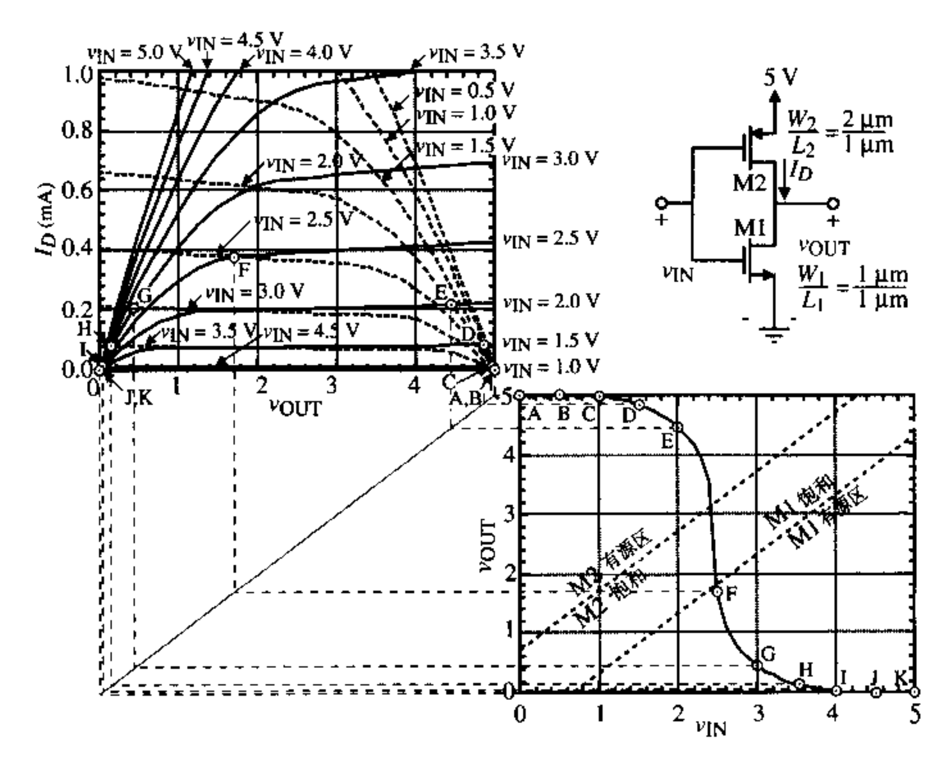


图5.1-8　推挽反相器电压传递函数的图解

推挽反相器的工作区如图5.1-8的电压传输曲线所示。这些工作区由给定的MOSFET V_{DS}(饱和)的定义很容易求出。当下式成立时，M1处于饱和区：

$$v_{DS1} \geq v_{GS1} - V_{T1} \rightarrow v_{OUT} \geq v_{IN} - 0.7\text{ V} \qquad (5.1\text{-}27)$$

当下式成立时，M2处于饱和区：

$$v_{SD2} \geq v_{SG2} - |V_{T2}| \rightarrow V_{DD} - v_{OUT} \geq V_{DD} - v_{IN} - |V_{T2}| \rightarrow v_{OUT} \leq v_{IN} + 0.7\text{ V} \qquad (5.1\text{-}28)$$

如果我们用相同的符号画出式（5.1-27）和式（5.1-28），则在图5.1-8电压传输曲线上所示的两条线恰好标出了工作区的所在。这里和先前的电压传输函数显示出一个重要的原理，这就是最大增益（最陡的斜率）总是出现在各管都处于饱和区的时候。

推挽反相器的小信号性能取决于它的工作区。如果假设M1、M2都处于饱和区，就能得到最大电压增益。我们可以借助图5.1-9来分析小信号性能。

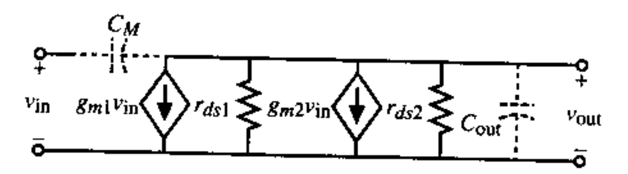


图 5.1-9 图 5.1-8 CMOS 反相器的小信号模型

小信号电压增益是：

$$\frac{v_{out}}{v_{in}}=\frac{-(g_{m1}+g_{m2})}{g_{ds1}+g_{ds2}}=-\sqrt{(2/I_D)}\left[\frac{\sqrt{K_N'(W_1/L_1)}+\sqrt{K_P'(W_2/L_2)}}{\lambda_1+\lambda_2}\right] \tag{5.1-29}$$

我们注意到与电流源/漏反相器一样，电压增益同样受直流电流的影响。如果 I_D 为 1 μA，$W_1/L_1=W_2/L_2=1$，用表 3.1-2 中的参数值，得到最大小信号电压增益是–276。推挽反相器的输出阻抗和–3 dB 频率响应与式（5.1-22）~式（5.1-26）描述的电流源反相器一样，惟一不同的是右半平面的零点，该零点给出如下：

$$z=\frac{g_{m1}+g_{m2}}{C_M}=\frac{g_{m1}+g_{m2}}{C_{gd1}+C_{gd2}} \tag{5.1-30}$$

这个零点比极点大，所以式（5.1-26）所给的–3 dB 频率成立。

例 5.1-3 推挽反相器的性能

接下来分析推挽反相器的性能。假设 W_1=1 μm，L_1=1 μm，W_2 = 2 μm，L_2= 1 μm，V_{DD}= 5 V，$I_{D1}=I_{D2}$= 300 μA，M1、M2 模型使用表 3.1-2 中的参数值。采用例 5.1-1 中的电容值（$C_{gd1}=C_{gd2}$）。计算输出摆幅限制和小信号性能。

解：

输出摆幅是从 0 到 5 V。为了求得小信号性能，我们给出一个重要的假设，即两个晶体管都工作在饱和区。因此小信号电压增益是：

$$\frac{v_{out}}{v_{in}}=\frac{-257\ \mu S-245\ \mu S}{1.2\ \mu S+1.5\ \mu S}=-18.6\ V/V$$

输出阻抗是 37 kΩ，–3 dB 频率是 2.86 MHz。右半平面零点是 399 MHz。

反相器的噪声分析

分析本节反相器的噪声性能很有意义。首先考虑图5.1-3 中的有源负载反相器。我们的分析是假设以均方输入电压噪声谱密度 e_n^2 与每个器件栅极串联，然后计算输出电压噪声谱密度 e_{out}^2。在这种计算中，所有的源被看成是添加的。用于计算的电路模型在图 5.1-10 中给出。

e_{out}^2 除以反相器电压增益的平方将得到等效的输入电压噪声谱密度 e_{eq}^2，把这种分析运用到图5.1-3 得到：

$$e_{out}^2=e_{n1}^2\left(\frac{g_{m1}}{g_{m2}}\right)^2+e_{n2}^2 \tag{5.1-31}$$

由式（5.1-7）可以解出等效输入电压噪声谱密度为：

$$e_{out} = e_{n1}\sqrt{\left(1 + \frac{g_{m2}}{g_{m1}}\right)^2\left(\frac{e_{n2}}{e_{n1}}\right)^2} \tag{5.1-32}$$

为求得 1/f 噪声，将式（3.2-15）和式（3.3-6）带人式（5.1-32），得到：

$$e_{eq(1/f)} = \left(\frac{B_1}{fW_1L_1}\right)^{1/2}\left[1 + \left(\frac{K_2'B_2}{K_1'B_1}\right)\left(\frac{L_1}{L_2}\right)^2\right]^{1/2}(\mathrm{V}/\sqrt{\mathrm{Hz}}) \tag{5.1-33}$$

如果 M1 的栅长远小于 M2，输入 1/f 噪声将由 M1 起主导作用。为了减小 M1 的 1/f 噪声，必须增加 M1 的栅宽。在有些工艺中，p 沟道管的 1/f 噪声低于 n 沟道管。在这种情况下，p 沟道管应用做输入器件。这种反相器的热噪声性能为：

$$e_{eq(th)} = \left\{\left(\frac{8kT(1+\eta_1)}{3[2K_1'(W/L)_1I_1]^{1/2}}\right)\left[1 + \left(\frac{W_2L_1K_2'}{L_2W_1K_1'}\right)^{1/2}\left(\frac{1+\eta_2}{1+\eta_1}\right)\right]\right\}^{1/2}(\mathrm{V}/\sqrt{\mathrm{Hz}}) \tag{5.1-34}$$

在计算式（5.1-31）中输出电压噪声谱密度时，我们假设从 e_{n2}^2 到 e_{out}^2 的增益为 1。这可以由图 5.1-11 证明，由图可以得到：

$$\frac{e_{out}^2}{e_{n2}^2} = \left[\frac{g_{m2}(r_{ds1}\|r_{ds2})}{1 + g_{m2}(r_{ds1}\|r_{ds2})}\right]^2 \approx 1 \tag{5.1-35}$$

图 5.1-5 中电流源负载反相器的噪声模型如图 5.1-12 所示，该反相器的输出电压噪声谱密度可以写做：

$$e_{out}^2 = (g_{m1}R_{out})^2e_{n1}^2 + (g_{m2}R_{out})^2e_{n2}^2 \tag{5.1-36}$$

用式（5.1-36）除以反相器的增益平方，然后开方，其结果表达式类似于式（5.1-32）。因此，尽管两电路的小信号电压增益有很大不同，但噪声性能是等价的。

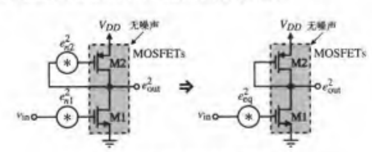


图 5.1-10 有源负载反相器的噪声计算

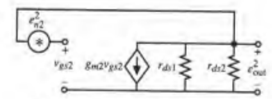


图 5.1-11 图 5.1-10 中噪声 e_{n2}^2 影响的图示

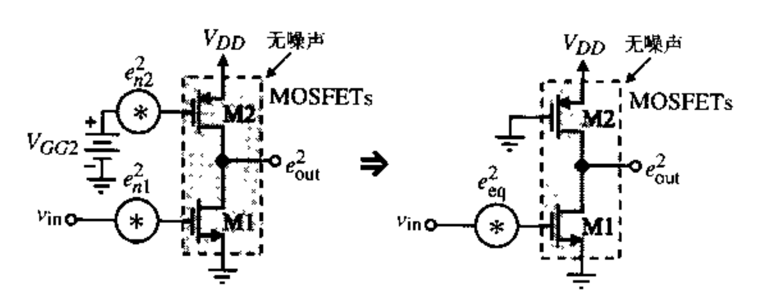


图 5.1-12 电流源负载反相器噪声的计算

推挽反相器的输出电压噪声谱密度可以由图 5.1-13 计算得到。用这个量除以增益的平方值得到推挽放大器的等效输入电压噪声谱密度为：

$$e_{eq}=\sqrt{\left(\frac{g_{m1}\,e_{n1}}{g_{m1}+g_{m2}}\right)^2+\left(\frac{g_{m2}\,e_{n2}}{g_{m1}+g_{m2}}\right)^2} \tag{5.1-37}$$

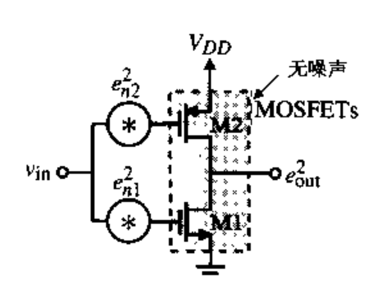


图 5.1-13 推挽 CMOS 反相器的噪声模型

如果跨导相等（$g_{m2}=g_{m1}$），那么每只管子对噪声的影响减半。这样总的噪声影响只能通过减少单个管子的噪声来减小。管子尺寸和电流对热噪声和 $1/f$ 噪声影响的计算将作为习题留给读者。

反相器是模拟电路设计中的基本放大器之一。本节介绍了三种不同结构的 CMOS 反相器。如果反相器由电压源激励，则频率响应由在反相器输出端的单个主极点组成。具有电流漏/源作负载的反相器的小信号增益与电流的平方根成反比，这可以产生高增益。然而，当尝试建立直流偏置点的时候，电流漏/源负载反相器和推挽反相器的高增益将产生一个问题，这样的高增益要求有直流负反馈以稳定工作点。换句话说，如果确定了输入直流电平，依然无法知道确定的输出电平。

5.2 差分放大器

差分放大器是模拟电路中比较通用的电路之一。它与集成电路技术是兼容的且作为多数运算放大器的输入级。图5.2-1（a）是差分放大器的电路模型（实际中此符号也被用做比较器和运算放大器）。电压 v_1、v_2 和 v_{OUT} 被称为单端电压，这意味着它们是相对于地而言的。差分放大器的差模输入电压 v_{ID} 被定义为输入信号 v_1、v_2 间的差值。这个电压定义在两个端点之间，没有端点接地。共模输入电压 v_{IC} 被定义为 v_1、v_2 的均值。这些电压为：

$$v_{ID}=v_1-v_2 \tag{5.2-1}$$

和

$$v_{IC}=\frac{v_1+v_2}{2} \tag{5.2-2}$$

图 5.2-1（b）给出了这两个电压的解释。注意，v_1、v_2 可以表示为：

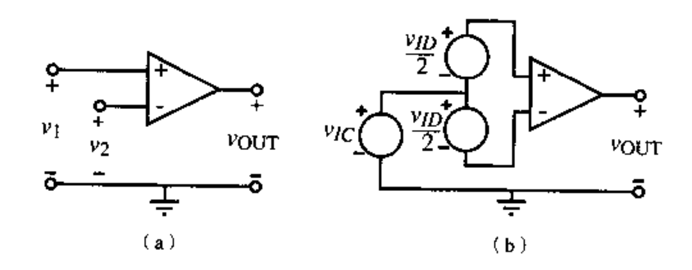


图 5.2-1 （a）差分放大器符号；（b）差模 v_{ID} 和共模 v_{IC} 的图示

$$v_1 = v_{IC} + \frac{v_{ID}}{2} \tag{5.2-3}$$

和

$$v_2 = v_{IC} - \frac{v_{ID}}{2} \tag{5.2-4}$$

差分放大器的输出电压可以用其差模和共模输入信号表示为：

$$v_{OUT} = A_{VD}v_{ID} \pm A_{VC}v_{IC} = A_{VD}(v_1 - v_2) \pm A_{VC}\left(\frac{v_1 + v_2}{2}\right) \tag{5.2-5}$$

式中，A_{VD} 是差模电压增益，A_{VC} 是共模电压增益。在共模增益前加的±号表示这个电压增益的极性不能预先知道。差分放大器的目的只是放大两个信号之间的差值而不考虑共模值。于是，差分放大器可以用共模抑制比（CMRR）来描述。共模抑制比是差模增益与共模增益的幅度比。理想差分放大器的 A_{VC} 为零，因此 CMRR 为无穷大。另外，输入共模范围（ICMR）说明在这个共模信号范围内放大器对差分信号有响应且具有同样增益的放大作用。影响差分放大器性能的另一个因素是失调电压。在 CMOS 差分放大器中，最严重的失调是电压失调。理想情况下，当差分放大器的输入端接在一起时，输出电压应该在一个所希望的静态点上。在实际差分放大器中，输出失调电压是在输入端相连时实际输出电压和理想输出电压之差。如果这个失调电压除以差分放大器的差模电压增益就称做输入失调电压（V_{os}）。一般来说，CMOS 差分放大器的输入失调电压是 5~20 mV。

大信号分析

让我们用大信号特性开始差分放大器的分析。图 5.2-2 所示为 CMOS 差分放大器，该电路采用 n 沟道 MOSFET M1 和 M2 构成差分放大器。M1 和 M2 由接在两管源极上的电流漏 I_{SS} 偏置。M1 和 M2 的这种结构通常称为源极耦合对。M3 和 M4 是实现电流漏 I_{SS} 的电路实例。

因为 M1 和 M2 的源极没有接地，引起的问题是体接到哪里。答案是取决于工艺。如果采用 CMOS p 阱工艺，那么如图 5.2-3 所示，n 沟道管在 p 阱中形成。这里有两个明显的位置连接 M1 和 M2 的衬底：第一种是将体与 M1 和 M2 的源极连接，让拥有 M1 和 M2 的 p 阱悬浮；第二种

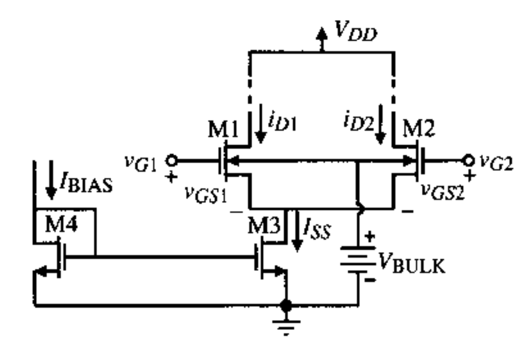


图 5.2-2 用 NMOS 管实现的 CMOS 差分放大器

方法是将 M1 和 M2 的体接地。两种选择有什么不同呢？如果 p 阱与 M1 和 M2 的源极相连，那么阈值电压不会因反偏体–源极结而增加。然而，现在源极耦合点到地的电容由整个 p 阱和 n 衬底间反偏的 pn 结形成。如果 p 阱接最低有效电位（地），那么阈值电压将会增加且随共模输入电压而变，不过源极耦合点到地的电容减小为 M1 和 M2 的源极与 p 阱间的两个反偏 pn 结。如何选择取决于应用，同时应注意：如果源极耦合对是 p 阱工艺中的 p 沟道管，上述选择将不存在。

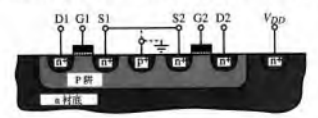


图 5.2-3 采用 p 阱 CMOS 工艺时图 5.2-2 中 M1 和 M2 的剖面图

我们通过假设 M1 和 M2 完全匹配开始大信号特性的分析。这里不必定义 M1 和 M2 的负载。大信号特性可以在假设图 5.2-2 中的 M1 和 M2 总是工作在饱和区来分析，多数情况下这个条件是满足的，即使这个假设不成立也可进行分析。描述大信号性能的相关关系如下：

$$v_{ID} = v_{GS1} - v_{GS2} = \left(\frac{2i_{D1}}{\beta}\right)^{1/2} - \left(\frac{2i_{D2}}{\beta}\right)^{1/2} \tag{5.2-6}$$

和

$$I_{SS} = i_{D1} + i_{D2} \tag{5.2-7}$$

将式（5.2-7）代入式（5.2-6）得到一个二次方程允许的解，i_{D1} 和 i_{D2} 为：

$$i_{D1} = \frac{I_{SS}}{2} + \frac{I_{SS}}{2}\left(\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2}\right)^{1/2} \tag{5.2-8}$$

和

$$i_{D2} = \frac{I_{SS}}{2} - \frac{I_{SS}}{2}\left(\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2}\right)^{1/2} \tag{5.2-9}$$

这些关系只在满足条件 $v_{ID} < 2(I_{SS}/\beta)^{1/2}$ 的时候才有用。图 5.2-4 示出了归一化 M1 漏极电流与归一化差模输入电压的关系。曲线的虚线部分无意义，可以忽略。

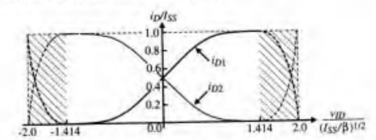


图 5.2-4 CMOS 差分放大器的大信号跨导特性

上面的分析已经给出了 i_{D1} 或 i_{D2} 与差模输入信号电压 v_{ID} 之间的关系。确定此曲线的斜率是有

意义的，这将确定差分放大器的跨导。对式（5.2-8）相对于 v_{ID} 求导并令 $V_{ID}=0$，得到差分放大器的差分跨导为：

$$g_m = \frac{\partial i_{D1}}{\partial v_{ID}}(V_{ID}=0) = (\beta I_{SS}/4)^{1/2} = \left(\frac{K_1' I_{SS} W_1}{4L_1}\right)^{1/2} \qquad (5.2\text{-}10)$$

令 $I_{SS}/2=I_D$，将式（5.2-10）的结果与式（3.3-6）比较，我们注意到有一个2的差别。原因就是只有一半的 v_{ID} 作用到M1上。有意义的是当 I_{SS} 增加的时候跨导也在增加。再次重申，这是一个重要的性能：小信号特性可以受直流参数控制。

接下来分析CMOS差分放大器的电压传输特性。这需要在图5.2-2电路中的M1和M2的漏极与 V_{DD} 之间插入负载。我们有多种选择：电阻、MOS二极管或者电流源，稍后我们将解释这些选择。不过，现在我们将选择一个广泛应用的p沟道电流镜作为负载。相应的电路如图5.2-5所示。在静态条件下（不加差模信号，即 $v_{ID}=0$ V），M1和M2两管中的电流相等且它们的和等于 I_{SS}，即电流漏M5中的电流。M1的电流决定了M3的电流，理想情况下，M4中应产生这个电流的镜像。如果 $v_{GS1}=v_{GS2}$，M1和M2匹配，则M1和M2管中的电流相等。因此电流源M4到M2的电流应该等于M2需要的电流，使得 i_{OUT} 为0——如果忽略负载。在上述分析中，假设所有管子都工作在饱和区。

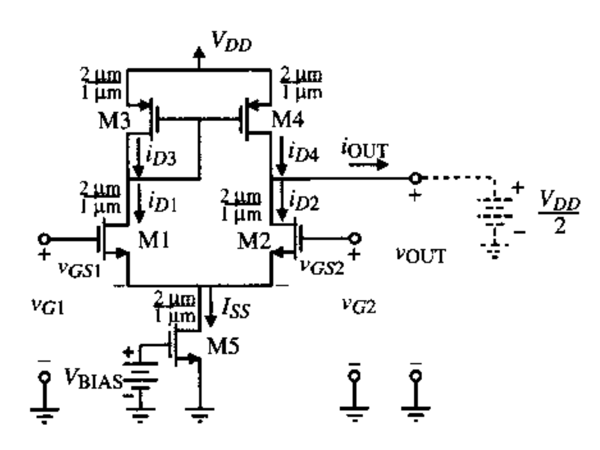


图5.2-5　采用电流源负载的CMOS差分放大器

如果电流不相等，我们做如下的分析：假设外接负载电阻无穷大，电流只在M2和M4自身的电阻（由于沟道长度调制效应）中流动。如果 $v_{GS1}>v_{GS2}$，那么相对于 i_{D2}，i_{D1} 将增大，因为 $I_{SS}=i_{D1}+i_{D2}$。i_{D1} 的增加意味着 i_{D3} 和 i_{D4} 的增加。然而，当 $v_{GS1}>v_{GS2}$ 时，i_{D2} 的电流在减小。因此，惟一能让电路建立平衡的方法是 i_{OUT} 为正且 v_{OUT} 增加。可以看到，如果 $v_{GS1}<v_{GS2}$，那么 i_{OUT} 为负而 v_{OUT} 减小。这种结构提供了一种简单的方法，使差分放大器的差模输出信号转换为单端信号，即一个参考端是交流地电位。

如果我们假设电流镜的电流是相等的，那么可得图5.2-5中的n沟道差分放大器的 $i_{OUT}=i_{D1}-i_{D2}$。因为 i_{OUT} 是一个差分输出电流，我们用符号 g_{md} 表示，从而与式（5.2-10）的跨导相区别。差分输入和差分输出跨导是 g_m 的两倍，可以写做：

$$g_{md} = \frac{\partial i_{OUT}}{\partial v_{ID}}(V_{ID}=0) = \left(\frac{K_1' I_{SS} W_1}{L_1}\right)^{1/2} \qquad (5.2\text{-}11)$$

如果 $I_D = I_{SS}/2$，那么上述结果严格等于共源 MOSFET 的跨导。

在图 5.2-5 电路中去除输出端虚线电源后，此 CMOS 差分放大器的大信号电压传输函数如图5.2-6 所示。输入按图 5.2-1（b）的定义提供。共模输入固定为 2.0 V，差模信号摆幅在−1 到 1 V 之间。我们注意到差分放大器既可以是同相放大器也可以是反相放大器，具体取决于输入信号怎么加。在图 5.2-5 中，如果 $v_{IN} = v_{GS1} - v_{GS2}$，那么从 v_{IN} 到 v_{OUT} 的电压增益是同相的。

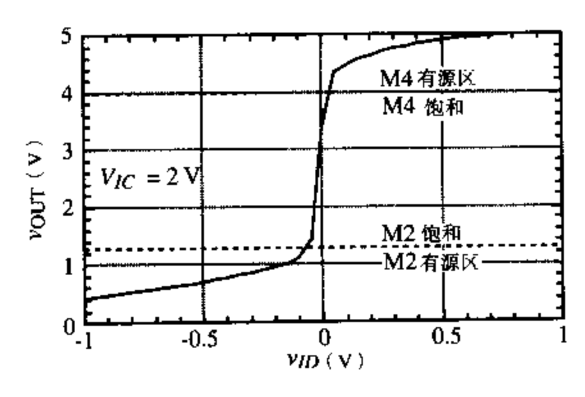


图 5.2-6 图 5.2-5 差分放大器的电压传输曲线

图 5.2-5 中的晶体管的工作区域如图 5.2-6 所示。我们注意到当 M2 和 M4 工作在饱和区时，小信号增益最大。当满足式（5.2-12）时，M2 饱和。

$$v_{DS2} \geq v_{GS2} - V_{TN} \to v_{OUT} - V_{S1} \geq V_{IC} - 0.5v_{ID} - V_{S1} - V_{TN} \to v_{OUT} \geq V_{IC} - V_{TN} \quad (5.2\text{-}12)$$

这里我们假设 M2 的跃变区靠近 $v_{ID} = 0$ V。当满足式（5.2-13）时，M4 饱和。

$$v_{SD4} \geq v_{SG4} - |V_{TP}| \to V_{DD} - v_{OUT} \geq v_{SG4} - |V_{TP}| \to v_{OUT} \leq V_{DD} - v_{SG4} + |V_{TP}| \quad (5.2\text{-}13)$$

在图 5.2-6 中，M2 和 M4 的工作区是采用了图 5.2-5 中的宽长比值和 I_{SS} = 100 μA 得到的。

图 5.2-5 中差分放大器的输出摆幅可以由式（5.2-12）的 v_{OUT}（最小）和式（5.2-13）的 v_{OUT}（最大）给出。显然，当 v_{ID} 的幅度增大时，输出摆幅将超过这些值。下一章我们将更详细地解释这个问题。

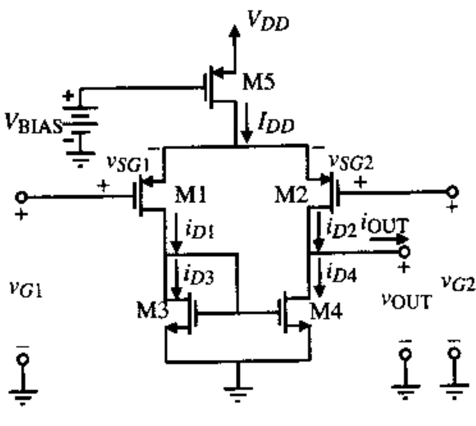


图 5.2-7 用 p 沟道 MOSFET 作为输入的 CMOS 差分放大器

图5.2-7 示出了一个用 p 沟道 MOSFET 构成的 CMOS 差分放大器，M1 和 M2 作为差分对。电路的工作情况与图 5.2-5 所示的一样。如果采用 n 阱 CMOS 工艺，那么输入 p 沟道 MOSFET 管的体既可以接至 V_{DD} 也可以与它们的源极相接，假设 M1 和 M2 被做在可悬浮的 n 阱中。在源极耦合节点，对电容的考虑与前面讨论过的用 n 沟道 MOSFET 作为输入晶体管的差分放大器一样。

差分放大器的另一个重要特性是输入共模范围 ICMR。求 ICMR 的方法是：设 v_{ID} = 0 V，改变 v_{IC} 直到差分放大器中有一个管子退出饱和区。我们可以考虑采用将输入端连接在一起扫描共模输入电压

的方法进行分析。对图 5.2-5 中的差分放大器来说，可求出最大共模输入电压 V_{IC}（最大）。从 v_{IC} 到 V_{DD} 我们必须考察两条路径。第一条是从 G1 通过 M1 和 M3 到 V_{DD}。第二条是从 G2 通过 M2 和 M4 到 V_{DD}。作为第一条路径，我们可以写出：

$$V_{IC}(\text{最大}) = V_{G1}(\text{最大}) = V_{DD} - V_{SG3} - V_{DS1} + V_{GS1} \tag{5.2-14}$$

上面的等式可以改写为：

$$V_{IC}(\text{最大}) = V_{DD} - V_{SG3} + V_{TN1} \tag{5.2-15}$$

对第二条路径可以给出：

$$V_{IC}(\text{最大})' = V_{DD} - V_{DS4}(\text{饱和}) - V_{DS2} + V_{GS2} = V_{DD} - V_{DS4}(\text{饱和}) + V_{TN2} \tag{5.2-16}$$

因为第二条路径能够允许更高的 V_{IC}（最大），按最坏情况我们选择第一条路径。于是，图 5.2-5 电路的最大输入共模电压等于电源电压减去 M3 上的电压再加 M1 的阈值电压。如果想增加 V_{IC} 的上限，我们将选择一个不同于电流镜的负载电路。

M1（或 M2）栅极的最低输入电压可求得为：

$$V_{IC}(\text{最小}) = V_{SS} + V_{DS5}(\text{饱和}) + V_{GS1} = V_{SS} + V_{DS5}(\text{饱和}) + V_{GS2} \tag{5.2-17}$$

假设在输入共模电压变化期间 V_{GS1} 和 V_{GS2} 相等。在设计差分放大器的时候，式（5.2-15）和式（5.2-17）是很重要的。例如，如果最大和最小输入共模电压已经给定且直流偏置电流也已知，那么可以用这些方程式去设计电路中各种管子的宽长比。W_3/L_3 的值将决定 V_{IC}（最大），而 W_1/L_1（W_2/L_2）和 W_5/L_5 的值将决定 V_{IC}（最小）。在后面几章中我们将用这些等式设计差分放大器中管子的宽长比。

为了使差分放大器满足指定的负共模范围，设计者必须考虑最坏情况下 V_T 的扩展（由工艺决定）和调整 I_{SS} 以及 β_3 以满足需要。在图 5.2-5 的结构中，影响正共模范围最坏情况下的 V_T 扩展是高的 p 沟道阈值幅度（$|V_{T03}|$）和低的 n 沟道阈值幅度（V_{T01}）。

当输入器件的衬底接地时，可以得到一些改进。这样的连接将会产生一个到输入器件源极的负反馈。例如，随着共源节点向正方向移动，衬底偏置增加，引起阈值电压（V_{T1} 和 V_{T2}）增加。式（5.2-15）说明正的共模范围随着 V_{T1} 幅度的增加而增加。

类似的分析可以用来确定图 5.2-7 中 p 沟道输入差分放大器的共模范围（见习题 P5.2-3）。

例 5.2-1　计算 n 沟道输入差分放大器的最坏条件输入共模范围

已知 V_{DD} 的变化为 4～6 V，$V_{SS}=0$，设 $I_{SS}=100\ \mu\text{A}$，$W_1/L_1=W_2/L_2=5$，$W_3/L_3=W_4/L_4=1$，$V_{DS5}(\text{饱和})=0.2\ \text{V}$，用表 3.1-2 中的值，在最坏条件下计算图 5.2-5 电路的输入共模范围。注意在计算中需考虑最坏条件下 K' 的变化。

解：

如果 V_{DD} 的变化为 5 ± 1 V，由式（5.2-15）得：

$$V_{IC}(\text{最大}) = 4 - \left(\sqrt{\frac{2\cdot 50\ \mu\text{A}}{45\ \mu\text{A/V}^2\cdot 1}} + 0.85\right) + 0.55 = 4 - 2.34 + 0.55 = 2.21\ \text{V}$$

由式（5.2-17）得：

$$V_{G1}(\text{最小}) = 0 + 0.2 + \left(\sqrt{\frac{2\cdot 50\ \mu\text{A}}{90\ \mu\text{A/V}^2\cdot 5}} + 0.85\right) = 0.2 + 1.30 = 1.50\ \text{V}$$

由此得到在正常的 5 V 供电下，最坏情况的输入共模范围是 0.71 V。

将电源电压减小几伏会导致最坏条件下的输入共模范围是 0。我们已经假设此例中所有的体-源电压为零。

小信号分析

图 5.2-5 差分放大器的小信号分析可以借助图 5.2-8（a）所示模型（忽略体效应）来完成。这个模型可以简化为图 5.2-8（b），而且只有假设放大器的两边完全匹配[①]的时候才适合差模分析。如果这个条件满足，则 M1 和 M2 两个连在一起的源极被视为交流接地。如果我们假设差分级没有负载，则输出交流短接到地，差分跨导增益可以表示为：

$$i'_{out} = \frac{g_{m1}g_{m3}r_{p1}}{1 + g_{m3}r_{p1}} v_{gs1} - g_{m2}v_{gs2} \tag{5.2-18}$$

或

$$i'_{out} \cong g_{m1}v_{gs1} - g_{m2}v_{gs2} = g_{md}v_{id} \tag{5.2-19}$$

式中，$g_{m1} = g_{m2} = g_{md}$，$r_{p1} = r_{ds1} \| r_{ds3}$，$i'_{out}$表示输出短路电流。

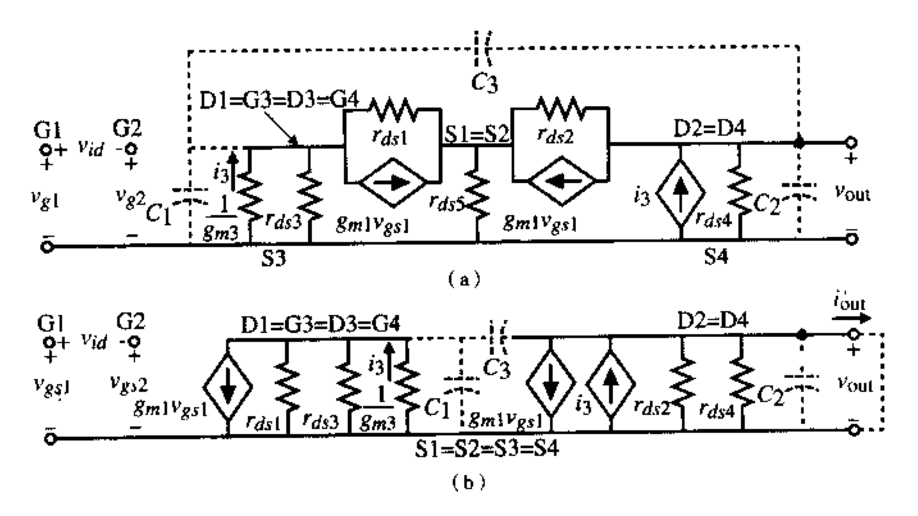


图 5.2-8 CMOS 差分放大器的小信号模型。（a）精确模型；（b）简化等效模型

无负载差模电压增益可以通过找出差分放大器的小信号输出电阻来定义。可以看到 r_{out} 为：

$$r_{out} = \frac{1}{g_{ds2} + g_{ds4}} \tag{5.2-20}$$

因此，电压增益作为 g_{md} 和 r_{out} 的乘积而给出：

$$A_v = \frac{v_{out}}{v_{id}} = \frac{g_{md}}{g_{ds2} + g_{ds4}} \tag{5.2-21}$$

如果假设所有管子工作在饱和区，且根据它们的大信号模型等效替换 g_m 和 r_{ds} 的小信号参数，

① 可以证明电流镜会引起这个假设无效，因为 M1 和 M2 的漏极负载不匹配，不过在这里不考虑这一点，继续采用这个假定。

可以得到：

$$A_v=\frac{v_{out}}{v_{id}}=\frac{(K_1'I_{SS}W_1/L_1)^{1/2}}{(\lambda_2+\lambda_4)(I_{SS}/2)}=\frac{2}{\lambda_2+\lambda_4}\left(\frac{K_1'W_1}{I_{SS}L_1}\right)^{1/2} \quad (5.2\text{-}22)$$

我们再一次注意到，像反相器一样，小信号增益取决于$I_{SS}^{1/2}$的倒数，事实上，这个关系直到I_{SS}接近亚阈区值时一直成立。假设$W_1/L_1=2\ \mu\text{m}/1\ \mu\text{m}$，$I_{SS}=10\ \mu\text{A}$，n 沟道差分放大器的小信号电压增益是 52。在同样条件下的 p 沟道差分放大器的小信号电压增益是 35。差别在于 n 沟道和 p 沟道 MOSFET 的迁移率不同。

理想情况下，图 5.2-5 所示 CMOS 差分放大器的共模增益应该是 0。这是因为电流镜负载抑制所有共模信号。事实上：由于差分放大器的失配，共模响应有可能存在。这些失配由电流镜偏离 1 : 1 拷贝和 M1 与 M2 之间的几何失配（见 4.4 节）构成。为了说明如何分析差分放大器的小信号共模电压增益，考虑图 5.2-9 所示的差分放大器，图中采用 MOS 二极管 M3 和 M4 作为负载。

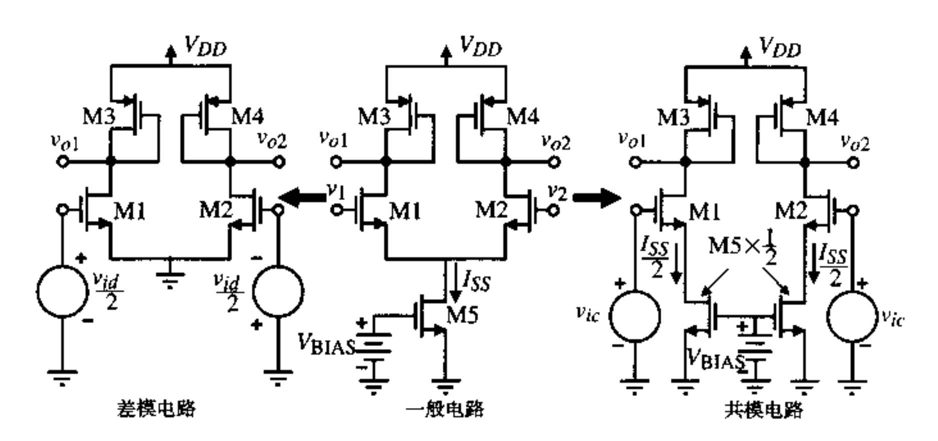


图 5.2-9 差分放大器小信号差模和共模分析的简化电路

图 5.2-9 所示的差分放大器提供了一个说明小信号差模和共模分析差别的典型实例。如果图5.2-9 中差分放大器的输入晶体管（M1 和 M2）匹配，那么对于差模分析，公共源极点交流接地，作用于 M1 和 M2 的差模信号大小相等，方向相反，如图 5.2-9 的左边电路所示。对小信号共模分析，电流漏I_{SS}可以被拆开为两个并联电流，大小均为$0.5I_{SS}$，阻抗为$2\,r_{ds5}$，共模输入电压分别加到 M1 和 M2 的栅极。这个等价电路如图 5.2-9 的右边电路所示。

除了输入减为一半以外，图 5.2-9 中电路的小信号差模分析与图 5.1-3 中的一样。因此给出图 5.2-9 的小信号差模电压增益为：

$$\frac{v_{o1}}{v_{id}}=-\frac{g_{m1}}{2g_{m3}} \quad (5.2\text{-}23)$$

或

$$\frac{v_{o2}}{v_{id}}=+\frac{g_{m2}}{2g_{m4}} \quad (5.2\text{-}24)$$

可见，图 5.2-9 中电路的小信号差模增益是有源负载反相器小信号增益的一半。原因是在图 5.2-9 中，输入信号被 M1、M2 各分一半。

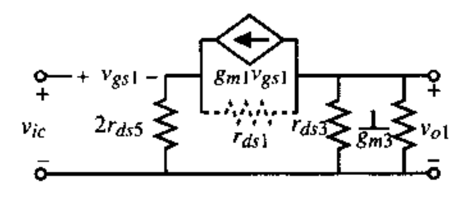


图 5.2-10 图 5.2-9 共模分析的小信号模型

由图 5.2-9 右边电路可得出小信号共模电压增益。因为在这之前我们没有分析过类似的电路，让我们在图 5.2-10 中重画这个电路的小信号模型（忽略体效应）。注意，$2r_{ds5}$ 代表 M5×0.5 管的小信号输出电阻（如果直流电流减小一半，那么小信号输出阻抗将增加到两倍）。

如果假设 r_{ds1} 足够大并且可以被忽略，图 5.2-10 的电路分析可以更简化。基于这个假设，我们可以写出：

$$v_{gs1} = v_{ic} - 2g_{m1}r_{ds5}v_{gs1} \tag{5.2-25}$$

求解 v_{gs1} 得到：

$$v_{gs1} = \frac{v_{ic}}{1 + 2g_{m1}r_{ds5}} \tag{5.2-26}$$

单端输出电压 v_{o1} 作为 v_{ic} 的函数可以写为：

$$\frac{v_{o1}}{v_{ic}} = -\frac{g_{m1}[r_{ds3}\,\|(1/g_{m3})]}{1 + 2g_{m1}r_{ds5}} \approx -\frac{(g_{m1}/g_{m3})}{1 + 2g_{m1}r_{ds5}} \approx -\frac{g_{ds5}}{2g_{m3}} \tag{5.2-27}$$

理想情况下，共模增益应为零。可以看到如果 r_{ds5} 大，则共模增益会减小。

共模抑制比（CMRR）可以由式（5.2-23）和式（5.2-27）的幅度之比得到为：

$$\mathrm{CMRR} = \frac{g_{m1}/2g_{m3}}{g_{ds5}/2g_{m3}} = g_{m1}r_{ds5} \tag{5.2-28}$$

这是一个重要的结果，它同时指出应如何提高 CMRR。显然，增加图 5.2-9 电路的 CMRR 最容易的方法是用共源共栅电流漏代替 M5。CMRR 将增加 $g_m r_{ds}$ 倍，代价是减小了 ICMR。

CMOS 差分放大器的频率响应归因于电路中每个节点上的各种寄生电容。与 CMOS 差分放大器有关的寄生电容在图 5.2-8（b）中用虚线表示。C_1 由 C_{gd1}、C_{bd1}、C_{bd3}、C_{gs3} 和 C_{gs4} 组成；C_2 由 C_{bd2}、C_{bd4}、C_{gd2} 和任何负载电容 C_L 组成。C_3 只包括 C_{gd4}。为了简化分析，假设 C_3 近似为零。在差分放大器的多数应用中，这种假设是成立的。因 C_3 近似为零时，图 5.2-8（b）的差模分析就简单了。电压传递函数可以写为：

$$V_{\mathrm{out}}(s) \cong \frac{g_{m1}}{g_{ds2} + g_{ds4}}\left[\left(\frac{g_{m3}}{g_{m3} + sC_1}\right)V_{gs1}(s) - V_{gs2}(s)\right]\left(\frac{\omega_2}{s + \omega_2}\right) \tag{5.2-29}$$

其中 ω_2 为：

$$\omega_2 = \frac{g_{ds2} + g_{ds4}}{C_2} \tag{5.2-30}$$

如果进一步假设：

$$\frac{g_{m3}}{C_1} \gg \frac{g_{ds2} + g_{ds4}}{C_2} \tag{5.2-31}$$

那么差分放大器的频率响应简化为：

$$\frac{V_{\mathrm{out}}(s)}{V_{id}(s)} \cong \left(\frac{g_{m1}}{g_{ds2} + g_{ds4}}\right)\left(\frac{\omega_2}{s + \omega_2}\right) \tag{5.2-32}$$

于是，差分放大器频率响应的一阶分析由输出端的单极点$-(g_{ds2}+g_{ds4})/C_2$构成。在上面的分析中，我们忽略了由 C_{gd1}、C_{gd2}和 C_{gd4}形成的零点。在分析运算放大器的时候将会更详细地分析差分放大器的频率响应。

小信号分析的直观方法

理解和设计模拟电路要求很好地掌握小信号分析方法。小信号分析在模拟电路中用得如此频繁，以至于我们希望找到一个更快捷的方法完成电路的性能分析。在 CMOS 模拟电路中，存在一种非常简单的小信号分析法，我们称之为直观分析法。这个方法基于 CMOS 电路的电路图而不需要再画出小信号模型。它将交流变化叠加在直流变量上。此技术可以确定将输入电压转化为电流的晶体管。我们称这些管子为跨导晶体管。跨导晶体管产生的电流流经电阻至交流地。用电流乘以这个电阻就可以得到这个节点的电压。这个方法既快也可用于检查用小信号模型进行的小信号分析。

让我们用这个方法分析图 5.2-5 中的差分放大器。图 5.2-11 重画了图 5.2-5 中已确定交流电压和电流的差分放大器。注意：交流电流可以逆直流而流。这就意味着实际的电流是减小的而不是改变方向。

由图5.2-11，作为差模工作，我们看到 M1 和 M2 的电流分别为 $0.5g_{m1}v_{id}$和$-0.5g_{m2}v_{id}$。$0.5g_{m1}v_{id}$的电流流进 M3 和 M4 组成的电流镜并在输出端拷贝输出 $0.5g_{m1}v_{id}$的电流。于是，流向输出节点（M2 和 M4 的漏极）的交流电流的总和是 $g_{m1}v_{id}$或 $g_{m2}v_{id}$。如果我们回忆起这种差分放大器的输出电阻是 r_{ds2}和 r_{ds4}的并联，那么由观察可以写出输出电压为：

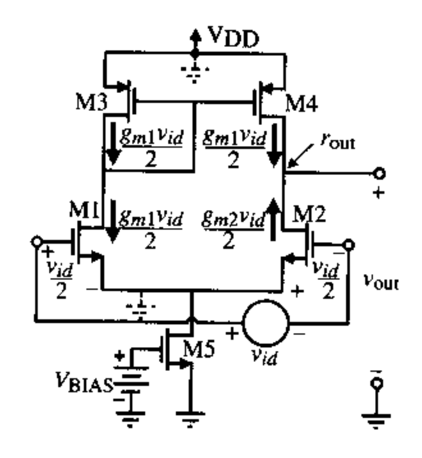


图 5.2-11 图 5.2-5 中 CMOS 差分放大器的直观分析

$$v_{out}=(g_{m1}v_{id})(r_{out})=\left(\frac{g_{m1}}{g_{ds2}+g_{ds4}}\right)v_{id} \qquad (5.2\text{-}33)$$

如果 $g_{md}=g_{m1}=g_{m2}$，这个计算给出式（5.2-21）推导的小信号差模电压增益。

如果我们还记得曾经学过的几个知识点，上面描述的小信号观察分析法是非常有用的。这几个知识点是：共源共栅结构的小信号输出电阻近似等于共源晶体管的 r_{ds}乘以共栅晶体管的 g_mr_{ds}。这个关系可以表示为：

$$r_{out}(\text{共源共栅})\approx r_{ds}(\text{共源})\times g_mr_{ds}(\text{共栅}) \qquad (5.2\text{-}34)$$

除了这个关系，考察图 5.2-10 中的条件将十分有用。图中跨导晶体管的源极接有一个到地的电阻。在这个条件下，我们可以用式（5.2-26）表示有效跨导 g_m（有效），即：

$$g_m(\text{有效})=\frac{g_m}{1+g_mR} \qquad (5.2\text{-}35)$$

式中，g_m是管子的跨导，R 是从源极到地的小信号电阻。对于式（5.2-26），$R=2r_{ds5}$，$g_m=g_{m1}$。利用式（5.2-34）和式（5.2-35），设计者将能够借助于直观分析法分析本教材后面的几乎所有电路。不过此法对于小信号频率响应的分析不适用，只可应用一些简单的结论（典型情况下，MOSFET 电路的极点等于节点到交流地的交流电阻与电容乘积的倒数）。

摆率和噪声

CMOS 差分放大器的摆率性能取决于 I_{SS} 和输出节点到交流地的电容值。摆率（*SR*）被定义为最大输出电压变化速率，非正即负。因为在 CMOS 差分放大器中，摆率由从电流源或电流漏流进输出/补偿电容的电流量决定，我们求得图 5.2-5 和图 5.2-7 的 CMOS 差分放大器的摆率为：

$$摆率 = I_{SS}/C \tag{5.2-36}$$

式中，C 是输出节点的总电容。例如，若 $I_{SS} = 10\ \mu A$，$C = 5\ pF$，摆率将为 2 V/μs。为了增加差分放大器的摆率，必须增大 I_{SS} 的值。

CMOS 差分放大器的噪声是由热噪声和 1/*f* 噪声引起的。根据有用频率的范围，一个起主导作用时，另一个可以忽略。在低频时，1/*f* 噪声是重要的，而在高频/低电流时，热噪声是重要的。图 5.2-12（a）给出每个管子的输入端接有等效噪声电压源的 p 沟道差分放大器电路图。等效噪声电压源由式（3.2-13）中忽略 I_{DD} 的噪声而得到。这种情况下，我们求出电路输出端总输出噪声电流 i_{to}^2。此时，可以假设输出对地短路来简化计算。总的输出噪声电流由对各噪声电流求和而得到：

$$i_{to}^2 = g_{m1}^2 e_{n1}^2 + g_{m2}^2 e_{n2}^2 + g_{m3}^2 e_{n3}^2 + g_{m4}^2 e_{n4}^2 \tag{5.2-37}$$

因为等效输出噪声电流是由等效输入噪声电压来表示的，我们可以用：

$$i_{to}^2 = g_{m1}^2 e_{eq}^2 \tag{5.2-38}$$

得到：

$$e_{eq}^2 = e_{n1}^2 + e_{n2}^2 + \left(\frac{g_{m3}}{g_{m1}}\right)^2 [e_{n3}^2 + e_{n4}^2] \tag{5.2-39}$$

上式中，我们假设 $g_{m1} = g_{m2}$ 和 $g_{m3} = g_{m4}$。噪声模型的结果如图 5.2-12（b）所示。

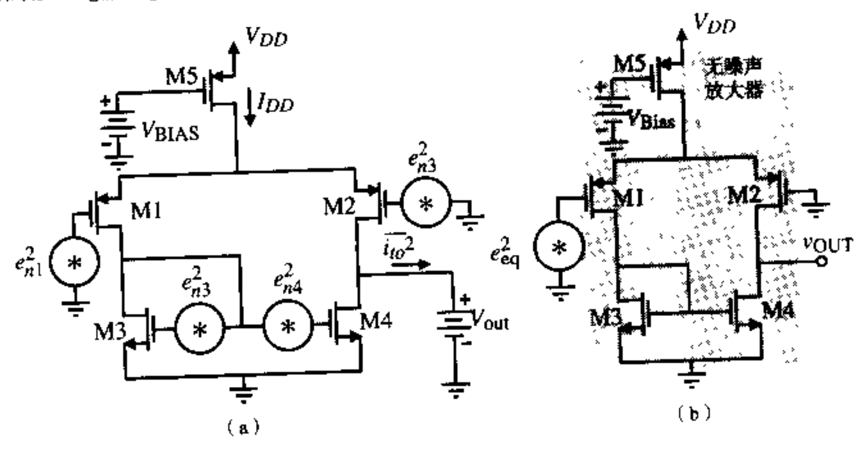


图 5.2-12 （a）每个管子的输入端加等效噪声电压源的 p 沟道差分放大器噪声模型；（b）等效噪声模型

假设 $e_{n1} = e_{n2}$ 和 $e_{n3} = e_{n4}$，将式（3.2-15）带入式（5.2-39），得到：

$$e_{eq}(1/f) = \sqrt{\frac{2B_P}{fW_1L_1}}\sqrt{1 + \left(\frac{K'_N B_N}{K'_P B_P}\right)\left(\frac{L_1}{L_3}\right)^2}\ (\mathrm{V}/\sqrt{\mathrm{Hz}}) \tag{5.2-40}$$

上式即差分放大器的等效输入 1/*f* 噪声。将热噪声表达式带入式（5.2-39），则等效输入热噪声为：

$$e_{eq(th)}=\sqrt{\frac{16kT}{3[2K_P'I_1(W_1/L_1)]^{1/2}}}\sqrt{1+\sqrt{\frac{K_N'(W_3/L_3)}{K_P'(W_1/L_1)}}}\left(\mathrm{V}/\sqrt{\mathrm{Hz}}\right) \tag{5.2-41}$$

如果负载管的长度远大于增益管，则输入参考 $1/f$ 噪声主要由输入管决定。设计使输入管宽长比远大于负载管能确保总的热噪声主要由输入管确定。

电流源负载差分放大器

我们感兴趣的另一种结构是用电流源作为负载的CMOS差分放大器，如图5.2-13所示。它的优点是有较大的共模输入电压范围，因为M3不再是二极管连接。可以证明，它的差模输入-差模输出（v_3-v_4）和小信号电压增益与图5.2-5的一样。然而，如果输出电压从 v_3 或 v_4 取出，则小信号电压增益是图5.2-5增益的一半。

图5.2-13的差分放大器有一个不太明显的问题。注意，I_{BIAS} 确定了M3、M4和M5的电流。有可能这些电流并不严格相等，这会产生什么影响呢？一般说来，如果直流电流流过PMOS管和NMOS管，电流偏大的晶体管将工作在线性区。实现电流匹配的根本途径是使大电流减小，如图5.2-14所示。达到此目的的惟一方法就是离开饱和区。所以，如果 I_3 大于 I_1，那么M1工作在饱和区而M3工作在线性区，反之亦然。

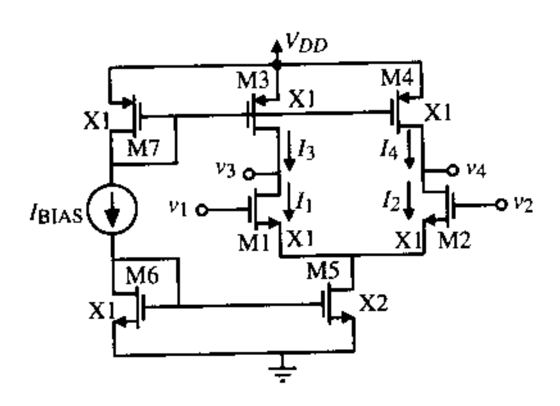


图5.2-13　电流源负载差分放大器

那么人们将怎样用电流源作为差分放大器的负载呢？如果知道了问题的产生原因，就可以找到答案。从上面我们看出，当电流不平衡的时候差分放大器的输出将会增加或减小。解决这个问题的关键是注意两个输出是增加还是减少。因此，如果我们施加共模反馈，将可以稳定差分放大器的共模输出电压，而允许差模输出电压由放大器的差模输入决定。

图5.2-15说明共模反馈怎样稳定图5.2-13中 v_3 和 v_4 的共模输出电压。在这个电路中，v_3 和 v_4 的均值与 V_{CM} 相比较，调整M3和M4的电流直到 v_3 和 v_4 的均值与 V_{CM} 相等。因为共模反馈电路追使均值电压等于 V_{CM}，v_3 与 v_4 之间的差可忽略。例如，如果 v_3 与 v_4 同时增加（它们的均值同时增加），MC2的栅极增加引起 I_{C3} 减小，因此 I_3 和 I_4 降低。这就使 v_3 和 v_4 减小。一般来说，共模反馈是从差分放大器的最后输出引出，输出端应有足够的驱动能力对付因 R_{CM1} 和 R_{CM2} 引起的电阻性负载。然而，这些负载必须足够大，以便不降低差分信道的性能。

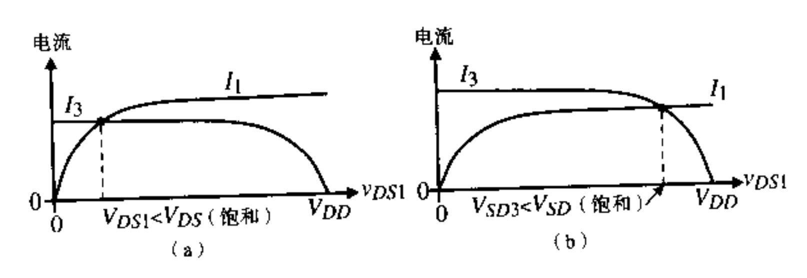


图5.2-14　图5.2-13中漏极电流不相等的影响。（a）$I_1>I_3$；（b）$I_3>I_1$

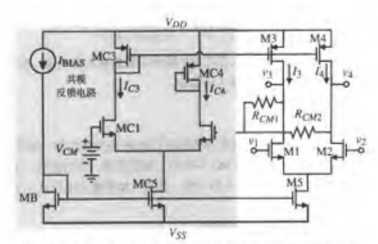


图 5.2-15　采用共模输出电压反馈稳定图 5.2-13 偏置电流的实例

电流镜负载的 CMOS 差分放大器设计

分析了各种 CMOS 电路并理解了它们的工作原理之后，下一步的设计也很重要。如同其他设计一样，在 CMOS 电路的设计中，选择设计规范和调整设计参数间的关系非常重要。在多数 CMOS 电路中，设计包括提供电路结构、W/L 值和直流电流。在图 5.2-5 的差分放大器中，设计参数是 M1 到 M5 的 W/L 值和 M5 的电流 I_5（V_{BIAS} 是定义 I_5 的外加电压，一般由电流镜的输入代替）。

设计开始时需要两种信息：一种是设计的约束，诸如电源电压、工艺和温度等；另一种是性能要求。图 5.2-5 所示的差分放大器的性能为：

- 小信号增益 A_v
- 给定负载电容时的频率响应 ω_{-3dB}
- 输入共模范围（ICMR）或最大和最小输入共模电压[V_{IC}(最大)和 V_{IC}(最小)]
- 给定输出电容时的摆率 SR
- 功耗 P_{diss}

设计就是运用描述性能的关系求出所有晶体管的直流电流和 W/L 值。对于图5.2-5，相应的关系概括如下：

$$A_v = g_{m1}R_{out} \tag{5.2-42}$$

$$\omega_{-3\,dB} = \frac{1}{R_{out}C_L} \tag{5.2-43}$$

$$V_{IC}(\text{最大}) = V_{DD} - V_{SG3} + V_{TN1} \tag{5.2-44}$$

$$V_{IC}(\text{最小}) = V_{DS5}(\text{饱和}) + V_{GS1} = V_{DS5}(\text{饱和}) + V_{GS2} \tag{5.2-45}$$

$$SR = I_5/C_L \tag{5.2-46}$$

和

$$P_{diss} = (V_{DD} + |V_{SS}|)(I_5) = (V_{DD} + |V_{SS}|)(I_3 + I_4) \tag{5.2-47}$$

图 5.2-16 解释了用于设计电流镜负载差分放大器的各种参数的典型关系。从这张图可以产生

归纳在表 5.2-1 中的一个流程。

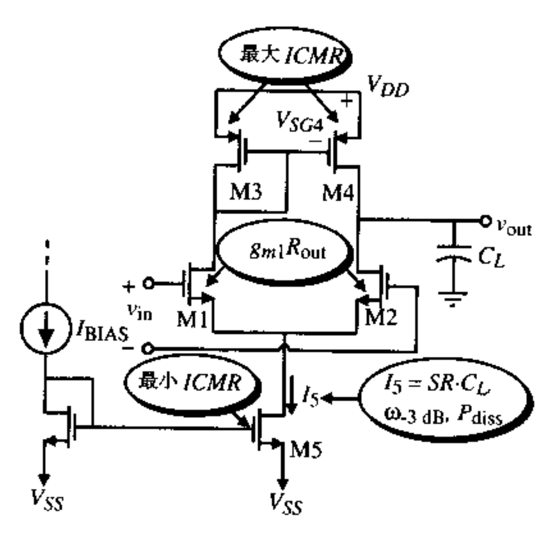


图 5.2-16　图 5.2-5 差分放大器的设计关系

表 5.2-1　电流镜负载差分放大器的设计流程

这个设计流程假设小信号差模电压增益 A_v、−3 dB 频率 ω_{-3dB}，最大、最小共模输入电压[V_{IC}(最大)、V_{IC}(最小)]，摆率 SR 和功耗 P_{diss} 为已知。
（1）在已知 P_{diss} 或 C_L 的前提下选择 I_5 来满足摆率
（2）检查 R_{out} 是否满足频率响应，如不满足，改变 I_5 或是修改电路（选择不同的拓扑结构）
（3）设计 W_3/L_3（W_4/L_4）来满足 ICMR 的上限
（4）设计 W_1/L_1（W_2/L_2）来满足小信号增益 A_v
（5）设计 W_5/L_5 来满足 ICMR 的下限
（6）重复必要的步骤

例 5.2-2　电流镜负载差分放大器的设计

设计图 5.2-5 所示电流镜负载差分放大器的电流和宽长比以满足下列指标：$V_{DD} = -V_{SS} = 2.5$ V，$SR \geq 10$ V/μs（$C_L = 5$ pF），$f_{-3\,dB} \geq 100$ kHz（$C_L = 5$ pF），小信号差模电压增益为 100 V/V，-1.5 V $\leq$ ICMR ≤ 2 V，$P_{diss} \leq 1$ mW。可用模型参数：$K'_N = 110\ \mu A/V^2$，$K'_P = 50\ \mu A/V^2$，$V_{TN} = 0.7$ V，$V_{TP} = -0.7$ V，$\lambda_N = 0.04\ V^{-1}$ 和 $\lambda_P = 0.5\ V^{-1}$。

解：

1．为了满足摆率，$I_5 \geq 50\ \mu A$。对于最大的 P_{diss}，$I_5 \leq 200\ \mu A$。

2．100 kHz 的 f_{-3dB} 意味着 $R_{out} \leq 318$ kΩ。R_{out} 可以表示为：

$$R_{out} = \frac{2}{(\lambda_N + \lambda_P)I_5} \leq 318\ k\Omega$$

由此得出 $I_5 \geq 70\ \mu A$，因此，我们选择 $I_5 = 100\ \mu A$。

3．最大输入共模电压为：

$$V_{SG3} = V_{DD} - V_{IC}(\text{最大}) + V_{TN1} = 2.5 - 2 + 0.7 = 1.2\ V$$

因此，我们可写出：

$$V_{SG3}=1.2\ \mathrm{V}=\sqrt{\frac{2\cdot 50\mu\mathrm{A}}{(50\ \mu\mathrm{A/V^2})(W_3/L_3)}}+0.7$$

解出 W_3/L_3 得：

$$\frac{W_3}{L_3}=\frac{W_4}{L_4}=\frac{2}{(0.5)^2}=8$$

4. 由小信号增益指标得出：

$$100\ \mathrm{V/V}=g_{m1}R_{\mathrm{out}}=\frac{g_{m1}}{g_{ds2}+g_{ds4}}=\frac{\sqrt{(2\cdot 110\ \mu\mathrm{A/V^2})(W_1/L_1)}}{(0.04+0.05)\sqrt{50\ \mu\mathrm{A}}}=23.31\sqrt{W_1/L_1}$$

解出 W_1/L_1 得：

$$\frac{W_1}{L_1}=\frac{W_2}{L_2}=18.4$$

5. 由最小输入共模电压得出：

$$V_{DS5}(\text{饱和})=V_{IC}(\text{最小})-V_{SS}-V_{GS1}=1.5+2.5-\sqrt{\frac{2\cdot 50\ \mu\mathrm{A}}{110\ \mu\mathrm{A/V^2}(18.4)}}-0.7$$

$$=0.3-0.222-0.0777\ \mathrm{V}$$

从 V_{DS5}（饱和）得出 W_5/L_3 的值：

$$\frac{W_5}{L_5}=\sqrt{\frac{2I_5}{K_N'\ V_{DS5}(\text{饱和})^2}}=300$$

我们应该稍微增加一点 W_1/L_1 来减小 V_{GS1}，得到一个更小的 W_5/L_5。因此，选择 W_1/L_1（W_2/L_2）$=25$，使得 $W_5/L_5=12.3$。小信号增益将增加到 111.1 V/V，这样问题就解决了。

本节介绍了多个 CMOS 差分放大器的有用结构。在后续几章中我们将介绍如何提高增益，减小噪声，增加带宽和改善一些引人关注的性能。CMOS 差分放大器被广泛用做放大器和比较器的输入极。它的良好性能依赖于匹配，这正是 IC 技术所容易实现的。

5.3 共源共栅放大器

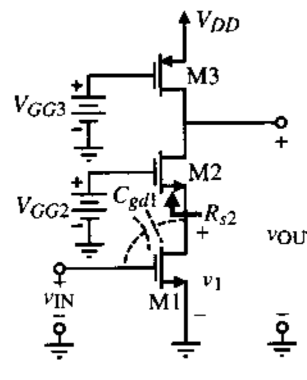


图 5.3-1 简单共源共栅放大器

与 5.1 节中反相放大器相比，共源共栅放大器有两个显著的优点：首先，它提供更高的输出阻抗，类似于图 4.3-4 的共源共栅电流漏和图 4.4-6 的共源共栅电流镜。其次，它减小了放大器输入端的米勒（Miller）电容效应，这一点在设计运算放大器的频率性能时是很重要的。图5.3-1示出由晶体管 M1、M2 和 M3 构成的简单共源共栅放大器。除 M2 之外，共源共栅放大器与 5.1 节中的电流源 CMOS 反相放大器一样。M2 的主要功能是使 M1 漏极的小信号阻抗变小。从 M2 的漏极看进去的小信号电阻近似为 $r_{ds1}g_{m2}r_{ds2}$，比从 M3 的漏极看进去的小信号阻抗 r_{ds3} 大得多。共源共栅放大器的小信号增益大约是共源反相放大器的两倍，因为 R_{out} 为原来的两倍。

大信号特性

图5.3-1所示共源共栅放大器的大信号电压传输特性可以采用与5.1节中反相放大器同样的方法分析。在这种情况下，主要的区别是M1-M2合成的输出特性比图5.1-5中的更平滑。

M1～M3的工作区可以用前述方法求得。M3的工作区可以由式(5.1-17)得到，在$V_{GG3}+|V_{TP}|$或3.0 V上是条水平线。当式(5.3-1)成立时，M2饱和：

$$V_{DS2} \geq V_{GS2} - V_{TN} \rightarrow v_{OUT} - V_{DS1} \geq V_{GG2} - V_{DS1} - V_{TN} \rightarrow v_{OUT} \geq V_{GG2} - V_{TN} \tag{5.3-1}$$

图5.3-2中给出了2.7 V的水平线。最后，求出M1的工作区为：

$$V_{GG2} - V_{GS2} \geq V_{GS1} - V_{TN} \rightarrow v_{IN} \leq \frac{V_{GG2} + V_{TN}}{2} \tag{5.3-2}$$

在这里，我们已经假设$V_{GS1}=V_{GS2}=v_{IN}$。在图5.3-2中式(5.3-2)是在$v_{IN}=2.05$ V处的垂直线。注意，传输曲线的最陡峭区域是所有晶体管都处于饱和区的地方(v_{OUT}在2.7~3.0 V之间)。

图5.3-2说明简单共源共栅放大器能够摆到V_{DD}，像前述的NMOS输入反相放大器一样，不过摆不到地。v_{OUT}的下限记做v_{OUT}(最小)，稍后可以求出。首先，假设M1和M2都工作在有源区(与图5.3-2一致)。如果我们以负电源电压为参考(此例中为地)，我们可以写出流过M1～M3管的电流为：

$$i_{D1} = \beta_1\left((V_{DD} - V_{T1})v_{DS1} - \frac{v_{DS1}^2}{2}\right) \cong \beta_1(V_{DD} - V_{T1})v_{DS1} \tag{5.3-3}$$

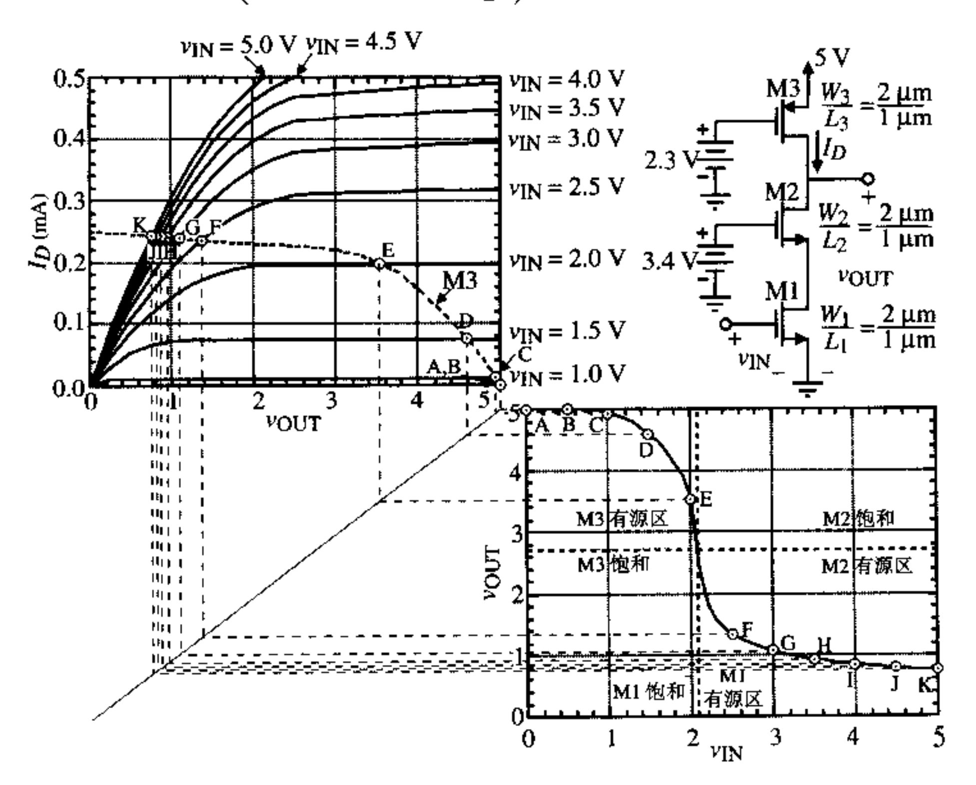


图5.3-2　共源共栅放大器电压传递函数的图解

$$i_{D2} = \beta_2\left((V_{GG2} - v_{DS1} - V_{T2})(v_{OUT} - v_{DS1}) - \frac{(v_{OUT} - V_{DS1})^2}{2}\right) \tag{5.3-4}$$
$$\cong \beta_2(V_{GG2} - v_{DS1} - V_{T2})(v_{OUT} - v_{DS1})$$

和

$$i_{D3} = \frac{\beta_3}{2}(V_{DD} - V_{GG3} - |V_{T3}|)^2 \tag{5.3-5}$$

在这里我们已经假设 v_{DS1} 和 v_{OUT} 很小，而且 $v_{IN} = V_{DD}$。由 $i_{D1} = i_{D2} = i_{D3}$ 和 $\beta_1 = \beta_2$，可以得到：

$$v_{OUT}(\text{最小}) = \frac{\beta_3}{2\beta_2}(V_{DD} - V_{GG3} - |V_{T3}|)^2\left(\frac{1}{V_{GG2} - V_{T2}} + \frac{1}{V_{DD} - V_{T1}}\right) \tag{5.3-6}$$

例 5.3-1　计算简单共源共栅放大器的最小输出电压

假设共源共栅结构所用的值和参数如图 5.3-2 所示，试计算最小输出电压 v_{OUT} (最小)。

解：

由式（5.3-6）得到 v_{OUT} (最小)为0.50 V。注意，仿真结果是0.75 V。如果我们在式（5.3-6）中考虑 M3 的沟道长度调制效应的影响，计算结果应该是 0.62 V，更加接近 0.05 V。差异是由于假设 v_{DS1} 和 v_{OUT} 都很小造成的。

上面计算的 v_{OUT} (最大)和 v_{OUT} (最小)表示输入电压在最大、最小值时相应的 v_{OUT} 值。虽然这些值很重要，但常常不是人们最感兴趣的。人们感兴趣的是所有管子都工作在饱和状态时的输出电压范围。在这种条件下，我们知道电压增益应该最大（斜率最大）。这些限定对管子设计很有用。因此，所有管子都工作在饱和区时共源共栅放大器的最大输出电压应该是：

$$v_{OUT}(\text{最大}) = V_{DD} - V_{SD3}(\text{饱和}) \tag{5.3-7}$$

对应的最小输出电压是：

$$v_{OUT}(\text{最小}) = V_{DS1}(\text{饱和}) + V_{DS2}(\text{饱和}) \tag{5.3-8}$$

对图5.3-2 中的共源共栅放大器而言，这两个限定是3.0 V 和2.7 V。因此，所有晶体管都工作在饱和区的范围很小。为了使这个范围变大，我们必须增加宽长比以减小饱和电压。我们将在后面讨论图5.3-1 的设计时考虑这个问题。

小信号特性

图 5.3-1 所示简单共源共栅放大器的小信号性能可以用图 5.3-3（a）的小信号模型来分析，此模型简化后如图5.3-3（b）所示。为简化起见，我们忽略了 M2 的体效应。这里的简化采用了附录A 中的电流源拆分和置换原理。采用节点分析可以写出：

$$(g_{ds1} + g_{ds2} + g_{m2})v_1 - g_{ds2}v_{out} = -g_{m1}v_{in} \tag{5.3-9}$$
$$-(g_{ds2} + g_{m2})v_1 + (g_{ds2} + g_{ds3})v_{out} = 0 \tag{5.3-10}$$

求解得出 v_{out}/v_{in} 为：

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}(g_{ds2} + g_{m2})}{g_{ds1}g_{ds2} + g_{ds1}g_{ds3} + g_{ds2}g_{ds3} + g_{ds2}g_{m2}} \cong \frac{-g_{m1}}{g_{ds3}} = -\left(\frac{2K_1'W_1}{L_1I_D\lambda_3^2}\right)^{1/2} \tag{5.3-11}$$

我们可以用图 5.3-1 所示共源共栅电流漏（M1 和 M2）的小信号输出阻抗与 r_{ds3} 并联来求输出电阻。因此，共源共栅放大器的小信号输出电阻为：

$$r_{out} = [r_{ds1} + r_{ds2} + g_{m2}r_{ds1}r_{ds2}] \parallel r_{ds3} \cong r_{ds3} \tag{5.3-12}$$

我们将看到如何利用共源共栅放大器在满足增益的条件下增加电势的优点。

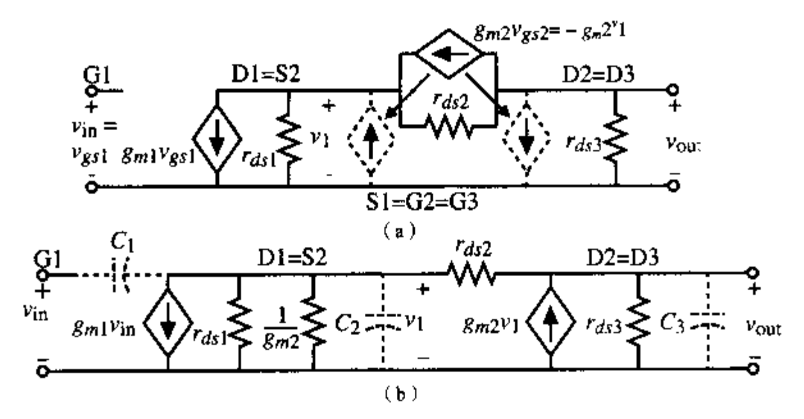


图 5.3-3 （a）忽略 M2 体效应后图 5.3-1 的小信号模型；（b）图 5.3-1 的简化等效模型

比较式（5.3-12）与式（5.1-21）。主要区别是共源共栅结构使 M2 的电阻与 r_{ds3} 比较能够忽略。我们进一步注意到小信号增益对偏置电流同样有依赖性。计算从输入 v_{in} 到 M1(v_1)漏极的小信号电压增益也是我们感兴趣的。由式（5.3-9）和式（5.3-10）得出：

$$\frac{v_1}{v_{in}} = \frac{-g_{m1}(g_{ds2} + g_{ds3})}{g_{ds1}g_{ds2} + g_{ds1}g_{ds3} + g_{ds2}g_{ds3} + g_{ds3}g_{m2}} \tag{5.3-13}$$

$$\approx \left(\frac{g_{ds2} + g_{ds3}}{g_{ds3}}\right)\left(\frac{-g_{m1}}{g_{m2}}\right) \cong \frac{-2g_{m1}}{g_{m2}} = -2\left(\frac{W_1L_2}{L_1W_2}\right)^{1/2}$$

可以看出，如果 M1 和 M2 的宽长比相同且 $g_{ds2} = g_{ds3}$，那么 v_1 / v_{in} 近似为−2。

增益为−2 的原因不明显。通常我们希望从 M2 的源极看进去的电阻是 $1/g_{m2}$。然而，这里显然不是这种情况。让我们更进一步观察图 5.3-1 中的电阻 R_{s2}，这是一个从 M2 的源极看进去的电阻。此计算的小信号模型如图 5.3-4 所示，图中忽略了体效应（$g_{mbs2} = 0$）。

为了求解图 5.3-4 中所示的 R_{s2} 值，我们首先写出一个电压环路是：

$$v_{s2} = (i_1 - g_{m2}v_{s2})r_{ds2} + i_1r_{ds3} = i_1(r_{ds2} + r_{ds3}) - g_{m2}r_{ds2}v_{s2} \tag{5.3-14}$$

为求 v_{s2} 与 i_1 的比值，解这个等式得到：

$$R_{s2} = \frac{v_{s2}}{i_1} = \frac{r_{ds2} + r_{ds3}}{1 + g_{m2}r_{ds2}} \tag{5.3-15}$$

我们看到如果 $r_{ds2} \approx r_{ds3}$，R_{s2} 正好等于 $2/g_{m2}$。于是，如果 $g_{m1} \approx g_{m2}$，则从图 5.3-1 所示共源共栅放大器的输入到 M1 的漏极或 M2 的源极的电压增益近似为−2。我们注意到一个重要的规则，从 MOSFET 的源极看进去的小信号电阻与管子漏极到交流地的电阻有关。

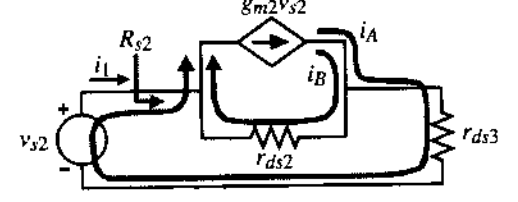


图 5.3-4 一个用于计算 R_{s2} 的小信号模型，R_{s2} 是从 M2 的源极看进去的输入电阻

如何使源极电阻受漏极到交流地的电阻控

制？如果我们考虑图 5.3-4 中流过受控电流源 $g_{m2}v_{s2}$ 的电流，答案是简单的。这个电流包含两个部分，分别记做 i_A 和 i_B。电流 i_A 流过由 r_{ds3} 和电压源 v_{s2} 组成的环路，电流 i_B 只流过 r_{ds2}。注意，因为 $i_1 = i_A$，所以 R_{s2} 的阻值由 $g_{m2}v_{s2}$ 电流的这部分决定。基本电路理论告诉我们电流将按这条路径中看到的电阻分流。例如，若 $r_{ds3}=0$，那么 $R_{s2}=1/g_{m2}$；然而，如果 $r_{ds3}=r_{ds2}$，亦即共源共栅放大器的情况，那么电流均匀分流且 i_1 减小到二分之一，而 R_{s2} 增加到两倍。注意，如果共源共栅放大器的负载电阻是共源共栅电流源，那么电流 i_A 非常小，电阻 R_{s2} 等效为 r_{ds}！这个事实在通用运算放大器结构中起着重要的作用。该运算放大器被称为折叠共源共栅结构，我们将在第 6 章讨论。

让我们进一步用观察法来说明图 5.3-1 共源共栅放大器的小信号电压增益。在这个电路中，输入信号 v_{in} 作用到 M1 的栅–源极，这引起 $g_{m1}v_{in}$ 的小信号电流流进 M1 的漏极。这个电流流过 M2 在输出端得到电压，该点是 M2 和 M3 的漏极连接点，其电阻是 $r_{ds1}g_{m2}r_{ds2}$ [见式（5.2-34）] 和 r_{ds3} 的并联。因为 $r_{ds1}g_{m2}r_{ds2}$ 大于 r_{ds3}，因此 $R_{out} \approx r_{ds3}$。$-g_{m1}v_{in} \times R_{out}$ 给出图 5.3-1 的小信号电压增益为 $-g_{m1}r_{ds3}$，与式（5.3-11）一致。

频率响应

共源共栅组合放大器的频率特性可以通过分析图 5.3-3（b）来获得。电路中含有指定的电容，且假设电压源 v_{in} 的电阻很小。C_1 只包含了 C_{gd1}，C_2 包含了 C_{bd1}、C_{bs2} 和 C_{gs2}，C_3 包含了 C_{bd2}、C_{bd3}、C_{gd2}、C_{gd3} 和负载电容 C_L。包含了这些电容，式（5.3-9）和式（5.3-10）成为（忽略体效应）：

$$(g_{m2} + g_{ds1} + g_{ds2} + sC_1 + sC_2)v_1 - g_{ds2}v_{out} = -(g_{m1} - sC_1)v_{in} \tag{5.3-16}$$

和

$$-(g_{ds2} + g_{m2})v_1 + (g_{ds2} + g_{ds3} + sC_3)v_{out} = 0 \tag{5.3-17}$$

求解 $V_{out}(s)/V_{in}(s)$ 得：

$$\frac{V_{out}(s)}{V_{in}(s)} = \left(\frac{1}{1 + as + bs^2}\right)\left(\frac{-(g_{m1} - sC_1)(g_{ds2} + g_{m2})}{g_{ds1}g_{ds2} + g_{ds3}(g_{m2} + g_{ds1} + g_{ds2})}\right) \tag{5.3-18}$$

其中：

$$a = \frac{C_3(g_{ds1} + g_{ds2} + g_{m2}) + C_2(g_{ds2} + g_{ds3}) + C_1(g_{ds2} + g_{ds3})}{g_{ds1}g_{ds2} + g_{ds3}(g_{m2} + g_{ds1} + g_{ds2})} \tag{5.3-19}$$

和

$$b = \frac{C_3(C_1 + C_2)}{g_{ds1}g_{ds2} + g_{ds3}(g_{m2} + g_{ds1} + g_{ds2})} \tag{5.3-20}$$

直接进行代数分析的一个难点常常是答案问题，虽然答案正确，但对于理解而言没有意义。这就是式（5.3-18）~式（5.3-20）的情况。我们发现如果 $s=0$，式（5.3-18）可以简化成式（5.3-11）。幸运的是，我们可以做一些简化使得上面分析得到的结果与先前的想法相同。我们将拓展这里的方法，因为以后考虑运算放大器的补偿时是有用的。这个方法也可以被用到 5.2 节中的差分放大器上。

一个通用的二阶多项式可写为：

$$P(s) = 1 + as + bs^2 = \left(1 - \frac{s}{p_1}\right)\left(1 - \frac{s}{p_2}\right)$$
$$= 1 - s\left(\frac{1}{p_1} + \frac{1}{p_2}\right) + \frac{s^2}{p_1p_2} \tag{5.3-21}$$

现在我们假设$|p_2| \gg |p_1|$，那么式（5.3-21）可简化为：

$$P(s) \cong 1 - \frac{s}{p_1} + \frac{s^2}{p_1 p_2} \quad (5.3\text{-}22)$$

因此，我们可以把p_1和p_2写成a和b的形式：

$$p_1 = \frac{-1}{a} \quad (5.3\text{-}23)$$

和

$$p_2 = \frac{-a}{b} \quad (5.3\text{-}24)$$

这个方法的关键是假设极点p_2的量级比极点p_1大得多。典型情况下，我们对小的极点更感兴趣以使这个方法更有用。假设式（5.3-18）中分母的极点完全不同，由式（5.3-22）得出：

$$p_1 = \frac{-[g_{ds1}g_{ds2} + g_{ds3}(g_{m2} + g_{ds1} + g_{ds2})]}{C_3(g_{ds1} + g_{ds2} + g_{m2}) + C_2(g_{ds2} + g_{ds3}) + C_1(g_{ds2} + g_{ds3})} \quad (5.3\text{-}25a)$$

$$p_1 \cong \frac{-g_{ds3}}{C_3} \quad (5.3\text{-}25b)$$

非主极点p_2为：

$$p_2 = \frac{-[C_3(g_{ds1} + g_{ds2} + g_{m2}) + C_2(g_{ds2} + g_{ds3}) + C_1(g_{ds2} + g_{ds3})]}{C_3(C_1 + C_2)} \quad (5.3\text{-}26a)$$

$$p_2 \cong \frac{-g_{m2}}{C_1 + C_2} \quad (5.3\text{-}26b)$$

假设C_1、C_2和C_3在同一数量级上，并且g_{m2}比g_{ds3}大得多，那么$|p_1|$就要比$|p_2|$小。因此，上面的近似是有效的。式（5.3-25）和式（5.3-26）表示了 CMOS 电路的典型趋势。频率响应的极点趋向于与节点到地的电容和电阻乘积的倒数有关。例如，输出节点RC乘积的倒数近似为g_{ds3}/C_3，而v_1节点RC乘积的倒数近似为$g_{m2}/(C_1+C_2)$[①]。

在频率响应中零点为：

$$z_1 = \frac{g_{m1}}{C_1} \quad (5.3\text{-}27)$$

根据观察法，这个零点是因输入到输出有两条途径而形成的。一条通过C_1直接耦合，另一条由受控源$g_{m1}v_{in}$产生。

高阻源激励放大器：米勒效应

共源共栅放大器还有一个很重要的方面没有研究。这是因为到目前为止我们都是假设共源共栅放大器受一个诸如电压源的低阻源激励。一般情况下，CMOS 电路中源电阻足够大以至于不能像前面那样被忽略掉。让我们看一看如果用高阻源激励反相放大器时会发生什么现象。图 5.3-5（a）显示由高阻源激励的电流源负载反相器，高阻源的内阻为R_s，通常与r_{ds}数量相当。

---

① 在式（5.3-15）中从 M2 源极看进去的电阻近似为$2/g_{m2}$，因而式（5.3-26b）似乎和RC乘积倒数的观点相矛盾。但是，如果我们假设在$|p_2|$时，图 5.3-3（b）中的电容C_3短路r_{ds3}，此时如果$|p_1|<|p_2|$，矛盾就解决了。

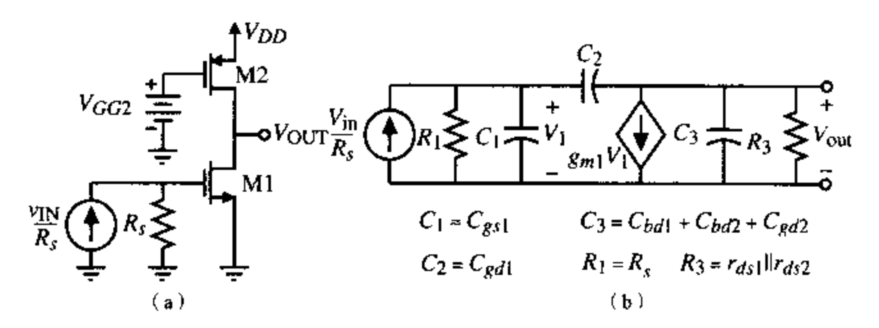


图 5.3-5 （a）高阻源激励的电流源负载反相器；（b）小信号等效模型

让我们考虑图 5.3-5（b）中的小信号电路。设输入为 I_{in}，则节点方程是：

$$[G_1 + s(C_1 + C_2)]V_1 - sC_2V_{out} = I_{in} \tag{5.3-28}$$

和

$$(g_{m1} - sC_2)V_1 + [G_3 + s(C_2 + C_3)]V_{out} = 0 \tag{5.3-29}$$

G_1 和 G_3 的值分别为 $1/R_s$ 和 $g_{ds1}+g_{ds2}$，C_1 等于 C_{gs1}，C_2 等于 C_{gd1}，C_3 等于 C_{bd1}、C_{bd2} 和 C_{gd2} 的和。求解 $V_{out}(s)/V_{in}(s)$ 得：

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{(sC_2 - g_{m1})G_1}{G_1G_3 + s[G_3(C_1 + C_2) + G_1(C_2 + C_3) + g_{m1}C_2] + (C_1C_2 + C_1C_3 + C_2C_3)s^2} \tag{5.3-30}$$

或者

$$\frac{V_{out}(s)}{V_{in}(s)} = \left(\frac{-g_{m1}}{G_3}\right) \times \frac{[1 - s(C_2/g_{m1})]}{1 + [R_1(C_1 + C_2) + R_3(C_2 + C_3) + g_{m1}R_1R_3C_2]s + (C_1C_2 + C_1C_3 + C_2C_3)R_1R_3s^2} \tag{5.3-31}$$

假设极点可分离，使用先前的方法可得：

$$p_1 = \frac{-1}{R_1(C_1 + C_2) + R_3(C_2 + C_3) + g_{m1}R_1R_3C_2} \cong \frac{-1}{g_{m1}R_1R_3C_2} \tag{5.3-32}$$

和

$$p_2 \cong \frac{-g_{m1}C_2}{C_1C_2 + C_1C_3 + C_2C_3} \tag{5.3-33}$$

显然，p_1 起主导作用，因此此法有效。式（5.3-32）说明由高阻源激励的反相器存在一个重要的缺点。电容出现了米勒效应：C_2 乘以从 V_1 到 V_{out} 的低频电压增益之后与 R_1 并联，产生了一个主极点（见习题 5.3-9）。在节点 1 处，由 C_2 产生的等效电容称为米勒电容。从几个方面可以看到，米勒电容对电路会产生负面影响。首先由它生成了一个主极点，其次它对驱动电路呈现一个大的电容负载。

共源共栅放大器的优点之一是可以大大减小米勒电容。这是由于 M1 的低频电压增益低，因此 C_2 就不会乘以大的系数。遗憾的是，重新分析图 5.3-3（b）时，用电流源驱动将引起三阶的分

母多项式，掩盖了结果。观察发现，共源共栅电路使得上面分析的负载电阻近似等于图5.3-1中共源共栅器件M2跨导倒数的两倍(记得这个近似恶化了M2漏端看进去的电阻，使之远大于 r_{ds2})。结果，式(5.3-32)中的 R_3 近似为共源共栅器件的 $2/g_m$。于是，如果两个跨导近似相等，输入极点的新位置是：

$$p_1 \cong \frac{-1}{R_1(C_1+C_2)+2(C_2+C_3)/g_m+2R_1C_2} \cong \frac{-1}{R_1(C_1+3C_2)} \tag{5.3-34}$$

此极点远大于式(5.3-32)的值。由式(5.3-13)也可以得出这个结果。M1的低频增益小于2可减小米勒效应。共源共栅放大器的这个特性(去除输入端的主极点)在控制运算放大器的频率响应方面是非常有用的。

我们注意到，虽然由M1和M2组成的共源共栅结构有很高的输出电阻，但M3的低阻使输出电阻不可能高。由于这个原因，电流源负载常被共源共栅电流源所代替，如图5.3-6(a)所示。图5.3-6(b)是该电路的小信号模型。首先考虑电路的输出电阻是有意义的。小信号输出电阻可以用式(5.3-12)得到：

$$\begin{aligned} r_{out} &= [r_{ds1}+r_{ds2}+(g_{m2}+g_{mbs2})r_{ds1}r_{ds2}] \parallel [r_{ds3}+r_{ds4}+(g_{m3}+g_{mbs3})r_{ds3}r_{ds4}] \\ &\cong [g_{m2}r_{ds1}r_{ds2}] \parallel [g_{m3}r_{ds3}r_{ds4}] \end{aligned} \tag{5.3-35}$$

根据大信号模型参数，小信号输出电阻是：

$$r_{out} \cong \frac{I_D^{-1.5}}{\left(\frac{\lambda_1\lambda_2}{[2K_2'(W/L)_2]^{1/2}}\right)+\left(\frac{\lambda_3\lambda_4}{[2K_3'(W/L)_3]^{1/2}}\right)} \tag{5.3-36}$$

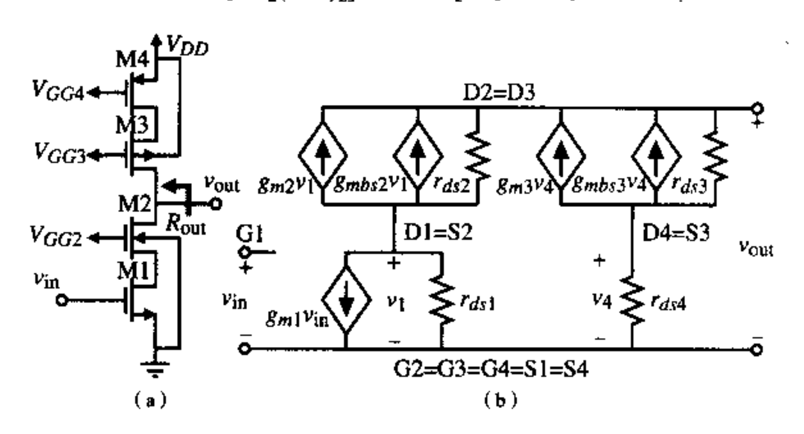


图5.3-6 (a)高增益和高输出电阻的共源共栅放大器；(b)小信号模型

已知 r_{out}，增益简化为：

$$A_v = -g_{m1}r_{out} \cong -g_{m1}\{[g_{m2}r_{ds1}r_{ds2}] \parallel [g_{m3}r_{ds3}r_{ds4}]\} \tag{5.3-37}$$

$$\cong \frac{\{[2K_1'(W/L)_1]^{1/2}\}I_D^{-1}}{\left(\frac{\lambda_1\lambda_2}{[2K_2'(W/L)_2]^{1/2}}\right)+\left(\frac{\lambda_3\lambda_4}{[2K_3'(W/L)_3]^{1/2}}\right)}$$

式(5.3-36)和式(5.3-37)给出的结论令人惊讶：电压增益正比于 I_D^{-1}，输出电阻的变化反比于 I_D 的3/2次幂。让我们通过一个例子来说明迄今为止所讨论的共源共栅放大器的特性。

例 5.3-2 共源共栅放大器性能对比

在图 5.3-1 和式 5.3-6(a)所示的共源共栅放大器中，已知 $I_D=200\,\mu A$，所有 W/L 均为 $2\,\mu m/1\,\mu m$，电容为 $C_{gd}=3.5\,fF$，$C_{gs}=30\,fF$、$C_{bsn}=C_{bdn}=24\,fF$，$C_{bsp}=C_{bdp}=12\,fF$，$C_L=1\,pF$。采用表 3.1-2 中的参数，试分别计算两图中电路的小信号电压增益、输出电阻、主极点和非主极点。

解:

图 5.3-1 的简单共源共栅放大器的小信号电压增益可以近似由式（5.3-11）计算得出为 37.1 V/V。输出电阻由式（5.3-12）求得为 125 kΩ。由式（5.3-25b）求得主极点为 1.22 MHz。由式（5.3-26b）求得非主极点为 579 MHz。

由式（5.3-37）可得图 5.3-6（a）的共源共栅放大器电压增益为−414。式（5.3-36）给出了输出电阻为 1.40MΩ。主极点由 $1/RC$ 的关系求出，其中 R 是输出电阻，C 是负载电容。这样计算得出主极点为 109 kHz。有一个与 M2 源极有关的非主极点。这个极点类似于低增益共源共栅放大器，因为从 M2 漏端看进去的负载电阻被 C_L 短路（见 P167 的注①）。

图 5.3-1［或图5.3-6（a）］的小信号电压增益可以在不改变 M2 和其他管子的直流电流的情况下，通过提高 M1 的直流电流来提高。这可以简单地从 V_{DD} 把一个电流源接到 M1 的漏极（M2 的源极）来实现。可以看到，增益随 I_{D1} 与 I_{D2} 比值的平方根的增加而增加（见习题 5.3-5）。

共源共栅放大器的设计

对于图5.3-1的共源共栅放大器，设计参数为 W_1/L_1、W_2/L_2、W_3/L_3、直流电流和偏置电压。图 5.3-7 显示了图5.3-1中放大器各个参数设计的关系式。共源共栅放大器的典型指标是 V_{DD}、小信号增益 A_v、最大和最小输出电压摆幅 v_{OUT}(最大)和 v_{OUT}(最小)以及功耗 P_{diss}。在下面的例子中，我们将阐明如何利用这些关系设计一个共源共栅放大器并达到给定的指标要求。

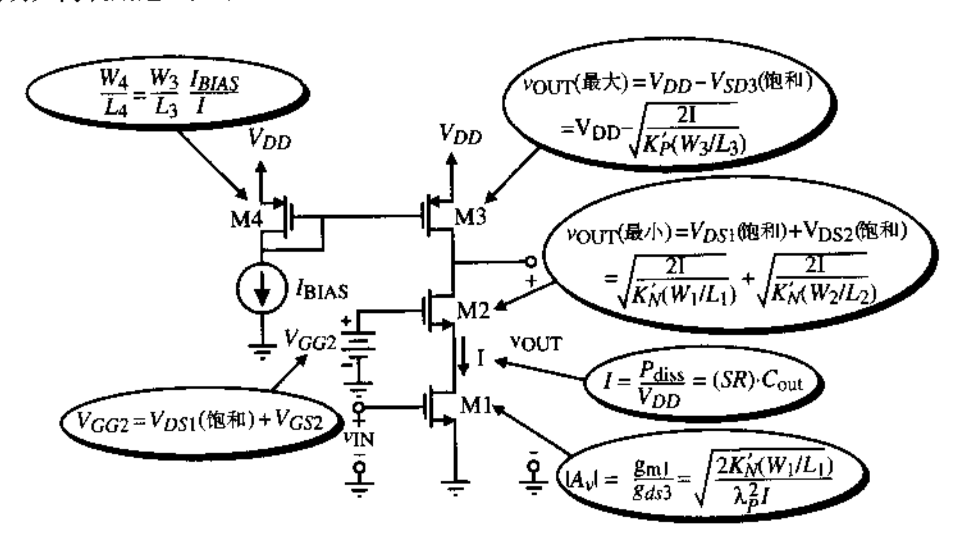


图 5.3-7 图 5.3-1 中简单共源共栅放大器的相关设计公式

例 5.3-3 共源共栅放大器的设计

共源共栅放大器的指标为：$V_{DD}=5\text{ V}$，$P_{diss}=1\text{ mW}$，$A_v=-50\text{ V/V}$，v_{OUT}(最大) = 4 V，v_{OUT}(最小) = 1.5 V。要求在 10 pF 负载上的摆率大于等于 10 V/μs。

解：

在设计中，不是所有的指标都重要且必须完全满足的。比如供电要求是5 V，但是如因某种原因输出摆幅可以超过设计要求。让我们从直流电流开始分析。摆率和功耗都会影响直流电流。摆率要求电流大于 100 μA，功耗要求小于 200 μA，我们折中取 150 μA。

首先从 M3 开始，因为惟一不知道的就是 W_3/L_3。用图 5.3-7 右上角的关系式，求得：

$$\frac{W_3}{L_3}=\frac{2I}{K_P'[V_{DD}-v_{OUT}(\text{最大})]^2}=\frac{2\cdot 150}{50(1)^2}=6$$

图 5.3-7 左上角的关系式给出 $I=I_{BIAS}$ 时 $W_4/L_4=W_3/L_3$。接下来用图5.3-7 右下角的关系式确定 W_1/L_1：

$$\frac{W_1}{L_1}=\frac{(A_v\lambda)^2 I}{2K_N'}=\frac{(50\cdot 0.04)^2(150)}{2\cdot 110}=2.73$$

为了设计 W_2/L_2，首先计算 V_{DS1}(饱和)并用 v_{OUT}(最小)来确定 V_{DS2}(饱和)。求解 V_{DS1}(饱和)得：

$$V_{DS1}(\text{饱和})=\sqrt{\frac{2I}{K_N'(W_1/L_1)}}=\sqrt{\frac{2\cdot 150}{110\cdot 4.26}}=0.8\text{ V}$$

用 1.5 V 减去这个值得 V_{DS2}(饱和) = 0.7 V。因此，W_2/L_2 为：

$$\frac{W_2}{L_2}=\frac{2I}{K_N'V_{DS2}(\text{饱和})^2}=\frac{2\cdot 150}{110\cdot 0.7^2}=5.57$$

最后，用图 5.3-7 左下角的关系式给出 V_{GG2} 的值：

$$V_{GG2}=V_{DS1}(\text{饱和})+\sqrt{\frac{2I}{K_N'(W_2/L_2)}}+V_{TN}=0.8\ V+0.7\ V+0.7\ V=2.2\ V$$

这个例子说明改变各管的 W/L 可以得到 2.5 V 的输出电压范围且使所有管子都工作在饱和区。

本节介绍了一个在模拟集成电路设计中非常有用的单元电路——共源共栅放大器，该电路给了设计者比反相放大器更多的对小信号性能的控制能力。另外，单级共源共栅电路可以在恰当地确定主极点的情况下提供非常高的电压增益。这两个性能在以后更复杂的电路中将会用到。

5.4 电流放大器

放大器的类型是根据输入输出变量是电压或者电流来定义的，而这些变量又是由输入输出电阻的量级来决定的。考虑到这一点，对于放大器来说，由于输入电阻大，所以输入变量为电压。虽然多数 MOSFET 放大器的输出电阻大，但输出变量仍选择为电压。只有当输出负载为无限大(多数 MOSFET 电路是这样)时这个选择是符合的。在 5.6 节我们将讨论复杂放大器，到时再详细解释这些细节。

本节我们讨论低输入电阻的放大器，采用电流作为输入变量。因为多数 MOSFET 放大器的输

出电阻已经很大，只要输出负载电阻较小而不是无限大，输出变量就可以选做电流。这类放大器称为电流放大器。这是非常有用的放大器，在很多地方可以使用，例如低电源电压模拟信号处理电路和离散时间电路[4, 5]。

什么是电流放大器

如前所述，电流放大器是一种低输入电阻、高输出电阻以及定义输入输出电流间关系的放大器。典型情况下，电流放大器由大内阻的源激励而驱动小的负载电阻。图5.4-1给出了电流放大器的一般实现形式。通常R_S很大而R_L很小。图5.4-1（a）是一个单端输入电流放大器，而图5.4-1（b）是差分输入电流放大器。虽然图 5.4-1 中电流放大器均为单端输出，很容易将它们改成差分输出。

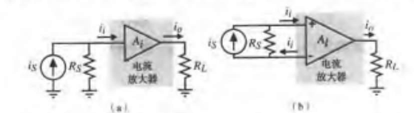


图 5.4-1 （a）单端输入电流放大器；（b）差分输入电流放大器

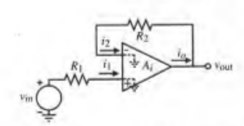


图 5.4-2 具有电阻性负反馈的电流放大器

相对于电压放大器而言，电流放大器有几个重要的优点：首先电流不受限于电源电压，所以在低电源电压下可能具有更宽的信号动态范围。只有最终需要将电流转换为电压时，这个优点才会受限。第二个优点是：采用负反馈时，电流放大器的−3 dB 带宽与闭环增益无关。这将在图5.4-2 中用差分输入电流放大器的分析来说明。假设从图5.4-2 中电流差分放大器的+和−端看进去的小信号输入电阻比 R_1 或者R_2小，那么我们可以将 i_o 表示为：

$$i_o = A_i(i_1 - i_2) = A_i\left(\frac{v_{in}}{R_1} - i_o\right) \tag{5.4-1}$$

求解 i_o 得到：

$$i_o = \left(\frac{A_i}{1 + A_i}\right)\frac{v_{in}}{R_1} \tag{5.4-2}$$

然而，输出电压 v_{out} 可以用 i_o 表示成：

$$v_{out} = R_2 i_o = \frac{R_2}{R_1}\left(\frac{A_i}{1 + A_i}\right)v_{in} \tag{5.4-3}$$

式（5.4-3）是非常重要的结果。如果 A_i 与频率有关，可用下面的单极点模型来表示：

$$A_i(s) = \frac{A_o}{(s/\omega_A) + 1} \tag{5.4-4}$$

那么可以证明闭环−3 dB 频率为：

$$\omega_{-3\,\mathrm{dB}} = \omega_A(1 + A_o) \tag{5.4-5}$$

式中，ω_A 是 $A_i(s)$的单极点频率值，A_o 是电流放大器的直流电流增益。注意，这是一个与闭环增益 R_2/R_1 无关的特性。利用这个特性，在图5.4-2的输出加接一个高频缓冲放大器就可以构造高频电压放大器。

单端输入电流放大器

图5.4-3（a）中的简单电流镜是一种相当好的电流放大器的实现形式。从前面的讨论中看到小信号输入电阻是：

$$R_{in}=\frac{1}{g_{m1}} \tag{5.4-6}$$

小信号输出电阻是：

$$R_{out}=\frac{1}{\lambda_1 I_2} \tag{5.4-7}$$

理想的电流增益为：

$$A_i=\frac{W_2/L_2}{W_1/L_1} \tag{5.4-8}$$

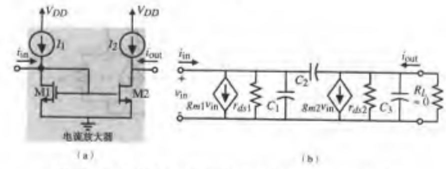


图5.4-3 （a）简单电流镜实现的电流放大器；（b）小信号模型

简单电流镜的频率响应可以从图5.4-3（b）的小信号模型求得。电容 C_1 由 C_{bd1}、C_{gs1}、C_{gs2} 和连接到输入端的其他电容构成。电容 C_2 就是 C_{gd2}。最后，电容 C_3 由 C_{bd2} 和连接到输出端的其他电容构成。这与前面所给的高阻源激励的反相器（见图5.3-5）的分析相同。假设 R_L 近似为0，可使这个分析简化。这样，C_3 输出短路，C_2 和 C_1 并联。一个单极点为：

$$P_1=\frac{-(g_{m1}+g_{ds1})}{C_1+C_2}=\frac{-(g_{m1}+g_{ds1})}{C_{bd1}+C_{gs1}+C_{gs2}+C_{gd2}}\approx\frac{-g_{m1}}{C_{bd1}+C_{gs1}+C_{gs2}+C_{gd2}} \tag{5.4-9}$$

例5.4-1 作为电流放大器的简单电流镜的性能

在图5.4-3（a）的电流放大器中，已知 $10I_1=I_2=100\ \mu A$，$W_2/L_2=10\ W_1/L_1=10\ \mu m/1\ \mu m$，设 $C_{bd1}=25$ fF，$C_{gs1}=C_{gs2}=16$ fF，$C_{gd2}=3$ fF。试求该电流放大器的小信号电流增益 A_i、输入电阻 R_{in}、输出电阻 R_{out} 和−3 dB频率（单位Hz）。

解：

忽略沟道调制和不匹配因素，小信号电流增益 A_i 由 W/L 值的比决定，为+10 A/A。小信号输入电阻 R_{in} 近似为 $1/g_{m1}$，即：

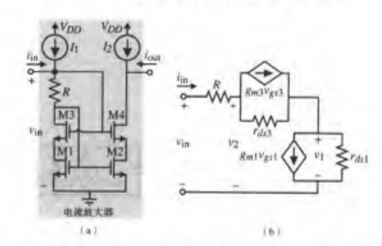
$$R_{in}=\frac{1}{\sqrt{2K_N(1/1)\,10\,\mu A}}=\frac{1}{46.9\,\mu S}=21.3\,k\Omega$$

小信号输出电阻 R_{out} 等于$1/\lambda_N I_2$，即 250 kΩ。–3 dB 频率由式（5.4-9）给出为：

$$\omega_{-3\,dB}=\frac{46.9\,\mu S}{60\,fF}=781.7\times10^6\,rad/s\rightarrow f_{-3\,dB}=124\,MHz$$

4.4 节中讨论的自偏置共源共栅电流漏可用于使电流放大器得到更好的性能。自偏置共源共栅电流镜用做电流放大器的电路如图 5.4-4（a）所示。我们知道，因为共源共栅输出，这个电流镜输出电阻高于简单电流镜。然而，小信号输入电阻是多少不是很清楚。图 5.4-4（b）可以回答这个问题。写出环路方程得到：

$$v_{in}=R\,i_{in}+r_{ds2}\,(i_{in}-g_{m3}v_{gs3})+r_{ds1}(i_{in}-g_{m1}v_{gs1})\qquad(5.4\text{-}10)$$



（a）　　（b）

图 5.4-4　（a）自偏置共源共栅电流镜实现的电流放大器；（b）计算 R_{in} 的小信号模型

v_{gs1} 和 v_{gs2} 可以用 i_{in} 和 v_{in} 表示为：

$$v_{gs1}=v_2=v_{in}-i_{in}R\qquad(5.4\text{-}11)$$

和

$$v_{gs3}=v_{in}-v_1=v_{in}-(i_{in}-g_{m1}v_{gs1})r_{ds1}=v_{in}(1+g_{m1}r_{ds1})-i_{in}r_{ds1}(1+g_{m1}R)\qquad(5.4\text{-}12)$$

将式（5.4-11）和式（5.4-12）代入式（5.4-10）得：

$$R_{in}=\frac{v_{in}}{i_{in}}=\frac{R+r_{ds1}+r_{ds3}+r_{ds1}g_{m3}r_{ds3}(1+g_{m1}R)+g_{m1}r_{ds1}R}{1+g_{m3}r_{ds3}(1+g_{m1}r_{ds1})+g_{m1}\,r_{ds1}}\approx R+\frac{1}{g_{m1}}\qquad(5.4\text{-}13)$$

式（5.4-13）是一个有意思的结果：由于负反馈，等效输入电阻近似为 $R+1/g_{m1}$。R 由 V_{ON}/I_1 决定，这可以得到一个小的 R_{in}。可以轻松得到小于 1 kΩ的值。4.4 节中讨论的改进型高摆幅共源共栅电流漏电路可用来将图 5.4-4（a）中电流放大器的输入电阻减小到 $1/g_{m1}$。

例 5.4-2　自偏置共源共栅电流镜实现的电流放大器

已知图 5.4-4（a）中的 I_1 和 I_2 为 100 μA。R 被设计为给出 0.1 V 的 V_{ON}，于是，R=1 kΩ。设

所有管子的 W/L 为 182 μm/1 μm，试求 R_{in}、R_{out} 和 A_i。

解：

由式（5.4-13）我们看到 $R_{in} \approx 1.5\ \text{k}\Omega$。根据我们已有的共源共栅结构的知识，得出小信号输出电阻 R_{out} 近似为 $g_{m4}r_{ds4}r_{ds2}$。由 $g_{m4} = 2001\ \mu\text{S}$ 和 $r_{ds2} = r_{ds4} = 250\ \text{k}\Omega$，得 $R_{out} = 125\ \text{M}\Omega$。因为 $V_{DS1}=V_{DS2}$，所以小信号电流增益是 1。用 SPICE LEVEL 1 模型对这个例子进行模拟的结果是 R_{in}=1.497 kΩ，R_{out}=164.7 MΩ，A_i=1.000。

如果希望输入电阻比自偏置共源共栅电流放大器所能达到的低输入电阻还要低，就必须使用负反馈。图5.4-5（a）说明了应该怎样实现。这个电路用并联负反馈将小信号输入电阻减小到 $1/g_m$ 以下。为保持 v_{IN} 的直流值最小，V_{GG3} 应该等于 V_{ON}，这使得 V_{in}（最小）为 V_T+2V_{ON}。

小信号输入电阻可以用图 5.4-5（b）的模型来计算，结果为（见习题 5.4-4）：

$$R_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1} + g_{m1}g_{m3}r_{ds3} + g_{ds1}} \approx \frac{1}{g_{m1}g_{m3}r_{ds3}} \qquad (5.4\text{-}14)$$

我们看到图5.4-5（a）的输入电阻近似为 $g_{m3}r_{ds3}$，小于简单电流镜的输入电阻。不过为达到准确的电流增益，进一步的优化是必需的，因为 $V_{DS1} \neq V_{DS2}$（见习题 5.4-5）。如果 $I_1= 2I_3$=100 μA，所有的 W/L 为 10 μm/1 μm，小信号输入电阻近似为 33.7 Ω。

用负反馈达到低输入电阻的一个缺点是：高频时环路增益减小，输入电阻将会增加。在反馈环路中我们必须注意某些极点在闭环响应中可能成为零点。通常这些零点会靠近其他极点，导致引起一个慢瞬态响应的极-零点对叠加在正常的瞬态响应上[6]。

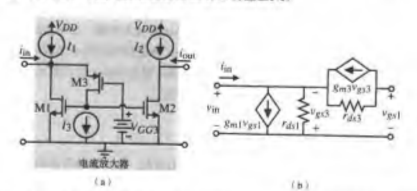


图 5.4-5 （a）用并联负反馈减小 R_{in} 的电流放大器；（b）计算 R_{in} 的小信号模型

差分输入电流放大器

差分输入电流放大器如图5.4-6 所示。现在考虑如何实现这样一个放大器。类似于差分输入电压放大器的式（5.2-5），差分输入电流放大器应该有一个输出电流关系式。利用图5.4-6，这个关系式可以写成：

$$i_O = A_{ID}i_{ID} \pm A_{IC}i_{IC} = A_{ID}(i_1 - i_2) \pm A_{IC}\left(\frac{i_1 + i_2}{2}\right) \qquad (5.4\text{-}15)$$

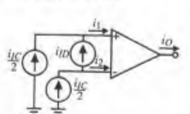


图 5.4-6 差分输入电流放大器的输入电流中差模电流（i_{ID}）和共模电流（i_{IC}）的定义

式中，A_{ID}是差模电流增益，A_{IC}是共模电流增益。共模电流增益是两输入端间非理想匹配时的结果。

图5.4-7（a）是差分输入电流放大器的一个直接实现电路。这是基于双极型晶体管实现的电流输入差分放大器[7]。输入端的直流电流源是必需的，且至少大于i_1和i_2最大电流值的两倍。注意，调整M3和M4的W/L可以得到所需的电流增益。如果需要更大的电流增益或更高的输出电阻，输出可因此而改变。图5.4-5（a）所示的电流放大器可以代替M1～M2和M3～M4以得到更小的输入电阻。图5.4-7（b）中的差分输入电流放大器是一个可供选择的方法。两种实现都有一个近似$1/g_m$的小信号输入电阻。注意，两种差分输入电流放大器都有一个确定的直流输入电位。某些情况下，直流输入电位可以由外部输入调整[8]。

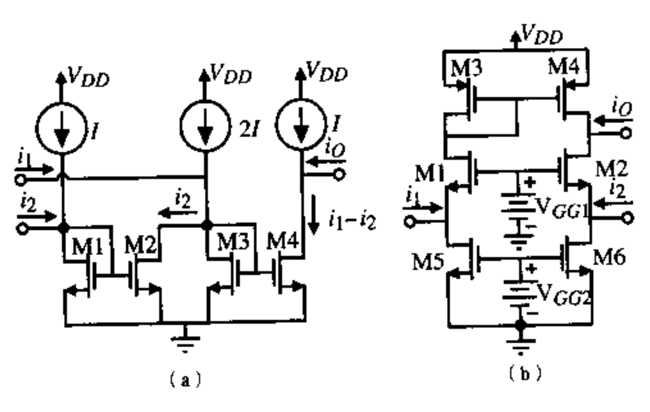


图5.4-7 （a）电流镜差分输入电流放大器；（b）另一种差分输入电流放大器

本节介绍了电流放大器的概念，也说明了如何用CMOS技术实现。对电流放大器而言，主要关心的是如何减小输入电阻。若不用负反馈，用MOSFET所能得到的最小小信号输入电阻是$1/g_m$。电流放大器还有许多其他结构，其中的一种是校准共源共栅电流镜（见习题5.4-7和习题5.4-8）。电流放大器将会在低电压电路和开关电流电路中得到应用。

5.5 输出放大器

输出放大器的主要目的是有效地将信号提供给输出负载。输出负载可由电阻、电容或二者并联构成。一般来说，输出电阻较小，在50~1000 Ω范围内，输出电容较大，在5~1000 pF范围内。输出放大器应该有能力给这些负载提供足够的信号（电压、电流或功率）。

输出放大器驱动低负载电阻的主要需求是有一个小于等于负载电阻的小信号输出电阻。至今所讨论过的三种CMOS放大器中没有一个具有这种性能，虽然有源负载反相器的输出电阻可以达到1000 Ω。驱动大电容的输出放大器的主要要求是有能力输出一个大的源或漏电流。驱动大电容的放大器不需要低的输出电阻。

CMOS输出放大器的主要目的是实现电流变换功能。多数输出放大器电流增益高而电压增益低。对输出级的特殊要求是：（1）用电流或电压的形式提供足够的输出功率；（2）避免信号失真；（3）高效率；（4）提供反常情况下的保护（短路、过热等）。第二条要求的提出是因为当信号摆幅增大时，在小信号放大器中不会遇到的非线性将成为重要因素。第三条要求出自相对于消耗在负载上的功耗必须尽量减小驱动管自身的功耗。第四条要求一般CMOS输出级都会遇到，因为

MOS 器件具有自温度限制（thermally self-limiting）的性质。

本节我们将讨论几种输出放大器的实现，包括甲类放大器、源极跟随器、推挽放大器以及衬底双极型晶体管的使用和负反馈的使用。每一种放大器都按以上的要求进行讨论。

甲类放大器

为了减小输出电阻，提高电流驱动能力，一个直接简单的方法是提高输出级的偏置电流。图 5.5-1（a）展示了一个电流源负载的 CMOS 反相器。这个反相器的负载由电阻 R_L 和电容 C_L 构成。有几种方法来确定输出放大器的性能。一种是确定放大器的交流输出电阻，在图 5.5-1 的情况是：

$$r_{out} = \frac{1}{g_{ds1} + g_{ds2}} = \frac{1}{(\lambda_1 + \lambda_2)I_D} \tag{5.5-1}$$

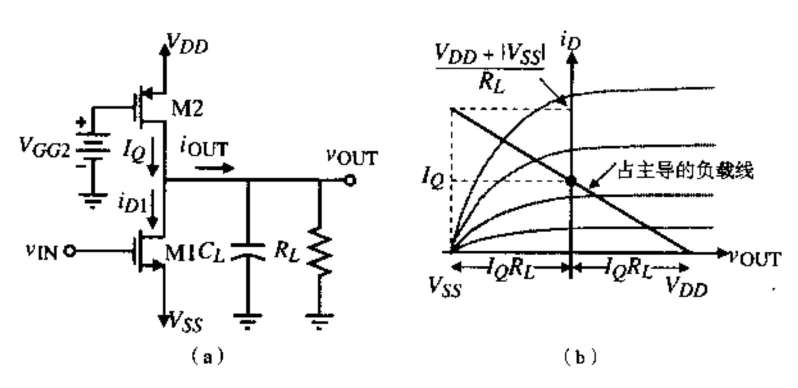


图 5.5-1　（a）甲类放大器；（b）负载线

另一种是对给定的 R_L 确定输出摆幅 V_P。在这种情况下，最大流进/流出电流等于 V_P/R_L。图 5.5-1 中简单输出级的最大流进电流为：

$$I_{OUT}^{-} = \frac{K_1'W_1}{2L_1}(V_{DD} - V_{SS} - V_{T1})^2 - I_Q \tag{5.5-2}$$

式中，假设 v_{IN} 可以达到 V_{DD}。图 5.5-1 中简单输出级的最大流出电流为：

$$I_{OUT}^{+} = \frac{K_2'W_2}{2L_2}(V_{DD} - V_{GG2} - |V_{T2}|)^2 \le I_Q \tag{5.5-3}$$

其中，I_Q 是由电流源 M2 提供的直流电流。由式（5.5-2）和式（5.5-3）可以看到最大源电流将受输出电流的限制。通常，$I_{OUT}^{-} > I_{OUT}^{+}$，因为 v_{IN} 可以达到 V_{DD} 使得 M1 强导通，而 I_Q 通常是一个不变的电流值。

图 5.5-1 中的电容 C_L 因摆率也对输出电流提出一个要求，这个限制可以表示为：

$$|I_{OUT}| \cong C_L\left(\frac{dv_{OUT}}{dt}\right) = C_L(SR) \tag{5.5-4}$$

对转换 I_{OUT} 中有意义的部分而言，与 C_L 并联的负载电阻变得很小的时候，此近似变得很糟糕，这使得它难以构成充电电流。由于这些原因，常用的描述 C_L 上电压的指数关系是必需的，因此设计输出级时必须同时考虑 R_L 和 C_L 的影响。

图 5.5-1 中甲类输出放大器的小信号性能已经在 5.1 节中给出了分析。图 5.5-2 给出了图 5.5-1

的小信号模型，模型中包括了负载电阻和电容。为了考虑负载电阻和电容，我们可以对这些结果做如下的修改，小信号电压增益为：

$$\frac{v_{\text{out}}}{v_{\text{in}}}=\frac{-g_{m1}}{g_{ds1}+g_{ds2}+G_L} \tag{5.5-5}$$

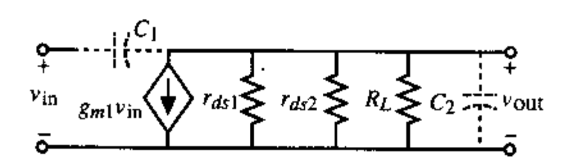


图 5.5-2　图 5.5-1 电路的小信号模型

式（5.1-21）给出小信号输出电阻。甲类放大器有一个零点为：

$$z=\frac{g_{m1}}{C_{gd1}} \tag{5.5-6}$$

和一个极点为：

$$p=\frac{-(g_{ds1}+g_{ds2}+G_L)}{C_{gd1}+C_{gd2}+C_{bd1}+C_{bd2}+C_L} \tag{5.5-7}$$

例 5.5-1　简单的设计

设计简单甲类输出级电路，已知 $V_{DD}=-|V_{SS}|=3\text{ V}$，$V_{GG2}=0\text{ V}$，沟道长度为 2 μm，用表 3.1-2 的值设计 M1 和 M2 的 W/L，得到±2 V 的电压摆幅和~1V/μs 的摆率。设 $R_L=20\text{ k}\Omega$，C_L=1000 pF，$C_{gd1}=100\text{ fF}$。

解：

让我们先分析一下 R_L 的影响。峰值输出电流必须为±100 μA。为了满足 SR 的要求，必须向负载电容提供±1 mA 的充电电流。因为这个电流远大于 R_L 上电压达到指标要求所需的电流值，所以我们可以放心地假设反相器提供了 C_L 的充电电流。用±1 mA 的电流、W_1/L_1 近似为 3 μm/2 μm，W_2/L_2 近似为 15 μm/2 μm。

放大器的小信号增益为−8.21 V/V。这个电压增益不高，因为低输出电阻与 R_L 并联。放大器的输出电阻是 50 kΩ。零点为 1.59 GHz，极点为−11.14 kHz。

效率被定义为 R_L 上消耗的功率与电源提供功率之比。由图 5.5-1（b）得出效率为：

$$\text{效率}=\frac{P_{RL}}{P_{\text{Supply}}}=\frac{\dfrac{v_{\text{OUT}}(\text{峰值})^2}{2R_L}}{(V_{DD}-V_{SS})I_Q}=\frac{\dfrac{v_{\text{OUT}}(\text{峰值})^2}{2R_L}}{(V_{DD}-V_{SS})\left(\dfrac{V_{DD}-V_{SS}}{2R_L}\right)}=\left(\frac{v_{\text{OUT}}(\text{峰值})}{V_{DD}-V_{SS}}\right)^2 \tag{5.5-8}$$

当 v_{OUT}（峰值）为 0.5（$V_{DD}-V_{SS}$）时，甲类输出级达到最大效率 25%。

放大器的失真可以由对正弦信号的影响表现出来。失真是由于放大器的非线性传输特性产生的。一个纯正弦波信号表示为：

$$V_{in}(\omega) = V_p \sin(\omega t) \tag{5.5-9}$$

作用在输入端，带有失真的放大器输出为：

$$V_{out}(\omega) = a_1 V_p \sin(\omega t) + a_2 V_p \sin(2\omega t) + \cdots + a_n V_p \sin(n\omega t) \tag{5.5-10}$$

i 次谐波的谐波失真（HD）定义为 i 次谐波的幅值与基波的幅值之比。例如，二次谐波失真为：

$$HD_2 = \frac{a_2}{a_1} \tag{5.5-11}$$

总谐波失真（THD）定义为所有二次和二次以上谐波平方和的平方根与基波幅值的比。于是，根据式（5.5-10），THD 可以表示为：

$$THD = \frac{[a_2^2 + a_3^2 + \cdots + a_n^2]^{1/2}}{a_1} \tag{5.5-12}$$

图 5.5-1 中的电路在最大输出幅度时的失真不会好，因为 5.1 节中已说明了大信号摆幅时电压传输曲线的非线性。

源极跟随器

第二种输出级放大器是用 MOS 管构成的共漏或者源极跟随器电路。这个结构具有大的电流增益和小的输出电阻。不过，因为源极是输出节点，MOS 器件与体效应有关。体效应引起阈值电压 V_T 随输出电压的增加而提高，使得最大输出电压远小于 V_{DD}。图5.5-3 显示了两种 CMOS 源极跟随器。可以看到使用了两个 n 沟道管，而不是一个 n 沟道一个 p 沟道管。

随后的大信号分析会看到源极跟随器的一个缺点。图5.5-3 表明 v_{OUT}（最小）可以是 V_{SS}，因为当 v_{IN} 接近 V_{SS} 时，流过 M2 的电流接近零，允许输出电压为零。这个结果假设外部负载不要求有电流。如果源极跟随器必须有外部电流流入，那么 v_{OUT}（最小）会大于 V_{SS}。v_{OUT} 的最大值为：

$$v_{OUT}(\text{最大}) = V_{DD} - V_{T1} - V_{ON1} \approx V_{DD} - V_{T1} \tag{5.5-13}$$

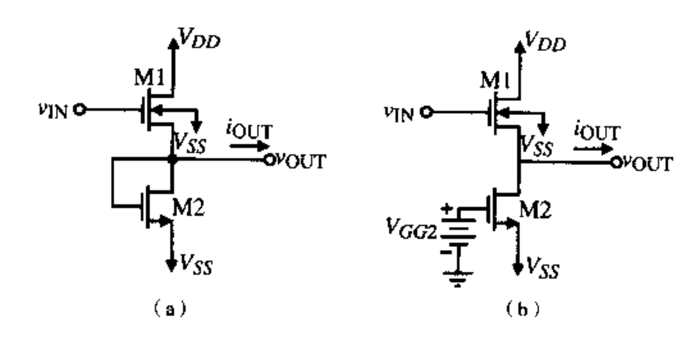


图 5.5-3　（a）MOS 二极管作为负载的源极跟随器；（b）电流漏作为负载的源极跟随器

设 v_{IN} 可以达到 V_{DD} 且没有输出电流。但是，V_{T1} 是 v_{OUT} 的函数，所以我们必须将式（3.1-2）代入式（5.5-13）求解 v_{OUT}。为了简化数学运算，将式（3.1-2）近似为：

$$V_{T1} \cong V_{TO} + \gamma\sqrt{v_{SB}} = V_{TO1} + \gamma_1\sqrt{v_{out}(\text{最大}) - V_{SS}} \tag{5.5-14}$$

将式（5.5-14）代入式（5.5-13），求解 v_{OUT} 得：

$$v_{OUT}(\text{最大}) \cong V_{DD} + \frac{\gamma_1^2}{2} - V_{T01} - \frac{\gamma_1}{2}\sqrt{\gamma_1^2 + 4(V_{DD} - V_{SS} - V_{T01})} \qquad (5.5\text{-}15)$$

用表 3.1-2 的值并假设 $V_{DD}=-|V_{SS}|=2.5\text{ V}$，求得 v_{OUT}（最大）近似为 1.46 V。在 p 阱工艺中，将 M1 放在自己的 p 阱中且将源极连到体上将会减缓这个限制。

下面将考虑源极跟随器的最大输出电流，其中最大流入电流由 M2 决定，刚好像图 5.5-1 中 M2 的最大流出电流。最大流出电流由 M1 和 v_{IN} 决定。假设 v_{IN} 可以达到 V_{DD}，那么 I_{OUT} 的最大值为：

$$I_{OUT}^{+} = \frac{K_1'W_1}{2L_1}[V_{DD} - v_{OUT} - V_{T1}]^2 - I_{D2} \qquad (5.5\text{-}16)$$

设 W_1/L_1 的值为 10，v_{OUT} 为 0 V，$I_{D2}=0.5\text{ mA}$，V_{T1} 的值为 1.08 V，可得 I_{OUT} 的最大值为 0.608 mA。但是当 v_{OUT} 升高到 0 V 以上时，电流将迅速减小。

最大输出的流入电流由图5.5-3中的M2决定。在图5.5-3（a）中最大流入电流与栅漏短接的管子上的输出电压有关。随着 v_{OUT} 接近零，这个电流将减小。图5.5-3（b）中最大流入电流由管子和 V_{GG} 的值决定，并且可以设为任何值。当然，在没有信号的时候这个电流也会流过跟随器，从面消耗功率且降低效率。

源极跟随器的效率类似于图 5.5-1 的甲类放大器（见习题 5.5-7），但失真要比甲类放大器好，原因在于其固有的负反馈特性。

图 5.5-4 示出了图 5.5-3（a）中源极跟随器的小信号模型。如果设 g_{m2} 为零，这个模型适用于图 5.5-3（b）。体效应由跨导 g_{mbs1} 体现。小信号电压增益可以表示为：

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}}{G_L + g_{ds1} + g_{ds2} + g_{m1} + g_{mbs1} + g_{m2}} \cong \frac{g_{m1}}{g_{m1} + g_{mbs1} + g_{m2} + G_L} \qquad (5.5\text{-}17)$$

如果我们设 $V_{DD}=-V_{SS}=2.5\text{ V}$，$V_{out}=0\text{ V}$，$W_1/L_1=10\ \mu\text{m}/1\ \mu\text{m}$，$W_2/L_2=1\ \mu\text{m}/1\ \mu\text{m}$，$G_L=0$，$I_D=500\ \mu\text{A}$，然后用表 3.1-2 中的各个参数，可得图 5.5-3（a）中电路的小信号电压增益为 0.682。如果不考虑体效应，即 $g_{mbs1}=0$，小信号电压增益会是 0.738。对于图 5.5-3（b），我们设 $g_{m2}=0$，得到小信号电压增益为 0.869，如果忽略体效应增益为 0.963。因为体效应，MOS 源极跟随器的小信号电压增益总是小于 1。

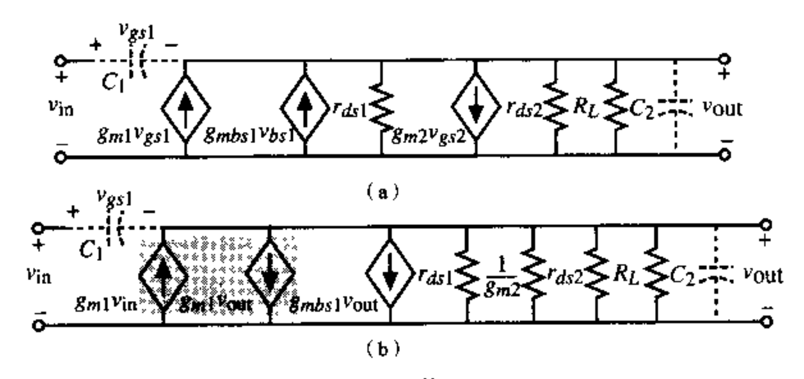


图 5.5-4 （a）图 5.5-3（a）电路的小信号模型；（b）简化的小信号模型

图 5.5-3 中源极跟随器的输出电阻可以由图 5.5-4 的小信号模型求得（设 $v_{in}=0$），小信号输出电阻为：

$$R_{\text{out}} = \frac{1}{g_{m1} + g_{mbs1} + g_{m2} + g_{ds1} + g_{ds2}} \tag{5.5-18}$$

其中，对于图 5.5-3（b）中具有电流漏负载的源极跟随器，$g_{m2}=0$。对于上面的值，图 5.5-3（a）电路的小信号输出电阻是 651 Ω，而图 5.5-3(b)是 830 Ω。这个输出电阻的数量级在一般 MOSFET 电路中已是足够小了，除非使用并联负反馈。

源极跟随器的频率响应是由图5.5-4 小信号模型中电容 C_1 和 C_2 确定的。C_1 是由连接源极跟随器输入输出端的电容组成，主要是 C_{gs1}。C_2 由源极跟随器的输出到地的电容构成。包括 C_{gd2}（或 C_{gs2}）、C_{bd2}、C_{bs1} 和下一级的 C_L。小信号频率响应可以表示为：

$$\frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{g_{m1} + sC_1}{g_{ds1} + g_{ds2} + g_{m1} + g_{mbs1} + g_{m2} + s(C_1 + C_2) + G_L} \tag{5.5-19}$$

在 $G_L=0$ 时，极点近似为$-(g_{m1}+g_{m2})/(C_1+C_2)$。该值比反相器、差分放大器或者共源共栅放大器的主极点大得多。由于左半平面的零点存在，在多数情况下极点和零点有一定程度的抵消，形成了宽带响应。

考虑图 5.5-5（a）所示的推挽源极跟随器是有意义的。悬浮的电源 V_{BIAS} 给 M1 和 M2 提供栅源偏置，以确定 M1 和 M2 的静态电流。图5.5-5（b）示出了这个电源的实际电路。这个电路的优点是电流可以灵活地流出或流入，缺点是输出摆幅限制在比最大电源电压低一个阈值电压、比最低电源电压高一个阈值电压之间。由于体效应，阈值电压会增加，严格地限制了输出幅度（见习题 5.5-12）。

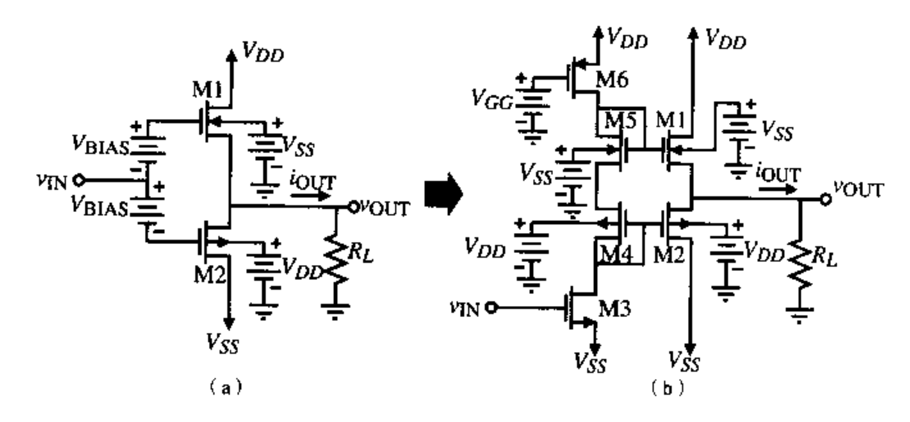


图 5.5-5　（a）推挽形式的源极跟随器；（b）推挽形式源极跟随器的悬浮电源 V_{BIAS} 的实现

推挽放大器的效率要比甲类放大器高得多。推挽放大器被称为乙类或者甲乙类，因为输出晶体管不是在输出正弦电压的整个周期内都有电流流动。对于乙类放大器，电流只在 360°周期的 180°内流动，而对于甲乙类放大器，管子电流只在大于 180°和小于 360°范围内流动。这些概念都已在图 5.5-6（a）中对于乙类推挽源极跟随器和图 5.5-6（b）中对于甲乙类推挽源极跟随器做了说明。

对于图 5.5-6（a）中的乙类推挽源极跟随器，当输出电压大于 0 时，M1 提供电流给负载电阻 R_L（1 kΩ）。当 v_{OUT} 变负时，M1 截止，负载 R_L 上电流流入 M2。两个管子的交叉点就是图 5.5-6（a）的原点。图 5.5-6（b）说明了推挽源极跟随器工作在甲乙类时的模式。当输入电压大于 0.7 V 时，只有 M1 导通，向负载提供电流。当输入电压在−0.7 V 和 0.7 V 之间时，M1 和 M2 都向负载提供电流或从负载得到电流。当输入电压低于−0.7 V 时，只有 M2 导通并从负载得到电流。乙类和甲乙类之

间的一个重要区别是当输出电压为 0 时乙类放大器没有偏置电流。这就意味着乙类放大器的效率总是比甲乙类放大器高。为了减小交叉失真，让推挽跟随器略微地工作在甲乙类模式是有必要的。

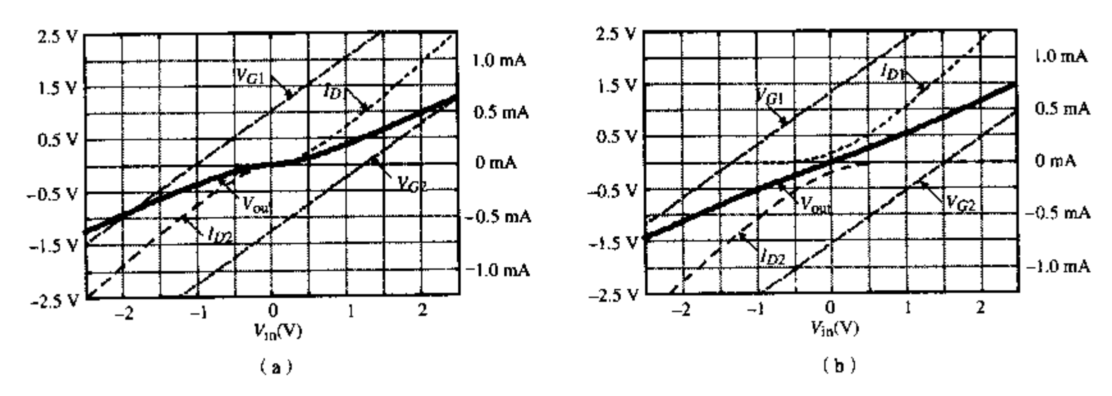


图 5.5-6 图 5.5-5 中推挽源极跟随器的输出电压、电流特性。（a）乙类；（b）甲乙类

乙类放大器的效率可以用先前的定义计算并假设输出电压是正弦波。乙类放大器的效率可以表示为：

$$\text{效率} = \frac{P_{RL}}{P_{\text{Supply}}} = \frac{\dfrac{v_{\text{OUT}}(\text{峰值})^2}{2R_L}}{(V_{DD}-V_{SS})\left(\dfrac{v_{\text{OUT}}(\text{峰值})}{\pi R_L}\right)} = \frac{\pi}{2}\frac{v_{\text{OUT}}(\text{峰值})}{V_{DD}-V_{SS}} \tag{5.5-20}$$

在式（5.5-20）中间表示式的分母中 v_{OUT}（峰值）$/\pi R_L$ 表示了正弦半波整流的平均电流值。当 v_{OUT}（峰值）最大，即为 0.5（$V_{DD}-V_{SS}$）时有最高效率——78.5%。甲乙类放大器的效率在式（5.5-20）和式（5.5-8）之间，具体取决于图 5.5-5 的偏置。

图 5.5-5（a）的推挽源极跟随器的小信号性能可以由图 5.5-7 所示的小信号模型确定。小信号电压增益为：

$$\frac{v_{\text{out}}}{v_{\text{in}}} = \frac{g_{m1}+g_{m2}}{g_{ds1}+g_{ds2}+g_{m1}+g_{mbs1}+g_{m2}+g_{mbs2}+G_L} \tag{5.5-21}$$

小信号输出电阻 R_{out} 为：

$$R_{\text{out}} = \frac{1}{g_{ds1}+g_{ds2}+g_{m1}+g_{mbs1}+g_{m2}+g_{mbs2}+G_L} \tag{5.5-22}$$

如果 $V_{DD}=5$ V，输出为 2.5 V，M1 和 M2 的偏置电流为 500 μA，W/L 的值为 20 μm/2 μm，小信号电压增益为 0.895，小信号输出电阻为 510 Ω。零点为：

$$z = \frac{g_{m1}+g_{m2}}{C_1} \tag{5.5-23}$$

极点为：

$$p = \frac{-1}{(C_1+C_2)(g_{ds1}+g_{ds2}+g_{m1}+g_{mbs1}+g_{m2}+g_{mbs2}+G_L)} \tag{5.5-24}$$

这些根是高频的，因为从电容 C_1 和 C_2 看进去的电阻很小。上述分析假设两个管子都导通（甲乙类）。如果推挽源极跟随器工作在乙类状态，那么 g_{m1} 和 g_{mbs1} 或者 g_{m2} 和 g_{mbs2} 中必有一个为零。

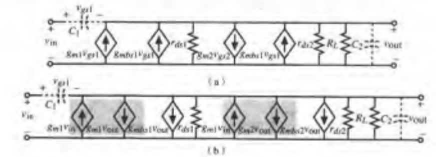


图 5.5-7　（a）图 5.5-5（a）电路的小信号模型；（b）简化的小信号模型

推挽共源放大器

第三类设计输出放大器的方法是采用推挽放大器。推挽放大器的优点是具有更高的效率。众所周知，乙类推挽放大器具有 78.5%的最高效率，这意味着为满足放大器输出电流的需要较少的静态电流是必需的。小的静态电流意味着小的 *W/L* 和小的面积要求。推挽放大器有多种，例如，在图 5.5-1 中，如果 M2 的栅极直接连到 v_{IN} 上就形成了一个推挽放大器。这种结构的缺点是当其工作在高增益区时会产生大的静态电流（即 AB 类工作）。如果将电压源 V_{TR1} 和 V_{TR2} 插在栅极间（如图 5.5-8 所示），那么可以获得较高的效率。在考虑 v_{IN} 恰好等于 n 沟道管阈值电压，而 V_{TR1} 和 V_{TR2} 正好使 p 沟道管也工作在开启的边缘时，这个电路的作用可以得到充分体现。如果 v_{IN} 受到正方向扰动，p 沟道管截止所有负载电流流入 n 沟道管。同样，若 v_{IN} 受到负方向的扰动，负载电流都由 p 沟道管提供。容易看出所有电流都是有用的，因为所有提供的电流都流入（或流出）负载。尽管失真可能略有改进，但是这种结构不会减小输出电阻，因为电压传输特性曲线相对于中点对称。

图5.5-9 是图5.5-8 电路实现的一个示例。电路的工作状态（甲乙类或乙类）可以由 M3 和 M4 的栅极电压决定。输入为正时，M1 的电流增加，M2 的电流减小。如果工作在乙类，M2 截止。随着 M1 电流的增加，M8 中电流也镜像增加，提供了输出电流流进的能力。当 v_{IN} 减小时，M6 提供流出的输出电流。

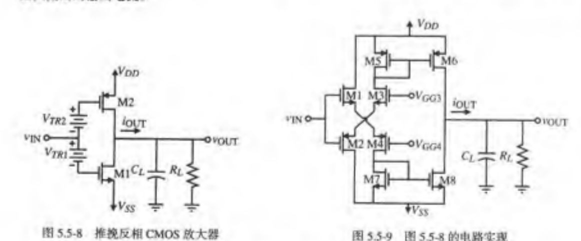


图 5.5-8　推挽反相 CMOS 放大器

图 5.5-9　图 5.5-8 的电路实现

推挽反相放大器的特性可以用类似于图 5.5-6 推挽源极跟随器的特性来说明。图 5.5-10 给出了图 5.5-8 推挽反相放大器工作在乙类和甲乙类模式下的输出电压和电流特性。NMOS 管的 *W/L*

为 20 μm/1 μm，PMOS 管的 W/L 为 40 μm/1 μm，负载电阻为 1 kΩ。甲乙类的线性度优于乙类是显而易见的。可以证明，乙类和甲乙类推挽反相放大器的效率与乙类和甲乙类推挽源极跟随器相同。

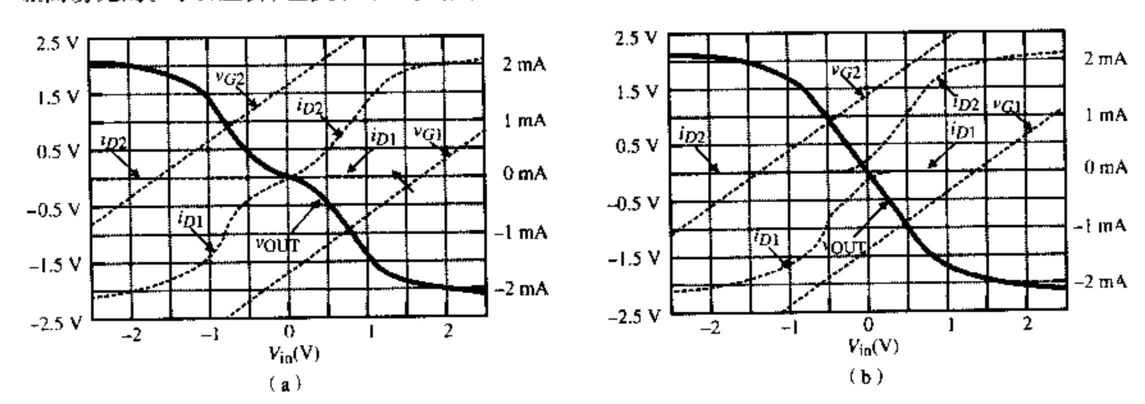


图 5.5-10　图 5.5-8 推挽共源放大器的输出电压和电流特性。（a）乙类；（b）甲乙类

为了减小输出电阻和输出级的面积，可以采用标准 CMOS 工艺中可利用的衬底双极型晶体管。例如，在 p 阱工艺中，衬底 NPN 双极型晶体管是有效的（见 2.5 节）。因为集电极必须接至 V_{DD}，推挽跟随器结构适合衬底双极型晶体管。采用双极型晶体管的优点是输出电阻近似为 $1/g_m$，对双极型管来说可以小于 100 Ω。缺点是电压传输曲线的正负部分不对称，因而产生较大失真。采用双极型晶体管的另一个缺点是流出电流增加时基极电流会增加。当基极电压接近 V_{DD} 时，提供这样大的偏置电流很困难。

既可以降低 CMOS 输出级的输出电阻又可以保持其他特性不变的技术是采用电压负反馈。图 5.5-8 的 CMOS 推挽反相放大器除了输出电阻外其他特性都是非常有吸引力的。图 5.5-11 示出了一种结构，用两个差分误差放大器对输入和输出进行采样，采用并联负反馈到共源 MOS 管的栅极。误差放大器的设计必须使 M1 或（M2）导通以避免交调失真以达到最大效率。输出电阻近似等于图 5.5-8 中的输出电阻除以环路增益。

如果推挽放大器有足够的增益，误差放大器可以用图 5.5-12 的电阻负反馈网络替代实现。电阻可以是多晶硅或适当偏置的 MOS 管。如果电阻相等，图 5.5-8 电路的输出电阻要除以大约 $g_{m1}R_L/2$（见习题 5.5-15）。

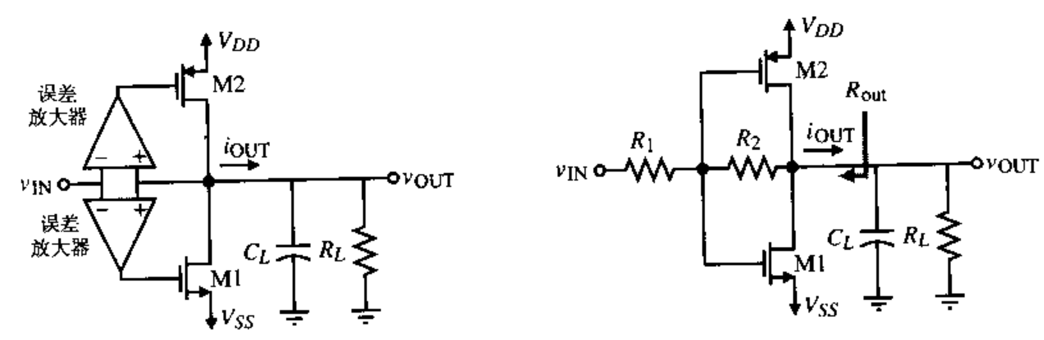


图 5.5-11　采用负反馈减小图 5.5-8 电路的输出电阻　　图 5.5-12　使用电阻负反馈减小图 5.5-8 的输出电阻

这里，我们还未讨论如何对输出放大器进行异常条件的保护。这个问题和其他本节未介绍的问题将留待后面讲解具体应用时介绍。至此，输出放大器的基本原理就介绍完了。

5.6　高增益放大器结构

本节开始由表1.1-2 的简单电路过渡到复杂电路。尽管不是所有的复杂电路都是放大器，这个论题也足以体现这种过渡了。高增益放大器是模拟电路设计中广泛使用的电路，而且可进一步用做设计更高一级的复杂电路——模拟系统。

高增益放大器的思想基于反馈的概念。在模拟电路中，我们必须能够精确地定义传递函数。这个概念的常见表示由图 5.6-1 的方框图说明。在此图中，x 可为电压或电流，A 是高增益放大器，F 是反馈网络，反馈信号 x_f 在加法器中被从输入信号 x_s 中减去。如果我们假设信号流向如图所示是单向的，且 A 和 F 与电源或负载电阻（图中未显示）无关，那么整个放大器的增益可写为：

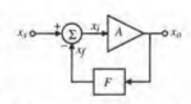


图 5.6-1　一般单环负反馈电路

$$A_f = \frac{x_o}{x_s} = \frac{A}{1 + AF} \tag{5.6-1}$$

高增益放大器的原理可由式（5.6-1）看到。如果 A 足够大，尽管反馈网络增益可能小于 1，但 AF 的增益仍可大于 1，结果，式（5.6-1）简化为：

$$A_f = \frac{x_o}{x_s} \cong \frac{1}{F} \tag{5.6-2}$$

如果 A 足够大，为严格定义 A_f，只需确定 F。典型的 F 由电阻或电容等无源元件实现。

根据图 5.6-1 定义的高增益放大器为：

$$A = \frac{x_o}{x_i} \tag{5.6-3}$$

因为 x 可以是电压或者电流，所以本节将讨论四种类型的高增益放大器。

第一种高增益放大器为电压控制电流源（VCCS）。图 5.6-2（a）说明了 VCCS 的使用，VCCS 用带阴影的方框中的电路表示。R_i 是输入电阻，G_m 为增益，R_o 为输出电阻。R_S 表示外部信号源 V_s 的内阻，R_L 为负载电阻。带负载的电压控制电流源的增益表示为：

$$G_M = \frac{G_m R_o R_i}{(R_i + R_S)(R_o + R_L)} \tag{5.6-4}$$

（b）

图 5.6-2　（a）电压控制电流源电路；（b）可能的结构

对于理想的电压控制电流源，R_i 和 R_o 为无穷大，所以 G_m 接近 G_M。有时电压控制电流源称为运算跨导放大器（OTA）。

VCCS 结构必须有高输入电阻、大跨导增益和高输出电阻。图 5.6-1 的多数实际结构中，求和节点是在放大器 A 中实现的。在这种情况下，希望是差分输入，从集成电路实现性能的角度考虑也希望是差分输入。根据这一考虑和本章的前几节以及前几章介绍的内容，我们可以建议将图 5.6-2（b）的结构作为图 5.6-2（a）的一种实现。输入级是差分放大器，类似于 5.2 节中的研究。因为差分放大器的输出电阻很高，简单的差分放大器就可以满足电压控制电流源的要求。如果需要更大的增益，可加上由反相器构成的第二级。如果还需要更大的输出电阻，则差分放大器的管子 M1 到 M4 可用共源共栅等效代替。如果既要求有高的输出电阻又要有高的增益，第二级可以用带共源共栅负载的共源共栅放大器实现［见图 5.3-6（a）］。具体选择取决于 VCCS 的性能和设计者的判断。

图5.6-3（a）显示 A 的 x_o 和 x_i 均为电压的情况，这种放大器称为电压控制电压源（VCVS）。R_S 和 R_L 分别为源内阻和负载电阻。VCVS 的带负载增益为：

$$A_V = \frac{A_v R_i R_L}{(R_S + R_i)(R_o + R_L)} \tag{5.6-5}$$

图 5.6-3　（a）电压控制电压源电路；（b）可能的结构

可见，理想的 VCVS 要求 R_i 无穷大、R_o 为 0，以便 A_V 接近 A_v。以差分放大器作为输入级的 VCVS 结构如图 5.6-3（b）所示。如果差分放大器可以提供足够的增益，那么后面只需一级输出级减小输出电阻就行了。如果需要更大的增益，就需要由反相器或共源共栅放大器构成第二级，如图 5.6-3（b）所示。

图 5.6-4（a）给出了 A 的 x_o 和 x_i 均为电流的情况，这种放大器称为电流控制电流源（CCCS）。R_S 和 R_L 分别为源内阻和负载电阻。电流控制电流源的带负载增益为：

$$A_I = \frac{A_i R_S R_o}{(R_S + R_i)(R_o + R_L)} \tag{5.6-6}$$

可见，理想的 CCCS 要求 R_i 为 0，R_o 为无穷大，以便 A_I 接近 A_i。CCCS 的结构在电路上有一个与输入有关的问题，这个问题我们已经讨论过。输入应该是电流驱动且为低阻。我们建议采用图 5.6-4（b）所示的结构，由电流差分放大器组成，如果需要还可加第二级放大器。电流差分放大器可用5.4 节的方法，亦即用图 5.4-7 实现。在 CCCS 结构中第二级是必需的，因为电流差分输入级只有低的

电流增益。如果输出电阻必须要大，可以像压控电流源一样用共源共栅放大器作为第二级。

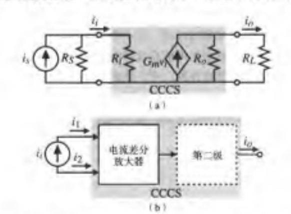


图 5.6-4 （a）电流控制电流源电路；（b）可能的结构

最后一种放大器如图 5.6-5（a）所示，其中 x_o 是电压而 x_i 为电流。这种放大器称为电流控制电压源（CCVS）。放大器的带负载增益为：

$$R_M = \frac{R_m R_S R_L}{(R_i + R_S)(R_o + R_L)} \tag{5.6-7}$$

理想的 CCVS 要求 R_i 和 R_o 均为 0。以便 R_M 等于 R_m。我们建议用电流输入差分级，用如图 5.6-5（b）所示的结构实现 CCVS。如果输出级有高的输入电阻且增益足够，可以不用第二增益级。

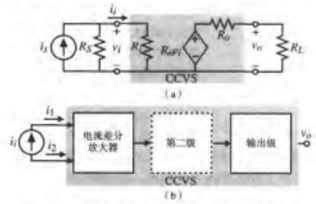


图 5.6-5 （a）电流控制电压源电路；（b）可能的结构

本节提出的高增益放大器结构只作为设计这样一个放大器的起点。多数情况下，设计者进行优化性能时各级的界限就会模糊。从结构视角看问题的优点是确定了设计的一般单元。因此，从共同的基本单元开始，最终可以得到完全不同的设计。

5.7 小结

本章介绍了基本 CMOS 放大器的主要内容、介绍了反相、差分、共源共栅、电流和输出等放大器。然后我们介绍了各种放大器如何被组合起来以实现高增益放大器和如何确定简单电路级别的模块。现在，虽然我们已经介绍了主要模块，仍有许多不同的实现没有提及。在需要用简单电

路实现复杂电路以及用复杂电路实现系统时我们会给出专门的设计方法。

本章介绍的原理包括：描述放大器的大信号和小信号基本特性的方法。小信号特性直接与直流或大信号条件有关并且应是重点掌握的原理。另一个重要的问题是，电路分析的复杂性很快超出设计者可以解释结果的能力，因此要尽可能在设计时减化分析和概念，否则，设计者可能无法采用观察法。计算机总是可以用来做更详细、更广泛的设计分析，但是计算机没有做出设计抉择和完成复杂模拟电路综合的能力。

有了这些背景知识，我们可以分析更复杂的模拟电路。第 6 章到第 8 章将会介绍运算放大器和比较器。

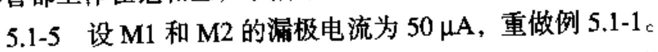
习题

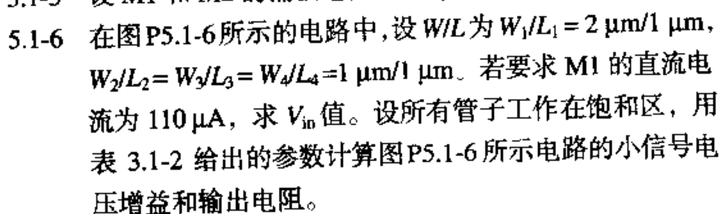
5.1-1 在图5.1-2 所示的电路中，假设用10 kΩ的电阻代替 M2。在图中用图解分析法求带有10 kΩ负载的 M1 的电压传递函数。如果输入电压为 0 V ~ 5 V，则最大和最小输出电压各为多少？

5.1-2 用表 3.1-2 给出的大信号模型参数以及式（5.1-1）和式（5.1-5）计算图 5.1-2 中反相器的 v_{OUT}（最大）和 v_{OUT}（最小）。设 $W_1/L_1 = 5\ \mu m/1\ \mu m$，$W_2/L_2 = 1\ \mu m/1\ \mu m$。

5.1-3 如果 V_T 为 $20\% V_{DD}$，β_1/β_2 为多少时能有 $80\% V_{DD}$ 的电压摆幅？此时相应的小信号增益为多少？

5.1-4 若 $W_1/L_1 = 5\ \mu m/1\ \mu m$，$W_2/L_2 = 2\ \mu m/1\ \mu m$，$V_{in}$ 为多少时有源负载反相器会产生 100 μA 的电流？此时若假设所有晶体管都工作在饱和区，小信号电压增益和输出电阻为多少？


5.1-5 设 M1 和 M2 的漏极电流为 50 μA，重做例 5.1-1。


5.1-6 在图P5.1-6所示的电路中，设 W/L 为 $W_1/L_1 = 2\ \mu m/1\ \mu m$，$W_2/L_2 = W_3/L_3 = W_4/L_4 = 1\ \mu m/1\ \mu m$。若要求 M1 的直流电流为 110 μA，求 V_{in} 值。设所有管子工作在饱和区，用表 3.1-2 给出的参数计算图P5.1-6 所示电路的小信号电压增益和输出电阻。

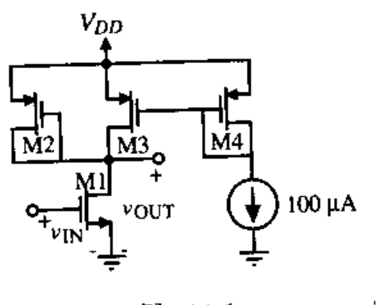
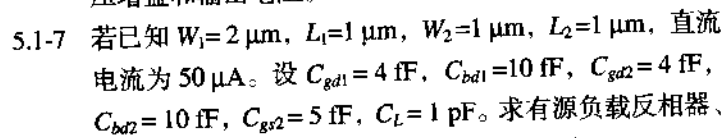


图 P5.1-6


5.1-7 若已知 $W_1 = 2\ \mu m$，$L_1 = 1\ \mu m$，$W_2 = 1\ \mu m$，$L_2 = 1\ \mu m$，直流电流为 50 μA。设 $C_{gd1} = 4$ fF，$C_{bd1} = 10$ fF，$C_{gd2} = 4$ fF，$C_{bd2} = 10$ fF，$C_{gs2} = 5$ fF，$C_L = 1$ pF。求有源负载反相器、电流源反相器、推挽反相器的小信号电压增益和 3 dB 的频率点（单位为 Hz）。

5.1-8 已知 $W_1 = 2\ \mu m$，$L_1 = 1\ \mu m$，$W_2 = L_2 = 1\ \mu m$，器件参数如表 3.1-2 所示，求 $I_D = 0.1$、5和 100 μA 时电流漏反相器的小信号电压增益值。设 $I_D = 0.1$ μA 时管子工作在弱反型区，3.5 节中弱反型模型中 $n_n = 1.5$，$n_p = 2.5$。注意，必须区分大信号和弱反型模型以大致确定 g_m 和 g_{ds}。

5.1-9 CMOS 放大器如图 P5.1-9 所示，设 M1 和 M2 工作在饱和区，试求：

（a）流过 M1 和 M2 的电流为 100 μA 时的 V_{GG} 值。

（b）直流 v_{IN} 值。

（c）放大器的小信号电压增益 v_{out}/v_{in}。

（d）如果 $C_{gd1} = C_{gd2} = 5$ fF，$C_{bd1} = C_{bd2} = 30$ fF，$C_L = 500$ fF，此放大器的–3 dB 的频率点（单位为 Hz）。

5.1-10 电流源负载放大器如图 P5.1-10 所示。

（a）如果 $C_{bdn} = C_{bdp} = 10$ fF，$C_{gdn} = C_{gdp} = 5$ fF，$C_{gsn} = C_{gsp} = 10$ fF，$C_L = 1$ pF，求–3 dB 的频率点（单位为 Hz）。

（b）波尔兹曼常数为 1.38×10^{-23}J/K，求室温下放大器的等效输入热噪声电压（忽略体效应 $g_{mbs}=0$）。

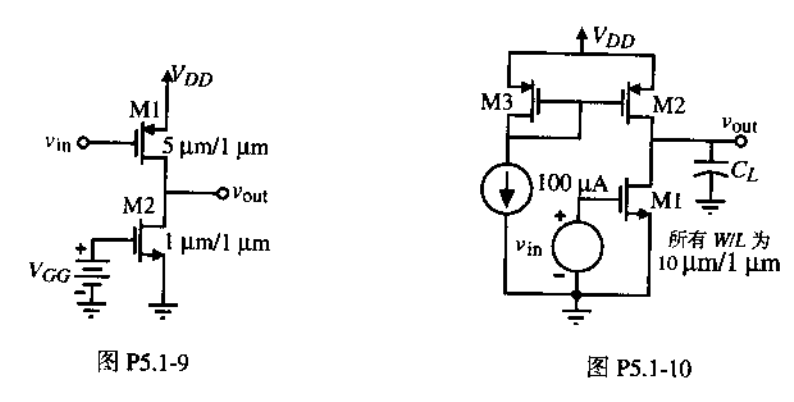


图 P5.1-9　　　　图 P5.1-10

5.1-11 图 P5.1-11 示出了 6 个反相器电路。设 $K'_N = 2K'_P$ 且 $\lambda_N = \lambda_P$，每个反相器的直流偏置电流相等。粗略估算，定性选择哪些反相器具有（a）最大交流小信号电压增益；（b）最低交流小信号电压增益；（c）最高交流输出电阻和（d）最低交流输出电阻。设所有管子都工作在饱和区。

5.1-12 对图 5.1-8 所示的 CMOS 推挽反相器，推导求证式（5.1-29）。若设 $C_{gd1}=C_{gd2}=5$ fF，$C_{bd1}=C_{bd2}=50$ fF，$C_L=10$ pF，$I_D=200$ μA，$W_1/L_1=W_2/L_2=5$，求其小信号电压增益和−3 dB 的频率点。

5.1-13 若已知沟道长度为 1 μm，电流 I_D =10 μA 时增益为−100 V/V 且 PMOS 晶体管 W/L 为 1，试比较有源电阻负载反相器、电流源负载反相器和推挽反相器的有源区沟道面积。

5.1-14 CMOS 推挽反相器电路如图 P5.1-14 所示，已知 $I_D=200$ μA，$W_1/L_1=W_2/L_2=5$ μm/1 μm，$C_{gd1}=C_{gd2}=5$ fF，$C_{bd1}=C_{bd2}=30$ fF，$C_L=10$ pF，试求：小信号电压增益 A_v、输出电阻 R_{out} 和−3 dB 的频率 $f_{-3\,dB}$。

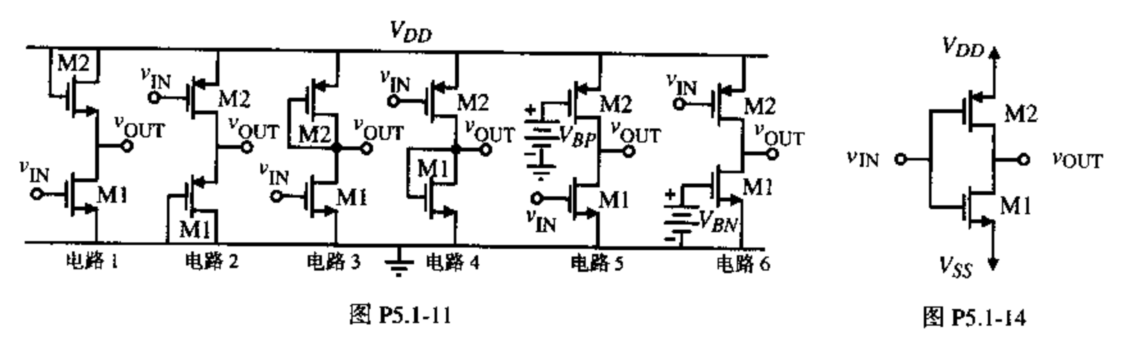


图 P5.1-11　　　　图 P5.1-14

5.2-1 用表 3.1-2 给出的参数计算 n 沟道输入差分放大器的小信号差分输入差分输出时的跨导 g_{md} 和电压增益 A_v。设 I_{SS} = 100 μA，$W_1/L_1=W_2/L_2=W_3/L_2=W_4/L_4=1$。设所有的沟道长度相等且为 1 μm。如果 $W_1/L_1=W_2/L_2=10W_3/L_3=10W_4/L_4=1$，重复上述计算。

5.2-2 对 p 沟道输入差分放大器重复习题 5.2-1 的问题。

5.2-3 对图 5.2-7 所示的 p 沟道输入差分放大器推导 V_{IC}（最大）和 V_{IC}（最小）的表达式。

5.2-4 对图 5.2-5 所示的 n 沟道输入差分放大器，求最大输入共模电压 v_{IC}（最大）和最小输入共模电压 v_{IC}（最小）。设所有管子都工作在饱和区，W/L 均为 10 μm/1 μm，I_{SS}=10 μA。试求该放大器的输入共模电压范围。

5.2-5 在习题 5.2-4 中，若 $v_{in}=v_1-v_2$，求电路的小信号电压增益 v_o/v_i。如果 10 pF 的电容将输出端连接到地，那么 $V_{out}(j\omega)/V_{IN}(j\omega)$的–3 dB 频率点为多少？（忽略器件电容。）

5.2-6 在图 5.2-5 所示的 CMOS 差分放大器中，设 $I_{SS}=10\ \mu A$，$v_{in}=v_{gs1}-v_{gs2}$，求小信号电压增益 v_{out}/v_{in}，输出电阻 R_{out}。若 M1 和 M2 的栅极连接在一起，求最大和最小共模输入电压，设所有管子都必须工作在饱和区（不计体效应）。

5.2-7 在图 5.2-7 所示的 p 沟道输入差分放大器中，用表 3.1-2 的晶体管参数分别计算 $I_{SS}=10\ \mu A$ 和 $I_{SS}=1\ \mu A$ 时不计负载的差模跨导增益 g_{md} 和差模增益 A_v。

5.2-8 若在习题 5.2-7 输出端接有 100 pF 的电容，求差分放大器的摆率。

5.2-9 在图 5.2-5 所示电流镜中，已知 I_{SS} 为 100 μA，M1、M2 和 M5 的 W/L 是 2 μm/1 μm，M3 和 M4 是 1 μm/1 μm，设输出电流比输入电流大 5%，求小信号共模电压增益。

5.2-10 设 $I_{SS}=50\ \mu A$，用表 3.1-2 的参数计算图 5.2-9 差模输入单端输出的电压增益。

5.2-11 如果不忽略 r_{ds1}，再对图 5.2-10 的电路进行小信号分析。将结果与式（5.2-27）比较。

5.2-12 对图 5.2-9 所示的具有增强型负载的 n 沟道差分放大器，求最大和最小输入电压 v_{G1}(最大) 和 v_{G1}(最小)的表达式。

5.2-13 在图 5.2-9 所示的差分放大器中，若所有管子都工作在饱和区。求最坏情况下输入失调电压 V_{OS}。如果 $|V_{Ti}|=1\pm0.01\ V$，$\beta_i=10^{-5}\pm5\times10^{-7}\ A/V^2$。设：

$$\beta_1=\beta_2=10\beta_3=10\beta_4$$

和

$$\frac{\Delta\beta_1}{\beta_1}=\frac{\Delta\beta_2}{\beta_2}=\frac{\Delta\beta_3}{\beta_3}=\frac{\Delta\beta_4}{\beta_4}$$

仔细陈述在解此题中的所有假设条件。

5.2-14 对 p 沟道输入差分放大器重复例 5.2-1。

5.2-15 图 P5.2-15 示出了 5 个不同的 CMOS 差分放大器。用观察法给出由小信号输入 v_{in} 形成的小信号电流，写出由放大器输出端看进去的小信号输出电阻 R_{out} 和小信号差模电压增益 v_{out}/v_{in} 的近似值。答案应该用 g_{mi} 和 g_{dsi} 表示，$i=1\sim8$（如果必须用小信号模型分析，则求解此题将需要太多的时间）。

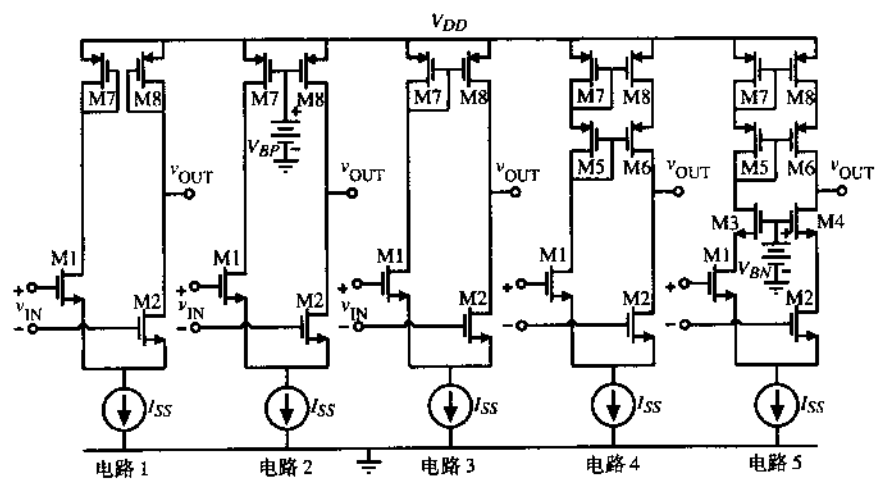


图 P5.2-15

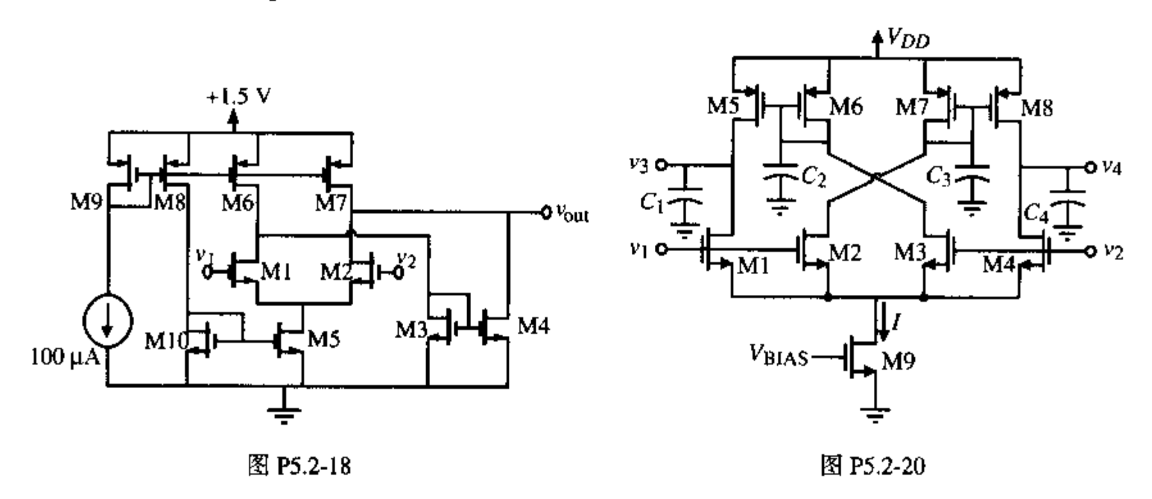
5.2-16 在图5.2-5所示的差分放大器中，每个管子的等效输入噪声电压为1 $nV/Hz^{1/2}$，求放大器的等效输入噪声电压，若设 $W_1/L_1 = W_2/L_2 = 2\ \mu m/1\ \mu m$，$W_3/L_3 = W_4/L_4 = 1\ \mu m/1\ \mu m$，$I_{SS} = 50\ \mu A$。在此条件下等效输出噪声电流是多少？

5.2-17 用图5.2-8（a）所示的电流镜负载差分放大器的小信号模型，求解输入端加有差模信号 v_{id} 时M1和M2的源级交流电压，试问什么原因使这个电压不是0？

5.2-18 图P5.2-18所示的电路称之为折叠电流镜差分放大器，可用于低电压供电情况。设每个管的 W/L 是100 μm/1 μm。试求：（a）最大输入共模电压 v_{IC}(最大)和最小输入共模电压 v_{IC}(最小)，所有管子都保持在饱和区；（b）输入共模电压范围ICMR；（c）若 $v_{in} = v_1 - v_2$，给出小信号电压增益 v_o/v_{in}；（d）如果输出端到地的电容为10 pF，$V_o(j\omega)/V_{in}(j\omega)$ 的−3 dB频率点为多少？（忽略所有器件电容。）

5.2-19 用小信号模型参数和每个管子的等效输入噪声电压 v_{ni}^2（i 由1到7）写出图P5.2-18的等效输入噪声电压表达式 v_{eq}^2。设M1和M2、M3和M4、M6和M7匹配。

5.2-20 求图P5.2-20的小信号传输函数 $V_3(s)/V_{in}(s)$。式中，$V_{in} = V_1 - V_2$，要考虑用代数形式给出的电容（用小信号模型参数和电容）。估计低频增益和所有的零点和极点，设 $I = 200\ \mu A$，$C_1 = C_2 = C_3 = C_4 = 1\ pF$，$W/L = 10$。



图P5.2-18 图P5.2-20

5.2-21 在图5.2-13所示的差分输入差分输出放大器中，设所有的 W/L 值相等且每只管子流过的电流近似相同，所有管子都工作在饱和区，试求电压增益 v_{out}/v_{in} 的数学表达式和差模输出电阻 R_{out}，其中 $v_{out} = v_3 - v_4$ 而 $v_{in} = v_1 - v_2$。R_{out} 为两输出端间的电阻。

5.2-22 在图5.2-15所示的电路中，设所有晶体管都工作在饱和区，求出最大和最小输入共模电压。可以使输入共模范围为0的最小供电电压 V_{DD} 为多少？

5.2-23 求图P5.2-23所示差分放大器的摆率 SR，输出为差模（忽略共模稳定性问题）。如果两个电流源（$0.5I_{SS}$）用电阻 R_L 代替，重复这个分析。

5.2-24 在图5.2-5所示的差分放大器中，若所有器件都工作在饱和区，用表3.1-2的参数求最坏情况下输入失调电压 V_{OS}。假设 $10(W_4/L_4) = 10(W_3/L_3) = W_2/L_2 = W_1/L_1 = 10\ \mu m/10\ \mu m$。描述并证明求解过程中所做的任何假设。

5.3-1 计算图5.3-2所示共源共栅放大器的小信号电压增益。假设 v_{IN} 直流设置使所有管子工作在饱和区，用这个值与图中电压传输函数的斜率进行比较。

5.3-2 说明如何从式（5.3-3）~ 式（5.3-5）推出式（5.3-6）。提示：设 $V_{GG2}-V_{T2}$ 远大于 v_{DS1} 且表达式（5.3-4）化简为 $i_{D2} \approx \beta_2(V_{GG2}-V_{T2})v_{DS2}$，$v_{OUT}$ 用 $v_{DS1}+v_{DS2}$ 表示。

5.3-3 在相关处计及沟道调制效应，重新推导式（5.3-6）。

5.3-4 在图 5.3-1 所示的共源共栅放大器中，设简单电流源 M3 用共源共栅电流源代替，证明从 M2 源极看进去的小信号输入电阻等于 r_{ds}。

5.3-5 在图 5.3-1 所示的电路中，如果在 V_{DD} 和 M1 的漏极间加一个直流电流源，证明可以提高小信号电压增益。导出与式（5.3-11）类似用 I_{D1} 和 I_{D4} 表示的式子，其中 I_{D4} 是所加直流电流源的电流。若设 $I_{D2}=10\,\mu A$，为使电压增益提高到 10 倍，求 I_{D4} 值。输出电阻有何影响？

5.3-6 在图 P5.3-6 所示的电路中，设每个管的直流电流均为 100 μA。所有管子都工作在饱和区，W/L 均为 10 μm/1 μm，试求小信号电压增益 v_{out}/v_{in}，小信号输出电阻 R_{out}。

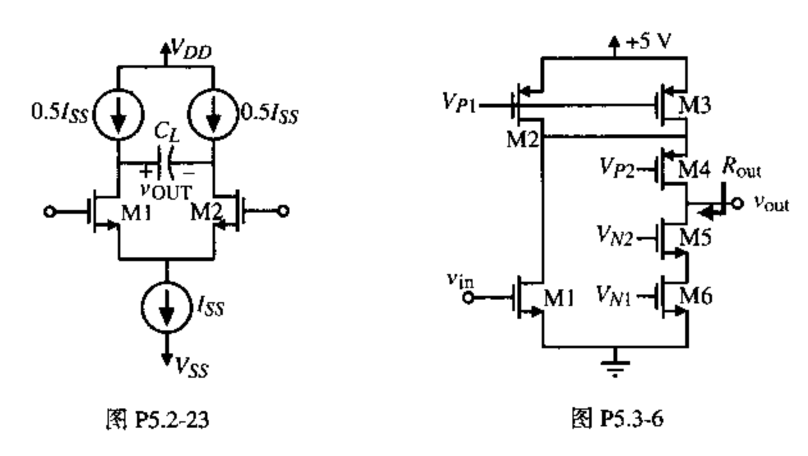


图 P5.2-23　　　　图 P5.3-6

5.3-7 图 P5.3-7 示出了 6 种级连放大器。设 $K'_N = 2K'_P$，$\lambda_P = 2\lambda_N$，所有管子的 W/L 相等，每只管子的偏置电流相等，确定哪个或哪些电路具有下列特性：（a）最高的小信号电压增益；（b）最低的小信号电压增益；（c）最高输出电阻；（d）最低输出电阻；（e）最低功耗；（f）最高 v_o (最大)；（g）最低 v_o (最大)；（h）最高 v_o (最小)；（i）最低 v_o (最小) 和（j）最高−3 dB 频率。

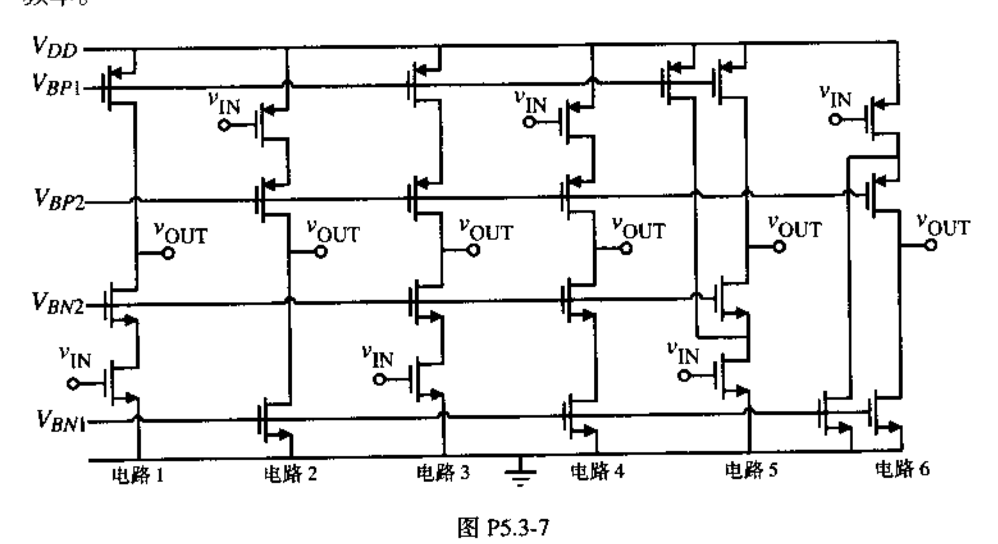


图 P5.3-7

5.3-8　在图P5.3-8所示的放大器中，所有管子的 W/L 均为 10 μm/1 μm。试求小信号电压增益 v_{out}/v_{in} 和输出电阻 R_{out} 的值。

图 P5.3-8

5.3-9　对图 5.3-5（b）的电容 C_2 采用附录 A 的米勒简化方法进行单向化近似，导出极点 p_1。设在工作频率范围内 C_2 的阻抗值远大于 R_3。将结果与式（5.3-32）比较。

5.3-10 考虑图 5.1-5 的电流源负载反相器和图 5.3-1 的简单共源共栅放大器。如果图 5.1-5 中 M2 的 W/L 是 1μm/ 1 μm，M1 是 3 μm/1 μm，图 5.3-1 中 W_3/L_3= 1 μm/1 μm，$W_2/L_2 = W_1/L_1$ = 3 μm/1 μm，又设当 $V_{DD} = -V_{SS}$ = 5 V 时，V_{GG2} = 0 V，V_{GG3} = 2.5 V，试比较两种放大器的输出电压摆幅 v_{OUT}(最小)。

5.3-11 在图5.3-6（b）所示的共源共栅放大器中，运用节点分析法得出 v_{out}/v_{in}，用式（5.3-37）验证结果。

5.3-12 在图 P5.3-12 所示的电路中，设所有管子都工作在饱和区，M7 的直流压降可保证 M1 饱和，用表 3.1-2 的参数，试求小信号电压增益 v_{out}/v_{in} 的值。

5.3-13 共源共栅差分放大器如图 P5.3-13 所示。

（a）设所有管子都工作在饱和区，求小信号电压增益 v_{out}/v_{in} 的数学表达式。

（b）给出实现 V_{BIAS} 的草图（用最少的晶体管）。

（c）设 $I_7 + I_8 \neq I_9$。这会对电路产生什么影响以及如何解决这个问题？给出解决方案的草图。注意，应该保持大致相同的增益和输出电阻。

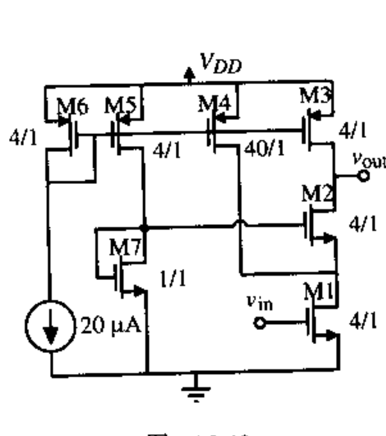


图 P5.3-12

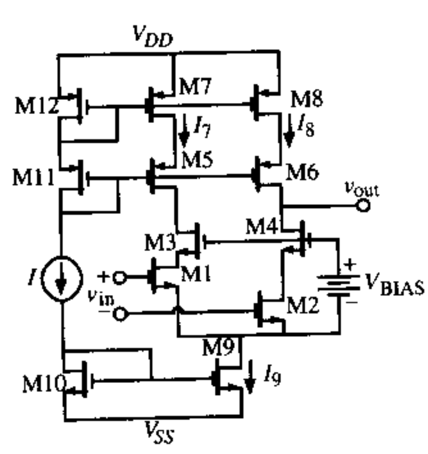


图 P5.3-13

5.3-14 用图 5.3-7 设计共源共栅 CMOS 放大器，达到下列要求：V_{DD} = 5 V，$P_{diss} \leq$ 0.5 mW，$|A_v| \geq$ 100 V/V，v_{OUT}（最大）= 3.5 V，v_{OUT}（最小）=1.5 V，在 5 pF 电容负载上摆率大于 5 V/μs。用仿真验证得出的结论。

5.4-1　在图 P5.4-1 所示的电流放大器中，设 $i_o = A_i(i_p - i_n)$。求 v_{out}/v_{in} 并与式（5.4-3）比较。

5.4-2　用图 5.4-3 所示的简单电流镜作为电流放大器。若 M1 的 W/L 是 1 μm/1 μm，设计 M2 的

W/L 使小信号电压增益为 10。如果 I_1=100 μA，电流源 I_1 和 I_2 是理想的，求输入和输出电阻。如果输入电流为 50 μA，实际电流增益为多少？

5.4-3 在图 P5.4-3 所示的电路中，M1 和 M2 的电容是 $C_{gs1}=C_{gs2}=20$ fF，$C_{gd1}=C_{gd2}=5$ fF，$C_{bd1}=C_{bd2}=10$ fF，试求低频电流增益 i_{out}/i_{in}，由 i_{in} 看进去的输入电阻，由 M2 的漏极看进去的输出电阻和−3 dB 频点（单位为 Hz）。

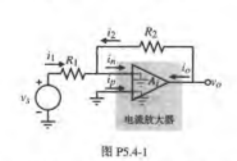


图 P5.4-1

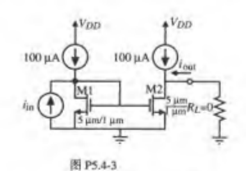


图 P5.4-3

5.4-4 推导图 5.4-5（a）电流放大器的小信号输出电阻表示式。设电流漏 I_3 的小信号电阻为 r_{ds4}。

5.4-5 说明如何改进电路，使 $V_{DS1}=V_{DS2}$ 以便提高图 5.4-5（a）电流的精确度。

5.4-6 说明如何用 4.4 节中改进型高摆幅共源共栅电流镜实现图 5.4-7（a）的电路。设计电流放大器使输入电阻为 1 kΩ，流进输入端的直流偏置电流是 100 μA（没有电流信号输入时），输入端直流电压为 1.0 V。

5.4-7 说明如何用 4.4 节较准共源共栅电流镜以实现单端输入电流放大器。写出电流放大器的小信号输入和输出电阻的数学表达式。

5.4-8 在图 P5.4-8 所示的电路中，求输出端短路时电路的小信号输入电阻的准确表达式。设所有管子有相同的 W/L 比，工作在饱和区，忽略体效应。设 $g_m=100g_{ds}$，所有管子都是相同的。画出 i_{out} 为 i_{in} 函数的草图。

5.4-9 在图 P5.4-9 所示的电路中，设 M1 和 M2 是同样的管子，V_{DC} 使 M1 和 M2 的电流相同，M5 的小信号 r_{ds} 忽略（不忽略 r_{ds1} 和 r_{ds2}），试求 R_{in} 的实际小信号表达式。

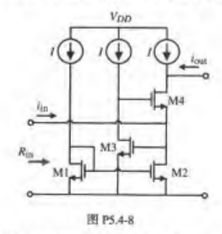


图 P5.4-8

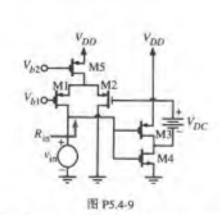


图 P5.4-9

5.4-10 CMOS 电流放大器如图 P5.4-10 所示。求小信号电流增益 $A_i=i_{out}/i_{in}$、输入电阻 R_{in} 和输出电阻 R_{out}。求 R_{out} 时，设 g_{ds2}/g_{m6} 等于 g_{ds1}/g_{m5}。采用表 3.1-3 的参数。

5.4-11 试写出图 P5.4-11 所示放大器下列特性的准确数学表达式（忽略体效应）。根据 g_m 和 r_{ds} 以两个多项式之比的形式给出答案。

（a）小信号电压增益 $A_v=v_{out}/v_{in}$ 和电增益流 $A_i=i_{out}/i_{in}$。

（b）小信号输入电阻 R_{in}。

（c）小信号输出电阻 R_{out}。

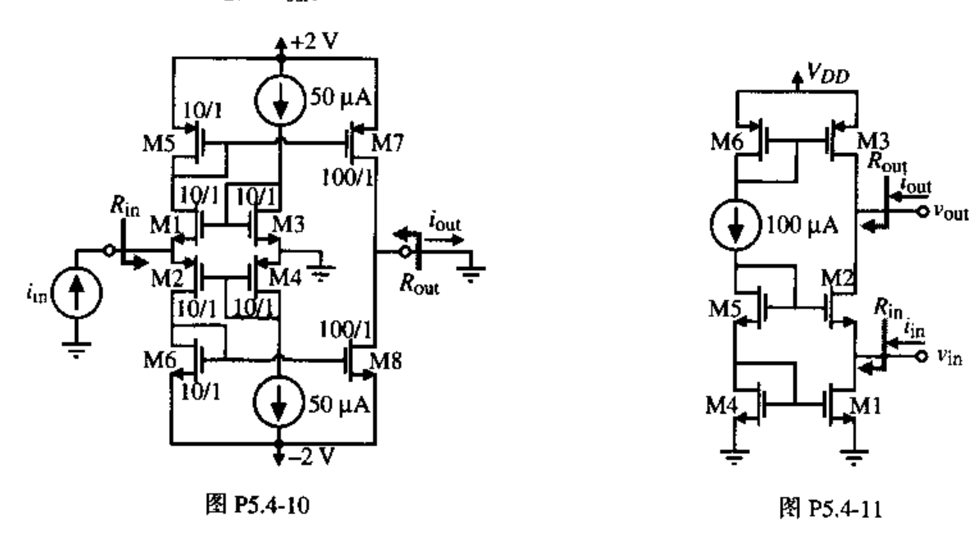


图 P5.4-10　　图 P5.4-11

5.4-12 试求图 P5.4-12 所示电路小信号输入电阻的准确表示式。设所有的晶体管有相同的 W/L 比，都工作在饱和区，忽略体效应。在简化表达式时，设 $g_m=100g_{ds}$ 且所有管子相同，画出 i_{out} 作为 i_{in} 函数的草图。

5.5-1 用表 3.1-2 的值，设计图 5.5-1 中管子 M1 和 M2 的 W/L，使电压摆幅为±3 V，摆率为 5 V/μs。设 R_L=10 kΩ，C_L=1 nF，$V_{DD}=-V_{SS}$=5 V，V_{GG2}= 2 V。

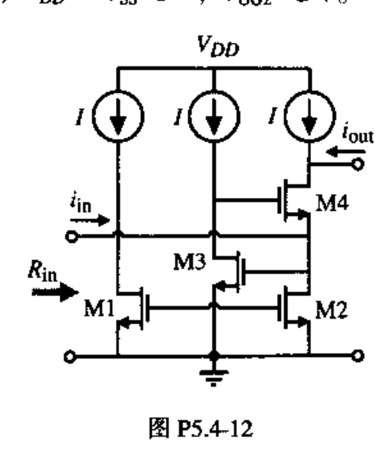


图 P5.4-12

5.5-2 求图 5.5-3（a）中源级跟随器 M1 的 W/L 值，设 $V_{DD}=-V_{SS}$=5 V，V_{OUT}=1 V，W_2/L_2=1，输出电流为 1 mA，用表 3.1-2 的参数。

5.5-3 试求图 5.5-3（b）中源级跟随器的小信号电压增益和输出电阻。设 $V_{DD}=-V_{SS}$= 5 V，V_{OUT} =1 V，I_D=50 μA，M1 和 M2 的 W/L 均为 2 μm/1 μm，在需要的地方用表 3.1-2 的参数。

5.5-4 输出放大器如图 P5.5-4 所示。假设 v_{IN} 的变化范围为−2.5 V ~ +2.5 V，忽略体效应。用表 3.1-2 的参数。试求：

（a）输出电压最大值 v_{OUT}(最大)。

（b）输出电压最小值 v_{OUT}(最小)。

（c）在 $v_{OUT}=0$ V 时的正摆率 SR^+，单位为 V/μs。

（d）在 $v_{OUT}=0$ V 时的负摆率 SR^-，单位为 V/μs。

（e）在 $v_{OUT}=0$ V 时的小信号输出电阻。

5.5-5 如果输入晶体管为 W/L 是 100 μm/1 μm 的 NMOS 管（即用 NMOS 电流源替换 PMOS 电流漏），重做习题 5.5-4。

5.5-6 对图 P5.5-6 所给的器件值，求电路的小信号电压增益 v_{out}/v_{in} 和小信号输出电阻 R_{out}。设 v_{OUT} 的直流值为 0 V，M1 和 M2 的直流电流为 200 μA。

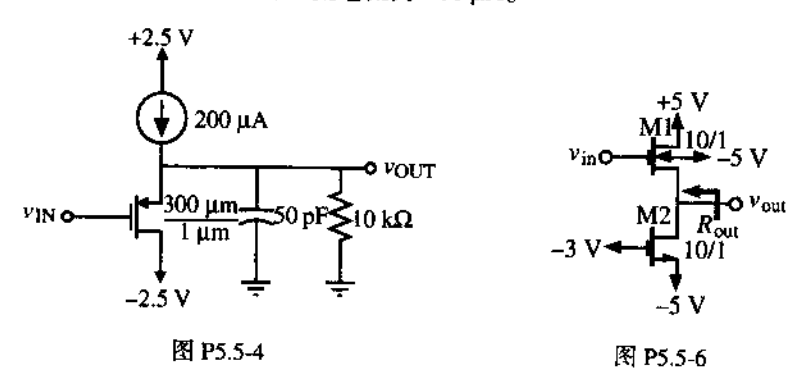


图 P5.5-4　　　　图 P5.5-6

5.5-7 用最大对称峰值输出电压摆幅表示图5.5-3（b）中源极跟随器的效率，忽略体-源极电压的影响。最大可能的效率为多少？

5.5-8 试求图 5.5-3（a）和图 5.5-3（b）的源极跟随器的极点和零点位置。已知 $C_{gs1}=C_{gd2}=5$ fF，$C_{bs1}=C_{bd2}=30$ fF，$C_L=1$ pF，采用表 3.1-2 中的器件参数。设 I_D=100 μA，$W_1/L_1=W_2/L_2$=10 μm/1 μm，$V_{SB}=5$ V。

5.5-9 图 P5.5-9 为 6 种源极跟随器。设 $K'_N=2K'_P$，$\lambda_P=2\lambda_N$，所有管子的 W/L 比相等，偏置电流也相等，忽略体效应，确定哪一个或哪些电路具有下列特性：（a）最高的小信号电压增益；（b）最低的小信号电压增益；（c）最高的输出电阻；（d）最低的输出电阻；（e）最高的 v_o（最大）；（f）最低的 v_o（最大）。

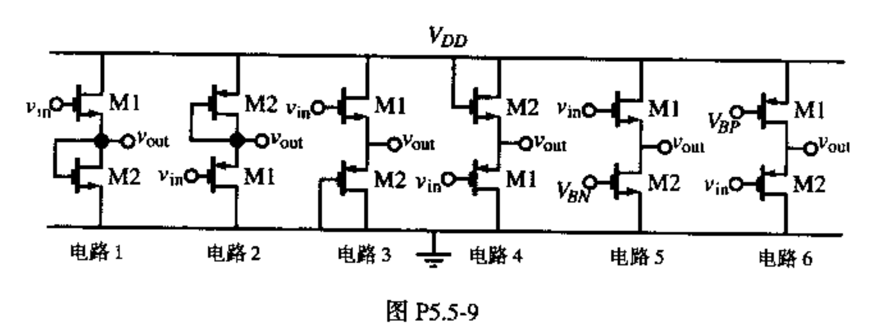


图 P5.5-9

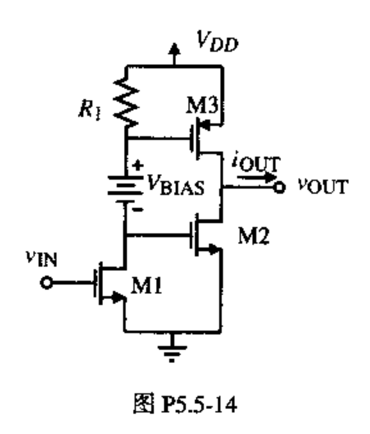
5.5-10 证明乙类推挽放大器在正弦信号时最高效率可达 78.5%。

5.5-11 设图 5.5-5（a）的管子采用表 3.1-2 的参数。设计 V_{BIAS} 使 M1 和 M2 工作在乙类状态，亦即当 M2 截止时 M1 导通。

5.5-12 写出图 5.5-5（a）中输出电压摆幅的最大和最小值的表达式。

5.5-13 对图5.5-8，重复习题5.5-12的问题。

5.5-14 给定推挽反相CMOS放大器如图P5.5-14所示。说明如何在这个放大器中加进短路保护。注意：如果需要，R_1可以用有源负载替换。



图P5.5-14

5.5-15 在图5.5-12所示的电路中，如果$R_1=R_2$，写出小信号输出电阻R_{out}的表达式。考虑R_L对输出电阻的影响，重新计算。

5.5-16 绘制一张表格，列出放大器的小信号电压增益、输出电阻及主极点关于漏极直流电流的函数关系。这些放大器包括：图5.2-1的差分放大器、图5.3-1的共源共栅组合放大器、图5.3-6的高输出电阻共源共栅组合放大器、图5.5-1的反相器和图5.5-3（b）的源极跟随器。

以下的问题使用5.1节~5.5节的适当电路以实现5.6节的放大器结构。不要进行任何直流或交流计算。画出设计草图即可。

5.6-1　实现图5.6-2（b）的VCCS。

5.6-2　实现图5.6-3（b）的VCVS。

5.6-3　实现图5.6-4（b）的CCCS。

5.6-4　实现图5.6-5（b）的CCVS。

参考文献

1. P. R. Gray, "Basic MOS Operational Amplifier Design—An Overview," In: *Analog MOS Integrated Circuits*, A. B. Grebene, Ed. New York: IEEE Press, 1980, pp. 28–49.
2. P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd Ed. New York: Wiley, 1993.
3. Y. P. Tsividis, "Design Considerations in Single-Channel MOS Analog Integrated Circuits—A Tutorial," *IEEE Solid-State Circuits*, Vol. SC-13, No. 3, pp. 383–391, June 1978.
4. C. Toumazou, J. B. Hughes, and N. C. Battersby, *Switched-Currents—An Analogue Technique for Digital Technology*. London: Peter Peregrinus Ltd., 1993.
5. C. Toumazou, F. J. Lidgey, and D. G. Haigh, *Analogue IC Design: The Current-Mode Approach*. London: Peter Peregrinus Ltd., 1990.
6. P. R. Gray and R. G. Meyer, "Advances in Monolithic Operational Amplifier Design," *IEEE Trans. Circuits Syst.*, Vol. CAS-21, pp. 317–327, May 1974.
7. T. M. Frederiksen, W. F. Davis, and D. W. Zobel, "A New Current-Differencing Single-Supply Operational Amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-6, No. 6, pp. 340–347, Dec. 1991.
8. B. Wilson, "Constant Bandwidth Voltage Amplification using Current Conveyors," *Inter. J. on Electronics*, Vol. 65, No. 5, pp. 983–988, Nov. 1988.

第 6 章　CMOS 运算放大器

本章介绍的运算放大器已经成为模拟电路设计中用途最广、最重要的部件。表1.1-2 方案中的运算放大器是一个复杂电路的例子。本章讨论的无缓冲运算放大器也许称为运算跨导放大器更好，因为这类放大器的输出电阻非常大（因此称为“无缓冲”）。因为人们已接受此类电路被冠以“运算放大器”之名，所以本教材直接沿用这个名字。术语“无缓冲”和“缓冲”用以区分高输出电阻（运算跨导放大器或 OTA）和低输出电阻（电压运算放大器）放大器。第 7 章将介绍低输出电阻的运算放大器（缓冲运算放大器）。

运算放大器是具有足够正向增益的放大器（受控源），当加负反馈时，闭环传输函数与运算放大器的增益几乎无关（见图 5.6-1）。利用这个原理可以设计很多有用的模拟电路和系统。对运算放大器最主要的要求是有一个足够大的开环增益以符合负反馈的概念。第 5 章提到的放大器大多没有足够大的增益。因此，多数 CMOS 运算放大器采用两级或多级增益。最常用的运算放大器之一是两级运算放大器。我们之所以将仔细讨论此类运算放大器主要有几个原因：首先是简单而且实用；其次是其他各种运算放大器均在此基础上发展演变而成。

两级运算放大器将引进“补偿”的重要概念。补偿的目的是在运算放大器加负反馈时保持整个电路工作的稳定。理解了补偿以及前面提到的那些概念后，就可以理解两级运算放大器的设计方法所必需的设计关系。除了两级运算放大器，本章还讨论了折叠共源共栅运算放大器。这种放大器是为了改进两级运算放大器的电源抑制比。折叠共源共栅运算放大器也是自补偿运算放大器的一个例子。

运算放大器性能的模拟、测量、宏模型是本章最后介绍的内容。仿真对于验证和优化设计是必需的。实验测量对于用原设计要求验证运算放大器的性能也是必需的。典型情况下，模拟可用的技术也适用于实验测量。最后，利用宏模型可以获得运算放大器的预期性能而不必模拟运算放大器的每一个元器件。

6.1　CMOS 运算放大器设计

图6.1-1 的框图描述了运算放大器的重要组成部分。CMOS 运算放大器在结构上非常类似于双极型运算放大器。5.2 节介绍的差分跨导级构成了运算放大器的输入级，有时会提供一个差分到单端的转换。通常，恰当的总增益由差分输入级提供，可以改善噪声和失调性能。第二级通常是反相器，类似于 5.1 节介绍的电路。如果差分输入级没有完成差分至单端的转换，那么这个工作应该由第二级的反相器完成。如果运算放大器必须驱动一个低电阻负载，第二级后必须增加一级缓冲级，用于降低输出电阻，维持大的信号摆幅。偏置电路用于为每只晶体管建立适当的静态工作点。正如前面介绍中提到的，应采用补偿电路以达到稳定的闭环特性。6.2 节将着手解决这个重要问题。

理想运算放大器

理想情况下，运算放大器具有无限大的差模电压增益、无限大的输入电阻和零输出电阻。实

际上，运算放大器的性能只能接近这些值。多数无缓冲运算放大器的应用中，大于等于 2000 的开环增益已经足够。运算放大器的电路符号如图 6.1-2 所示。图中，在非理想状态下，输出电压 v_{OUT} 的表达式为：

$$v_{OUT} = A_v(v_1 - v_2) \tag{6.1-1}$$

A_v表示开环差模电压增益。v_1和 v_2分别是作用在同相端和反相端的输入电压。图6.1-2 中的符号也标出了V_{DD}和V_{SS}的电源连接。一般这些连接是不标的，但是设计者必须记住它们是运算放大器的一个必要的组成部分。

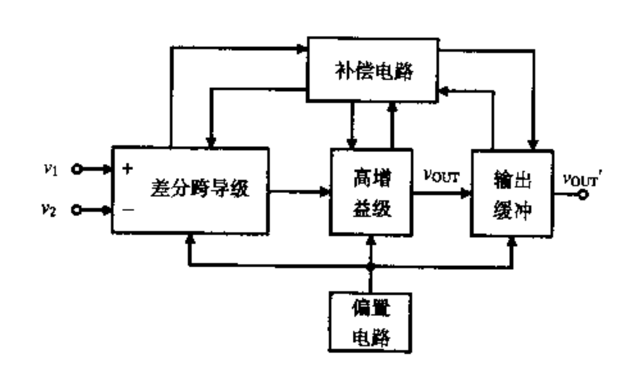


图 6.1-1 常用的两级运算放大器框图

如果运算放大器的增益足够大，在负反馈时运算放大器的输入端口就成为一个零子端口。零子端口对网络而言是这样的端口：当端口上的电压为 0 时，流入或流出这个端口的电流也是 0[1]。在图 6.1-2 中，如果我们定义：

$$v_i = v_1 - v_2 \tag{6.1-2}$$

和

$$i_i = i_1 = -i_2 \tag{6.1-3}$$

那么

$$v_i = i_i = 0 \tag{6.1-4}$$

这个概念可以使带负反馈的运算放大器的分析非常简单。下面很快就会对此做出说明。

图6.1-3 示出了一个用运算放大器构成的电压放大器。输出通过 R_2接至反相输入端，提供负反馈通路。输入既可以加在同相输入端也可以加在反相输入端。如果仅提供 v_{inp}信号（$v_{inn}=0$），电压放大器称为同相放大器。如果仅提供 v_{inn}信号（$v_{inp}=0$），电压放大器称为反相放大器。

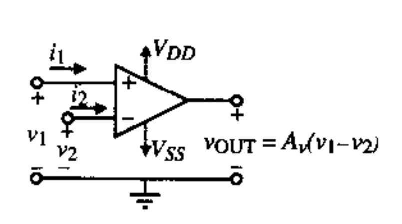


图 6.1-2 运算放大器的符号

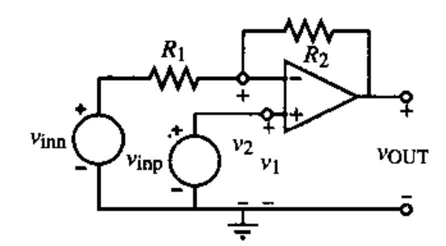


图 6.1-3 用运算放大器构成电压放大器的一般结构

例 6.1-1 运算放大器电路的简单分析

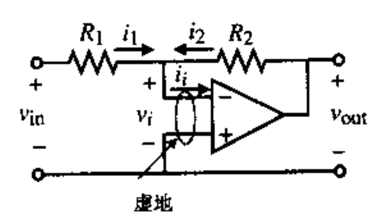


图 6.1-4 用运算放大器构成的反相电压放大器

图 6.1-4 所示的电路是一个用运算放大器构成的反相电压放大器。求电压传输函数 v_{out}/v_{in}。

解：

如果差分电压增益 A_v 足够大，通过 R_2 的负反馈将使图6.1-4所示电路的电压 v_i 和电流 i_i 为0。注意，如果运算放大器的一个输入端接地，零子端口成为虚地。如果是这种情况，我们可以写出：

$$i_1 = \frac{v_{in}}{R_1}$$

和

$$i_2 = \frac{v_{out}}{R_2}$$

因为 $i_i = 0$，则 $i_1 + i_2 = 0$，所求结果为：

$$\frac{v_{out}}{v_{in}} = -\frac{R_2}{R_1}$$

运算放大器特性

实际上，运算放大器只是接近理想无限大增益的电压放大器。其非理想特性如图 6.1-5 所示。有限差模输入阻抗等效为 R_{id} 和 C_{id}。输出电阻等效为 R_{out}。共模输入电阻等效为 R_{icm}，接在每个输入和地之间。V_{OS} 是输入失调电压，当运算放大器的两个输入端接地时，这个电压必须使输出电压为 0。I_{OS}（未画出）是输入失调电流，当运算放大器由两个相同的电流源激励时，这个电流必须使输出电压为 0。因此，I_{OS} 被定义为偏置输入电流 I_{B1} 和 I_{B2} 之差。因为 CMOS 运算放大器的偏置电流近似为 0，所以失调电流也为 0。共模抑制比（CMRR）用电压控制电压源 v_1/CMRR 表示。这个源近似模拟运算放大器共模输入信号的影响。运算放大器的噪声用两个源 e_n^2 和 i_n^2 等效。这些是均方电压和电流噪声源，单位分别是均方伏特和均方安培。这些噪声源没有极性，并假设总是相加的。

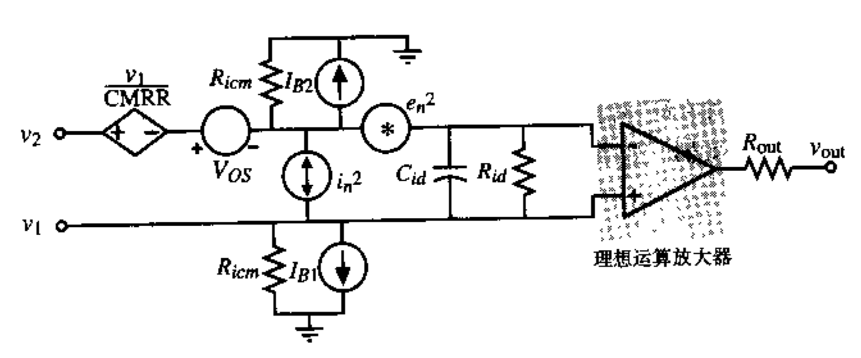


图 6.1-5 显示非理想线性特性的非理想运算放大器模型

图6.1-5 并未显示出运算放大器的所有非理想特性。现在定义运算放大器的其他相关特性。图 6.1-2 的输出电压定义为：

$$V_{out}(s)=A_v(s)\,[V_1(s)-V_2(s)]\pm A_c(s)\left(\frac{V_1(s)+V_2(s)}{2}\right) \tag{6.1-5}$$

式中，右边第一项是 $V_{out}(s)$的差模部分，第二项是 $V_{out}(s)$的共模部分。差模频率响应为$A_v(s)$，共模频率响应为$A_c(s)$。运算放大器的典型差模频率响应可以表示为：

$$A_v(s)=\frac{A_{v0}}{\left(\frac{s}{p_1}-1\right)\left(\frac{s}{p_2}-1\right)\left(\frac{s}{p_3}-1\right)\cdots} \tag{6.1-6}$$

式中，p_1，p_2，…是运算放大器开环传递函数的极点。一般来说，极点记做p_i，可以表示为：

$$p_i=-\omega_i \tag{6.1-7}$$

这里，ω_i是时间常数的倒数或者极点p_i的转折点频率。虽然运算放大器有零点，但这里忽略了。A_{v0}或$A_v(0)$是频率接近0时运算放大器的增益。图6.1-6显示了典型的$A_v(s)$的幅频响应。在这种情况下我们看到，ω_1远比所有其他的转折频率低得多，因此ω_1在频率响应中起主要作用。这是一个−6 dB/每倍频程频率点，从主极点延伸与0dB轴相交的点被定义为运算放大器的单位增益带宽，缩写为GB。即使下一个更高阶的极点比GB小，我们仍然用上面的这个方法定义单位增益带宽。

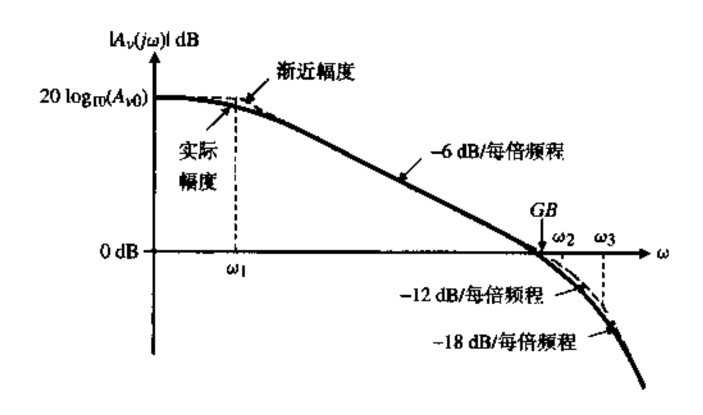


图6.1-6 运算放大器$A_v(j\omega)$的典型幅频响应

在图6.1-5中未定义的运算放大器的另一个非理想特性是电源电压抑制比PSRR。PSRR被定义为电源电压变化与由电源电压变化引起的运算放大器输出电压变化之比再与运算放大器开环增益的乘积。于是：

$$\text{PSRR}=\frac{\Delta V_{DD}}{\Delta V_{OUT}}A_v(s)=\frac{V_o/V_{in}(V_{dd}=0)}{V_o/V_{dd}(V_{in}=0)} \tag{6.1-8}$$

理想的运算放大器应该有无限大的PSRR。读者应该注意文献中既会出现这种PSRR的定义，也可能出现与之相反的定义方式。输入共模范围是共模输入信号可以变化的电压范围。这个范围一般比V_{DD}低1~2 V，比V_{SS}高1~2 V。

运算放大器的输出有几个重要的限制。其中之一是最大输出电流的流出和流入能力。运算放大器仍维持高增益特性时，输出电压摆幅的限制范围。输出还有一个电压变化速率的限制，称为摆率。摆率一般由电容的最大充放电电流确定。一般来说，摆率不受输出级限制，而是由第一级的源/漏电流容量决定。在模拟数据采样电路应用中，最后一个重要特性是建立时间。这是运算放大器受到小信号激励时输出达到稳定值（在预定的容差范围内）所需的时间。不要把这个值与摆

率混淆，后者是一个大信号概念。许多情况下，运算放大器的输出响应是大信号特性与小信号特性的混合。小信号建立时间可以完全由小信号等效电路的极点和零点的位置得出，而摆率由电路的大信号条件决定。

建立时间在模拟数据采样电路中的重要性如图6.1-7所示。处理模拟信号时，为了避免在精确性方面而出现错误，有必要等待，直到运算放大器输出达到终值的百分之几十处。较长的建立时间意味着模拟信号处理速率将降低。

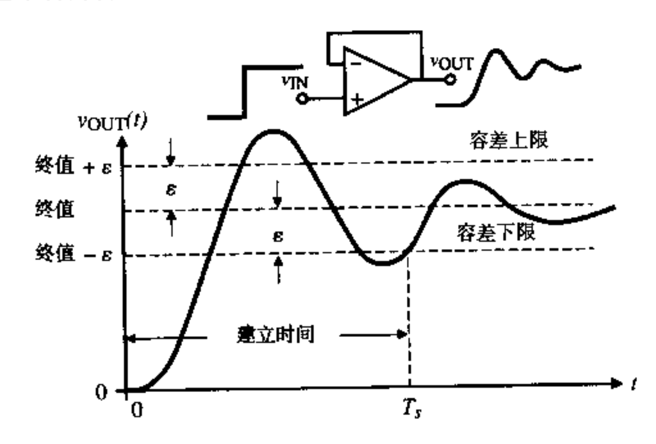


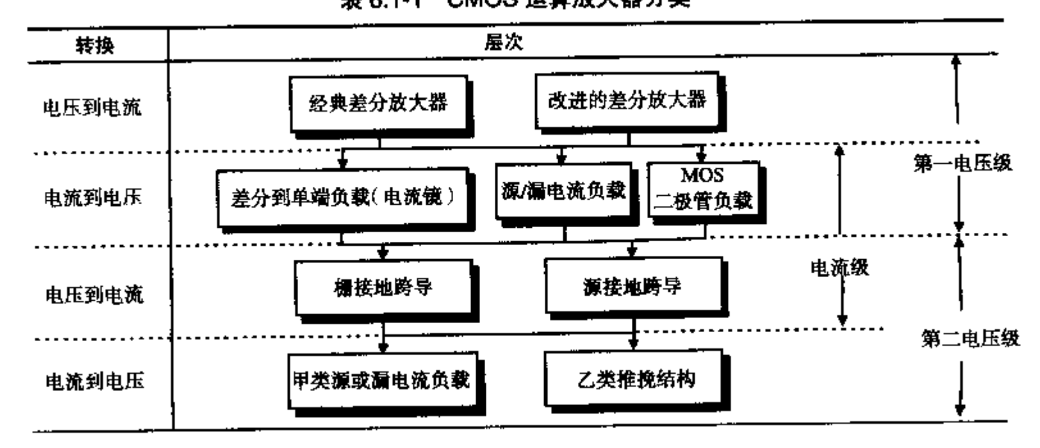
图 6.1-7 具有负反馈的运算放大器显示建立时间 T_S 的瞬态响应，ε定义为建立时间对终值的容差

幸运的是，CMOS 运算放大器不受上面讨论的全部非理想特性的影响。因为 MOS 器件具有相当高的输入电阻，R_{id} 和 I_{OS}（或 I_{B1} 和 I_{B2}）就不重要了。R_{id} 的典型值在 10^{14} Ω左右，R_{icm} 相当大，可以忽略。如果运算放大器用在图 6.1-3 的结构中，同相端交流接地，那么所有的共模性能就不重要了。

运算放大器分类

为了便于理解 CMOS 运算放大器的设计，有必要讨论运算放大器的分类。幸运的是，所有目前我们还完全不熟悉的运算放大器可以由前两章所介绍的模块组成。表 6.1-1 给出了 CMOS 运算放大器的层次结构，几乎可以应用于所有本章和后面章节提到的 COMS 运算放大器。我们看到差分放大器作为输入级的结构几乎随处可见。在后面的章节中我们将运用一个 5.2 节提到的差分放大器的改进结构分析几种运算放大器。但是大体上，多数运算放大器选择差分放大器作为输入级。

表 6.1-1 CMOS 运算放大器分类



正如我们前面说明的，放大器一般由电压-电流或电流-电压转换级级联构成。电压-电流级称为跨导级，电流-电压级称做负载级。有时，电流-电流级考虑起来比较简单，但是电流最终仍将被转换成电压。

根据表6.1-1的分类，本章要研究两个主要的运算放大器结构。第一是两级运算放大器，它由$V \to I$和$I \to V$级联组成，如图6.1-8所示。第一级由一个差分放大器组成，将差模输入电压转换为差模电流。这个差模电流作用在电流镜负载上恢复成差模电压。当然，这与图5.2-5和图5.2-7的差分电压放大器没有什么不同。第二级由共源MOSFET放大器构成，将第二级的输入电压转换为电流。这只管子用电流漏作为负载，在输出端将电流转换为电压。第二级与图5.1-7所示电流漏反相器也没什么不同。这种两级运算放大器运用如此广泛，因此我们称之为标准两级运算放大器，它有MOSFET和BJT两种形式。

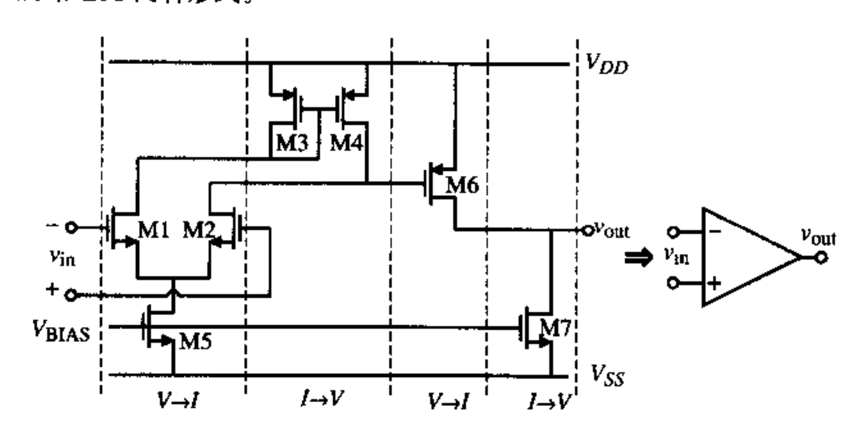


图6.1-8　标准两级CMOS运算放大器拆成电压-电流级和电流-电压级

第二种结构如图6.1-9所示。这个结构一般被称为折叠共源共栅运算放大器。这种结构改进了两级运算放大器的输入共模范围和电源电压抑制特性。在这种独特的运算放大器中，将它看做差分跨导级与电流级级联再紧跟一个共源共栅电流镜负载的结构更方便。折叠共源共栅运算放大器的优点之一是它有一个推挽输出。也就是说，运算放大器可以灵活地从负载得到电流或向负载提供电流。前述两级运算放大器的输出级是甲类放大器，意味着它的流入或流出电流能力是固定的。

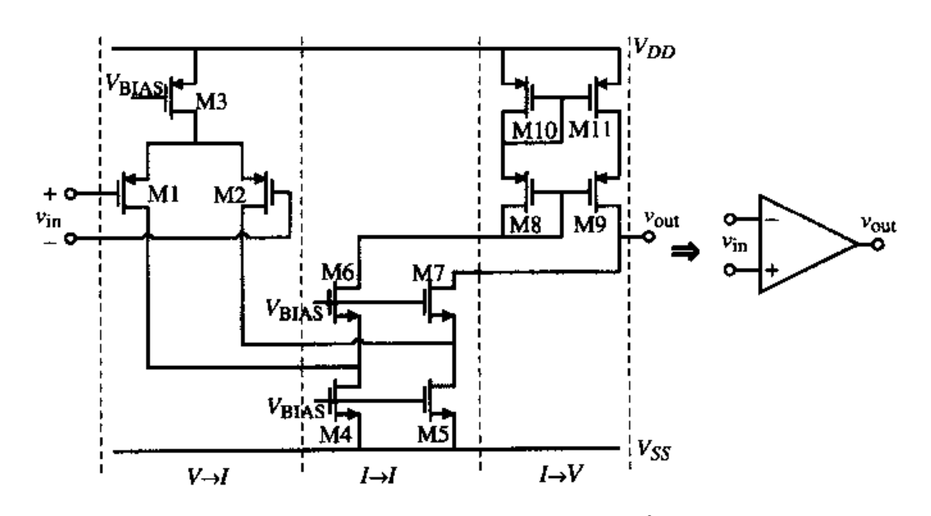


图6.1-9　分级的折叠共源共栅运算放大器

对图6.1-8和图6.1-9的两个运算放大器略做修改即可得到许多其他可能的形式（见习题6.1-5和习题6.1-6）。然而，为了节省篇幅我们只考虑这两种CMOS运算放大器。

运算放大器设计

运算放大器设计可以分成两个明显与设计相关的步骤，它们在很大程度上互不相关。第一步是选择或构造运算放大器的基本结构，描述所有晶体管互连的草图。多数情况下，这个结构在整个设计中不会改变，但有时，某些选好的设计特性必须通过改变结构进行修改。

一旦结构确定，设计者必须选择直流电流，并且开始设置管子尺寸，设计补偿电路。多数完成设计的工作都与这第二个步骤有关。为满足运算放大器的交流和直流要求，所有管子都应有合适的尺寸。在手工计算基础上，计算机电路模拟被大量运用以辅助设计者完成此阶段的工作。

开始着手实际设计之前，所有对设计给出导向的要求和边界条件都必须明确。下面列出必须考虑的问题。

边界条件：

1. 工艺规范（V_T，K'，C_{OX}，等等）
2. 电源电压范围
3. 电源电流范围
4. 工作温度范围

要求：

1. 增益
2. 增益带宽
3. 建立时间
4. 摆率
5. 输入共模范围ICMR
6. 共模抑制比CMRR
7. 电源电压抑制比PSRR
8. 输出电压摆幅
9. 输出电阻
10. 失调
11. 噪声
12. 版图面积

表6.1-2列出了无缓冲CMOS运算放大器的典型特性。

图6.1-1的框图对于指导CMOS运算放大器设计的工作非常有用。补偿方法对每个模块的设计都有很大影响。图6.1-1中相对并行进入补偿模块的路径提出了补偿的两种基本方法——反馈和前馈，这两种方法将在下面讨论。补偿的方法很大程度上取决于级数（是差分级，还是第二级或缓冲级）。

在设计运算放大器的时候，可以从很多地方入手。设计过程必须重复，因为不可能同时与所有指标相关。在一般的CMOS运算放大器设计中，下面的步骤也许是恰当的。

表6.1-2　典型的无缓冲CMOS运算放大器特性

边界条件	要求
工艺规范	见表3.1-1、表3.1-2和表3.2-1
电源电压	±2.5 V±10%
电源电流	100 μA
工作温度范围	0~70 ℃
特性	
增益	≥ 70 dB
增益带宽	≥ 5 MHz
建立时间	≤ 1μs
摆率	≥ 5 V/μs
ICMR	≥ ±1.5 V
CMRR	≥ 60 dB
PSRR	≥ 60 dB
输出摆幅	≥ ±1.5 V
输出电阻	无，仅用于容性负载
失调	≤ ±10 mV
噪声	≤ 100 nV/$\sqrt{\text{Hz}}$（1 kHz时）
版图面积	≤ 5000 × (最小沟道长度)^2

1．决定合适的结构

仔细研究过技术指标后，确定所需要的结构类型。比如，如果要求非常小的噪声和失调，那么这个结构必须在输入级提供高增益。如果需要低功耗，那么甲乙类输出级也许是必要的。这又决定了必须使用的输入级类型。很多情况下，必须构造一定的结构以满足特定的应用。

2．确定满足指标所需要的补偿类型

有许多方法可以对运算放大器做出补偿。某些独特的方式适用于某些结构或指标。例如，必须驱动非常大的容性负载的运算放大器应该在输出端进行补偿。如果是这样，就要求确定所需输入和输出级的类型。正如此例所示，在设计过程的第1步和第2步之间，反复是必然的。

3．设计管子尺寸以满足直流、交流和瞬态性能

根据近似公式从手工计算开始，补偿元器件的尺寸也在这一过程中确定。每个器件的尺寸手工计算后，用仿真工具进行电路优化设计。

在设计过程中可能会发现，用选定的结构达到某些指标是很困难的，甚至是不可能的。此时设计者必须改进结构或查找资料以寻求能够达到要求的方法。查找资料替代了重新建立一个新的结构。对非常关键的设计，手工计算可以在整个任务的20%的时间内完成大约80%的工作。剩下的20%的工作需要80%的时间完成。有时手工计算会因近似计算而受误导。尽管如此，这个步骤却是必需的。它可以使设计者对设计参数变化的灵敏性有一个感性认识。除此之外，没有其他方法可以使设计者了解各种设计参数是如何影响性能的。计算机模拟的反复在这方面给设计者的感

觉并不明显，一般来说，利用计算机资源并不是明智的选择[①]。

总体来说，设计过程有两个主要步骤。第一是设计的概念，第二是设计的优化。设计的概念由提出满足给定指标要求的结构来完成。通常，这一步用手工计算完成，这是为维持观察法的需求所必须做的选择。第二步是为了进行初步设计、验证并优化。一般通过计算机模拟进行，还可以包含其他诸如环境或工艺变化的影响。

6.2 运算放大器的补偿

运算放大器一般用在负反馈结构中。此时，相对较高但不精确的正向增益可以与反馈一起得到一个非常精确的传输函数，此函数仅与反馈元件有关。图6.2-1是一个一般的负反馈结构。$A(s)$是放大器增益，一般来说是运算放大器的开环差模电压增益。$F(s)$是从运算放大器输出到输入的外部反馈的传输函数（见5.6节）。这个系统的环路增益可以定义为：

$$\text{环路增益} = L(s) = -A(s)F(s) \tag{6.2-1}$$

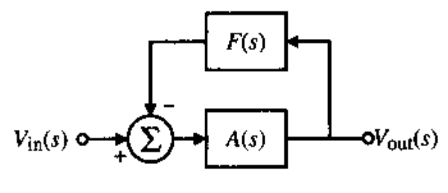


图6.2-1 单环负反馈系统

考虑 V_{in} 到 V_{out} 的正向增益为1。容易看出，如果开环直流增益 $A(0)$是在1000~2000之间，F等于1，正向增益的变化在0.999~0.9995之间。对于非常高的环路增益（主要由于具有高的放大器增益），正向传递函数 V_{out}/V_{in} 受到负反馈网络的精确控制。这就是使用运算放大器的原理。

两级运算放大器的小信号动态分析

最重要的是，反馈到运算放大器输入端的信号幅度和相位不应使该信号在环路中产生振荡。如果发生这种情况，放大器的输出就会被箝位在某一个电源电压（在直流处再生）或振荡（在某些频率点再生）。为了避免这种情况，条件可以简洁地表述为：

$$|A(j\omega_{0°})F(j\omega_{0°})| = |L(j\omega_{0°})| < 1 \tag{6.2-2}$$

其中 $\omega_{0°}$ 被定义为：

$$\text{Arg}[-A(j\omega_{0°})F(j\omega_{0°})] = \text{Arg}[L(j\omega_{0°})] = 0° \tag{6.2-3}$$

另一个表示此条件的便利方法是：

$$\text{Arg}[-A(j\omega_{0\,dB})F(j\omega_{0\,dB})] = \text{Arg}[L(j\omega_{0\,dB})] > 0° \tag{6.2-4}$$

其中 $\omega_{0\,dB}$ 被定义为：

$$|A(j\omega_{0\,dB})F(j\omega_{0\,dB})| = |L(j\omega_{0\,dB})| = 1 \tag{6.2-5}$$

如果满足这些条件，则称反馈系统是稳定的（即，不可能发生持续振荡）。

式（6.2-4）给出的第二个关系可用波特图做出更好的说明。图6.2-2显示了 $|A(j\omega)F(j\omega)|$ 和 $\text{Arg}[-A(j\omega)F(j\omega)]$ 作为频率函数的响应。稳定的条件是 $|A(j\omega)F(j\omega)|$ 曲线通过0 dB点应先于 $\text{Arg}[-A(j\omega)F(j\omega)]$ 到达0°点。当 $|A(j\omega)F(j\omega)|$ 等于1（即0 dB）时的相位值给出了稳定性的度量。这种度量称为相位裕量，由以下关系式描述：

① 模拟设计的有效规则是：（模拟器的使用）×常识 =（常数）。

$$相位裕量 = \Phi_M = \text{Arg}[-A(j\omega_{0\,\text{dB}})F(j\omega_{0\,\text{dB}})] = \text{Arg}[L(j\omega_{0\,\text{dB}})] \tag{6.2-6}$$

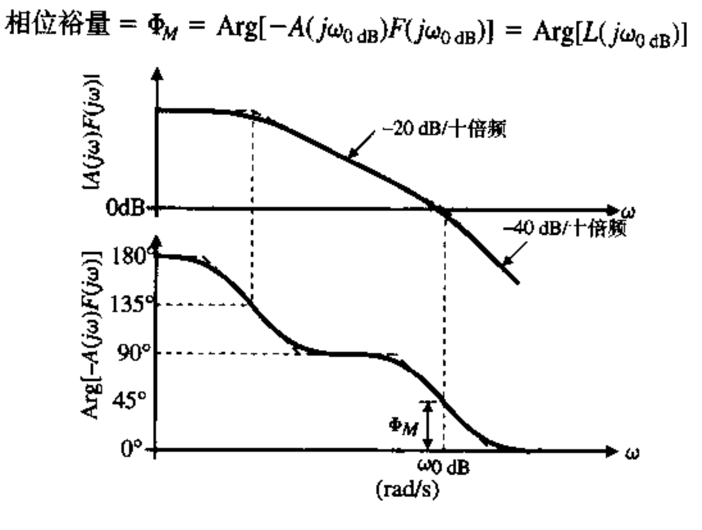


图 6.2-2　二阶系统的幅频和相频响应

以适当的相位裕量获得“好的稳定度”的重要性可以通过研究时域闭环系统响应得到最好的理解。图6.2-3 示出了不同相位裕量时二阶闭环系统的时域响应。可以看到相位裕量越大，引起的输出信号振铃越小。人们并不希望看到过多的振铃，所以有足够的相位裕量保证振铃在可以接受的范围内是很重要的。相位裕量至少要 45°，最好是 60°。附录 C 分析了相位裕量和二阶系统时域响应的关系。

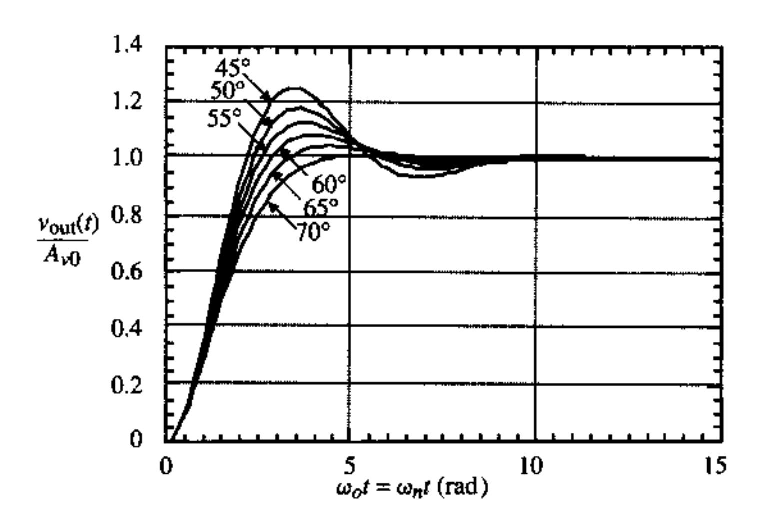


图 6.2-3　不同相位裕量的二阶系统响应

现在考虑图6.2-4 所示未加补偿的运算放大器的二阶小信号模型。为了归纳结论，与第一级有关的元件标上下标 I，与第二级有关的下标为 II。两个极点的位置由下面的等式给出：

$$p_1' = \frac{-1}{R_I C_I} \tag{6.2-7}$$

和

$$p_2' = \frac{-1}{R_{II}C_{II}} \tag{6.2-8}$$

式中，$R_I(R_{II})$和$C_I(C_{II})$分别是从第一（二）级输出端看进去的对地电阻和电容。典型情况下，这些极点远离复频面的原点，相互靠得较近。用图6.2-4 所示运算放大器模型的负反馈环路的开环频率响应如图 6.2-5 所示，反馈因子 $F(s)=1$。注意，$F(s)=1$ 是稳定性最糟的情况。在图 6.2-5 中，注意相位裕量小于 45°，这意味着运算放大器必须补偿才能用于闭环结构。

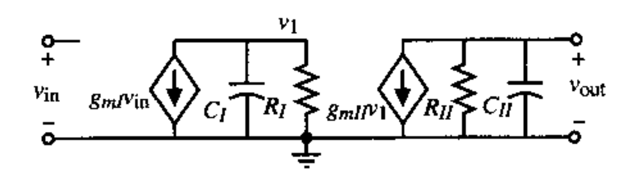


图 6.2-4 两级运算放大器的二阶小信号等效电路

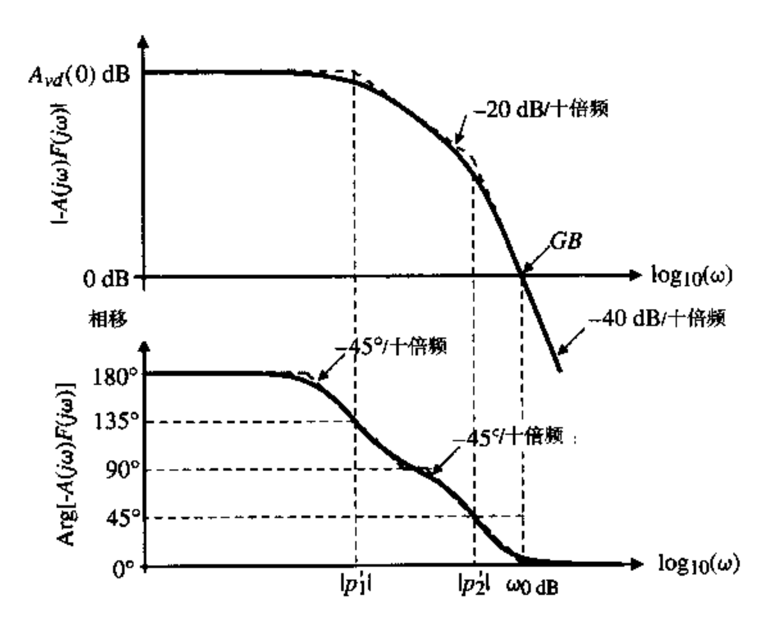


图 6.2-5 使用无补偿运算放大器的负反馈环路开环频率响应和 $F(s)=1$ 的反馈系数

两级运算放大器的米勒补偿

这里首先讨论的补偿法是“米勒”补偿[2]。这是由在输出和第二级跨导级 g_{mII} 的输入之间跨接一个电容实现的，其小信号模型如图 6.2-6 所示。加了补偿电容 C_c 将产生两个结果：第一，与 R_I 并联的有效电容大约增加到 $g_{mII}(R_{II})(C_c)$。结果使 p_1（p_1' 的新位置）明显地（假设第二级的增益较大）移向复频面的原点。第二，由于负反馈降低了第二级的输出电阻，p_2（p_2' 的新位置）向远离复频面原点的地方移动。

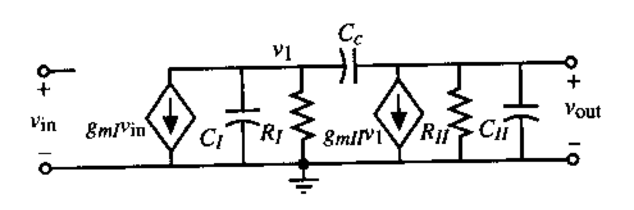


图 6.2-6 用于两级运算放大器的米勒电容

下面将严格推导这个结果。加上 C_c 以后总传输函数为：

$$\frac{V_O(s)}{V_{in}(s)}=\frac{(g_{mI})(g_{mII})(R_I)(R_{II})(1-sC_c/g_{mII})}{1+s[R_I(C_I+C_c)+R_{II}(C_{II}+C_c)+g_{mII}R_IR_{II}C_c]+s^2R_IR_{II}[C_IC_{II}+C_cC_I+C_cC_{II}]} \quad (6.2\text{-}9)$$

对于两个相距较远的极点使用5.3节介绍的方法给出了如下的补偿极点：

$$p_1\cong\frac{-1}{g_{mII}R_IR_{II}C_c} \quad (6.2\text{-}10)$$

和

$$p_2\cong\frac{-g_{mII}C_c}{C_IC_{II}+C_{II}C_c+C_IC_c} \quad (6.2\text{-}11)$$

如果 C_{II} 远大于 C_I，C_C 远大于 C_I，式（6.2-11）可近似等于：

$$p_2\cong\frac{-g_{mII}}{C_{II}} \quad (6.2\text{-}12)$$

注意，有一个零点位于复频面的正实轴上，这是通过 C_c 的前馈路径得到的。右半平面零点位于：

$$z_1=\frac{g_{mII}}{C_c} \quad (6.2\text{-}13)$$

图6.2-7（a）标明了极点在复频面上从补偿前的位置移向补偿后的位置。图6.2-7（b）由渐进幅频特性和相频特性曲线说明了补偿的结果。注意，第二个极点在 $|A(j\omega)F(j\omega)|$ 小于1前对幅频特性没有影响。右半平面（RHP）零点增加了相移［作用与左半平面（LHP）极点相同］，但是幅度是增加的［作用与左半平面（LHP）零点相同］。因此，RHP的零点关于稳定度会在两个方面使情况变糟。如果零点（z_1）或者极点（p_2）移向复频面的原点，相位裕量会减小。为闭环使用，放大器补偿的目的是移动除了主极点（p_1）之外的所有极、零点，使它们远离复频面的原点（超出单位增益带宽），相频特性类似于图6.2-7（b）所示。

至此只考虑了二阶（两个极点）系统。实际上，CMOS运算放大器传递函数的极点多于2个。接下来的工作将把重点放在两个最主要（较小）的极点和RHP零点上。图6.2-8示出了典型的CMOS运算放大器电路，图中给出了各种寄生电容和电路电容。由这些电容计算出的极、零点大致位置如下：

$$p_1\cong\frac{-G_IG_{II}}{g_{mII}C_c}=\frac{-(g_{ds2}+g_{ds4})(g_{ds6}+g_{ds7})}{g_{m6}C_c} \quad (6.2\text{-}14)$$

$$p_2\cong\frac{-g_{mII}}{C_{II}}=\frac{-g_{m6}}{C_2} \quad (6.2\text{-}15)$$

和

$$z_1\cong\frac{g_{mII}}{C_c}=\frac{g_{m6}}{C_c} \quad (6.2\text{-}16)$$

6.1节中定义的单位增益带宽很容易得出（见习题6.2-3），近似为：

$$GB\cong\frac{g_{mI}}{C_c}=\frac{g_{m2}}{C_c} \quad (6.2\text{-}17)$$

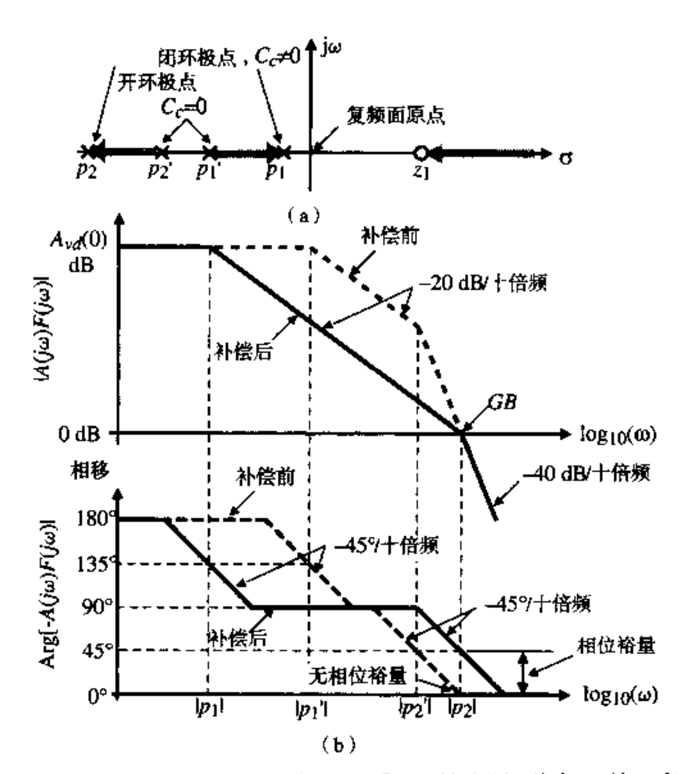


图 6.2-7　(a)采用米勒补偿法，环路增益$[F(s)=1]$的根轨迹图，其中 C_c从 0 变化到某一值(使根成为非主极点)；(b)补偿前后环路增益$[F(s)=1]$的渐进幅频特性和相频特性

上面的三个根对两级运算放大器的动态性能非常重要。左半平面的主极点 p_1 称做米勒极点，已经完成了需要的补偿。直觉上来看，它是由 C_c 的米勒效应产生的，如图 6.2-9 所示，图中 M6 假设为 NMOS 晶体管。电容 C_c乘第二级的近似增益 $g_{II}R_{II}$得到一个与 R_I并联的电容 $g_{II}R_{II}C_c$，这个电容与 R_I乘积的倒数即为式(6.2-14)。

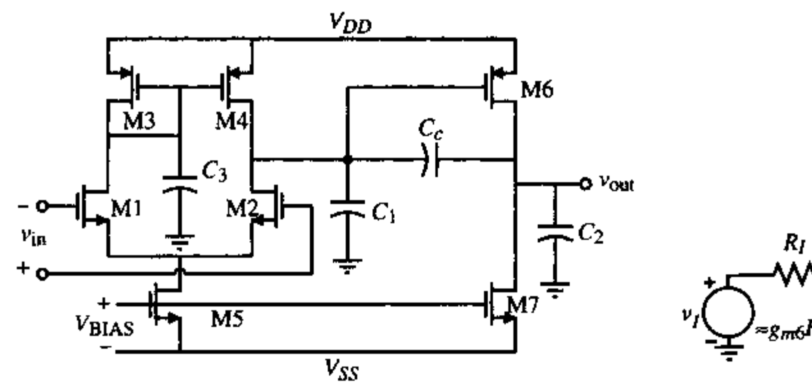


图 6.2-8　标出各种寄生电容和电路电容的两级运算放大器

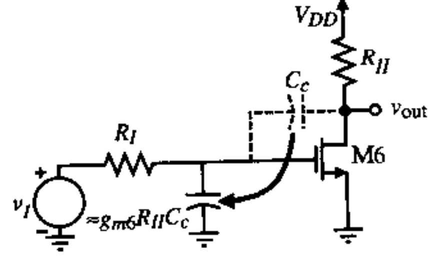


图 6.2-9　由 C_c的米勒效应对主极点的影响。图中 M6 被换成 NMOS

第二个重要的根是 p_2。这个根的模量必须至少等于 GB，它与运算放大器输出电容有关，称为输出极点。一般 C_{II} 等于负载电容 C_L，使输出极点主要取决于负载电容。图 6.2-10 说明了如何观察这些根。因为$|p_2|$接近或大于 GB，C_c的电抗近似为 $1/(GB \cdot C_c)$且非常小。在实际中，M6 的

漏极与栅极相连，形成一个MOS二极管。我们知道，MOS二极管的小信号电阻是$1/g_m$。$1/g_{mII}$与C_{II}（或C_L相乘的倒数即为式（6.2-15）。

第三个根是RHP零点。这是一个极不希望出现的根，因为它在增大幅度的同时使环路相移更负，结果使运算放大器稳定性变差。在BJT运算放大器中，RHP零点的影响并不严重，因为跨导值非常大。但是在CMOS运算放大器中，RHP零点不能忽略。在图6.2-11中可见，零点由输入到输出的两条路径产生。一条是从M6的栅极通过补偿电容C_c到输出（V''到V_{out}）。另一条是通过M6管到输出（V'到V_{out}）。在某一复频率上，通过这两条路径的信号如果大小相等、方向相反就会抵消，产生零点。RHP零点用这两条路径的信号重合可得：

$$V_{out}(s) = \left(\frac{-g_{m6}R_{II}(1/sC_c)}{R_{II}+1/sC_c}\right)V' + \left(\frac{R_{II}}{R_{II}+1/sC_c}\right)V'' = \frac{-R_{II}(g_{m6}/sC_c - 1)}{R_{II}+1/sC_c}V \quad (6.2\text{-}18)$$

其中，$V=V'=V''$

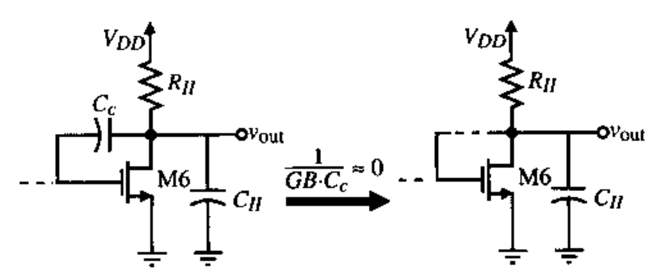


图6.2-10　两级运算放大器的输出极点生成示意图。图中M6被换成NMOS

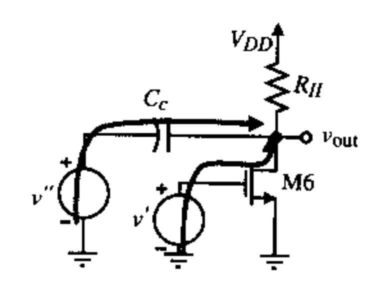


图6.2-11　RHP零点生成示意图。图中M6被换成NMOS

如前所述，补偿的目的是使相位裕量大于45°。可以证明（见习题6.2-4），如果零点至少在$10GB$以外，为达到45°相位裕量，第二极点（p_2）必须至少在1.22 GB以外。为了得到60°的相位裕量，p_2必须高于GB的2.2倍，如下例所示。

例6.2-1　为达到60°的相位裕量，求输出极点位置

已知一运算放大器模型有两个极点和一个RHP零点，设零点大于$10GB$，证明：为了使相位裕量大于60°，第二极点至少高于$2.2GB$。

解：

根据60°的相位裕量给出：

$$\Phi_M = \pm 180° - \text{Arg}[A(j\omega)F(j\omega)] = \pm 180° - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|p_2|}\right) - \tan^{-1}\left(\frac{\omega}{z_1}\right) = 60°$$

假设单位增益频率为GB，用GB代替ω得到：

$$120° = \tan^{-1}\left(\frac{GB}{|p_1|}\right) + \tan^{-1}\left(\frac{GB}{|p_2|}\right) + \tan^{-1}\left(\frac{GB}{z_1}\right) = \tan^{-1}[A_v(0)] + \tan^{-1}\left(\frac{GB}{|p_2|}\right) + \tan^{-1}(0.1)$$

假设$A_v(0)$很大，上面的式子可以化简为：

$$24.3° \approx \tan^{-1}\left(\frac{GB}{|p_2|}\right)$$

可见$|p_2| \geq 2.2GB$。

假设要求 60°的相位裕量，以下关系适用：

$$\frac{g_{m6}}{C_c} > 10\left(\frac{g_{m2}}{C_c}\right) \tag{6.2-19}$$

因此

$$g_{m6} > 10g_{m2} \tag{6.2-20}$$

而且

$$\left(\frac{g_{m6}}{C_2}\right) > 2.2\left(\frac{g_{m2}}{C_c}\right) \tag{6.2-21}$$

合并等式（6.2-20）和式（6.2-21）得到以下要求：

$$C_c > \frac{2.2\,C_2}{10} = 0.22\,C_2 \tag{6.2-22}$$

到目前为止，我们忽略了电容 C_3 的影响，在图 6.2-8 中，C_3 是与输入级电流镜负载有关的电容。图 6.2-8 中包含 C_3 的输入级小信号模型如图 6.2-12（a）所示。第一级的输入到输出的电压传输函数 $V_{o1}(s)$可以写为：

$$\begin{aligned}\frac{V_{o1}(s)}{V_{in}(s)} &= \frac{-g_{m1}}{2(g_{ds2}+g_{ds4})}\left[\frac{g_{m3}+g_{ds1}+g_{ds3}}{g_{m3}+g_{ds1}+g_{ds3}+sC_3}+1\right] \\ &\approx \frac{-g_{m1}}{2(g_{ds2}+g_{ds4})}\left[\frac{sC_3+2g_{m3}}{sC_3+g_{m3}}\right]\end{aligned} \tag{6.2-23}$$

可以看到这里有一个极点和一个零点：

$$p_3 = -\frac{g_{m3}}{C_3} \quad 和 \quad z_3 = -\frac{2g_{m3}}{C_3} \tag{6.2-24}$$

幸运的是，零点的存在趋向于抵消极点的作用。一般由于 C_3 极点和零点远大于 GB，对于两级运算放大器的稳定性影响很小。图 6.2-12（b）示出了根小于 GB 的情况，尽管这样它们对稳定度的影响还是很小。实际上，由于 GB 的减小，它们略微增大了相位裕量。

控制右半平面零点

由前馈路径通过补偿电容形成的 RHP 零点有限制 GB 的倾向。如果零点不存在，可能其他方法也会这样。有几种方法可以消除这个零点的影响。一是抵消前馈路径，在补偿电容的反馈通路中放一个单位增益缓冲器[3]。此技术如图 6.2-13 所示。设单位增益缓冲器的输出电阻很小（$R_o \to 0$），传输函数由下式给出：

$$\frac{V_o(s)}{V_{in}(s)} = \frac{(g_{mI})(g_{mII})(R_I)(R_{II})}{1+s[R_IC_I+R_{II}C_{II}+R_IC_c+g_{mII}R_IR_{II}C_c]+s^2[R_IR_{II}C_{II}(C_I+C_c)]} \tag{6.2-25}$$

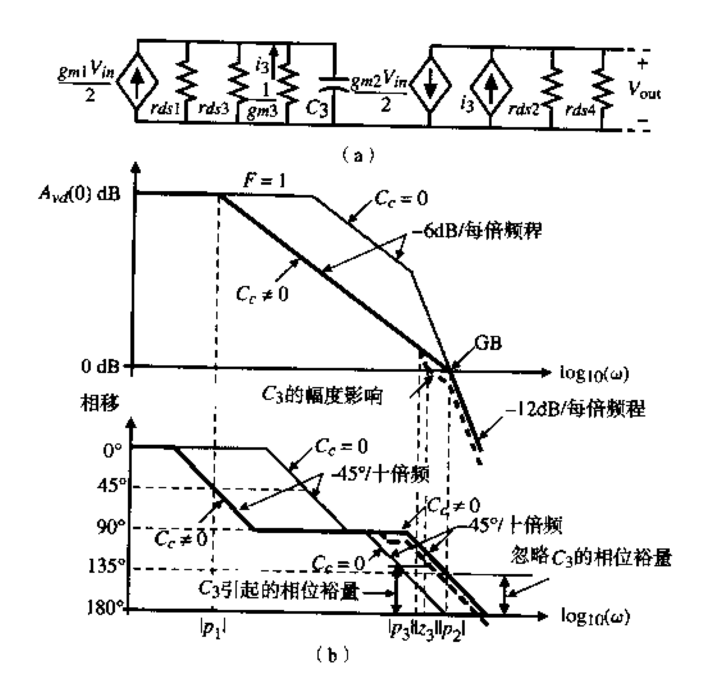


图 6.2-12 (a)两级运算放大器米勒补偿中电流镜极点 p_3 的影响；(b)开环根和闭环根的位置

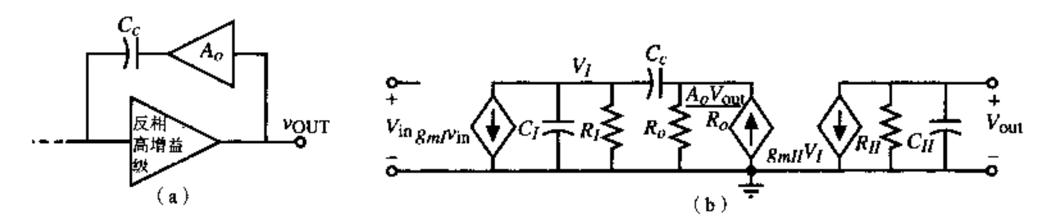


图 6.2-13 (a)使用电压放大器抵消前馈路径；(b)相应两级运算放大器的小信号模型

采用前面所说的近似技术得到 p_1 和 p_2 如下：

$$p_1 \cong \frac{-1}{R_IC_I + R_{II}C_{II} + R_IC_c + g_{mII}R_IR_{II}C_c} \cong \frac{-1}{g_{mII}R_IR_{II}C_c} \tag{6.2-26}$$

和

$$p_2 \cong \frac{-g_{mII}C_c}{C_{II}(C_I + C_c)} \tag{6.2-27}$$

注意，图 6.2-13 中电路的极点近似与前面相同，但是零点位置被移动了。当零点被移动后，极点 p_2 可以被移到离 GB 更高的地方，使得相位裕量可以达到 45°。为了得到 60°的相位裕量，p_2 必须大于 1.73GB。用图 6.2-13 所示的补偿结构，可以与抵消零点一样得到更大的带宽。

以上分析忽略了缓冲放大器的输出电阻 R_o，这可能是重要的。如果考虑输出电阻，设它小于 R_I 或 R_{II}，结果增加了极点 p_4 和 LHP 零点 z_2 值：

$$p_4 \cong \frac{-1}{R_o[C_IC_c/(C_I + C_c)]} \tag{6.2-28}$$

$$z_2 \cong \frac{-1}{R_o C_c} \qquad (6.2\text{-}29)$$

尽管LHP零点可以被用于补偿，但附加的极点使这种方法不如下面的方法更合适。这种结果最重要的是自然地引出控制RHP零点的方法。

另一种抵消RHP零点影响的方法是在补偿电容 C_c 的前馈通路中插进与 C_c 串联的调零电阻[4]。图6.2-14示出了这种技术的应用。这个电路有下面的节点电压方程：

$$g_{mI}V_{in} + \frac{V_I}{R_I} + sC_I V_I + \left(\frac{sC_c}{1 + sC_c R_z}\right)(V_I - V_{out}) = 0 \qquad (6.2\text{-}30)$$

$$g_{mII}V_I + \frac{V_o}{R_{II}} + sC_{II}V_{out} + \left(\frac{sC_c}{1 + sC_c R_z}\right)(V_{out} - V_I) = 0 \qquad (6.2\text{-}31)$$

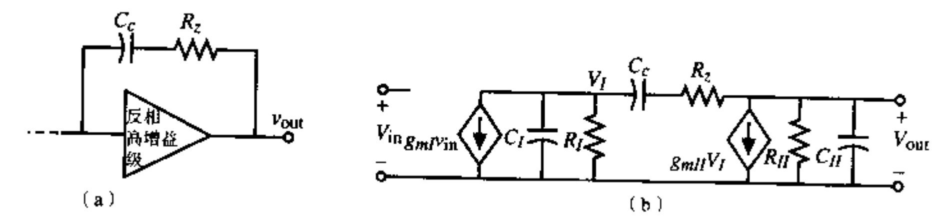


图6.2-14 （a）使用调零电阻 R_z 控制RHP零点；（b）使用调零电阻的两级运算放大器的小信号模型

由这些等式可以解出：

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{a\{1 - s[(C_c/g_{mII}) - R_z C_c]\}}{1 + bs + cs^2 + ds^3} \qquad (6.2\text{-}32)$$

其中：

$$a = g_{mI}g_{mII}R_I R_{II} \qquad (6.2\text{-}33)$$

$$b = (C_{II} + C_c)R_{II} + (C_I + C_c)R_I + g_{mII}R_I R_{II}C_c + R_z C_c \qquad (6.2\text{-}34)$$

$$c = [R_I R_{II}(C_I C_{II} + C_c C_I + C_c C_{II}) + R_z C_c(R_I C_I + R_{II}C_{II})] \qquad (6.2\text{-}35)$$

$$d = R_I R_{II} R_z C_I C_{II} C_c \qquad (6.2\text{-}36)$$

假设 R_z 小于 R_I 或 R_{II}，极点相隔较远，式（6.2-32）的根近似为：

$$p_1 \cong \frac{-1}{(1 + g_{mII}R_{II})R_I C_c} \cong \frac{-1}{g_{mII}R_{II}R_I C_c} \qquad (6.2\text{-}37)$$

$$p_2 \cong \frac{-g_{mII}C_c}{C_I C_{II} + C_c C_I + C_c C_{II}} \cong \frac{-g_{mII}}{C_{II}} \qquad (6.2\text{-}38)$$

$$p_4 = \frac{-1}{R_z C_I} \qquad (6.2\text{-}39)$$

和

$$z_1 = \frac{1}{C_c(1/g_{mII} - R_z)} \qquad (6.2\text{-}40)$$

容易看出调零电阻是如何控制RHP零点的。图6.2-15示出了将输出级拆分为两个部分类似于图6.2-11的情形。输出电压 V_{out} 可以写为：

$$V_{out}=\frac{-g_{m6}R_{II}\left(R_z+\frac{1}{sC_c}\right)}{R_{II}+R_z+\frac{1}{sC_c}}V'+\frac{R_{II}}{R_{II}+R_z+\frac{1}{sC_c}}V''=\frac{-R_{II}\left(g_{m6}R_z+\frac{g_{m6}}{sC_c}-1\right)}{R_{II}+R_z+\frac{1}{sC_c}} \quad (6.2\text{-}41)$$

设分子为0，$g_{m6}=g_{mII}$，给出式（6.2-40）。

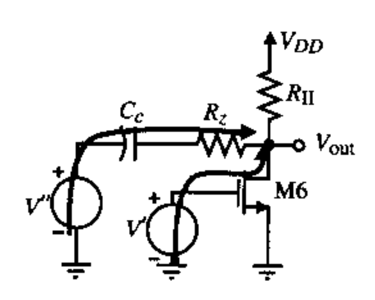


图6.2-15 用调零电阻控制RHP零点的示意图

电阻R_z可以独立控制零点。为了移动RHP零点，R_z必须等于$1/g_{mII}$。另一个方法是将零点从RHP移到LHP的极点p_2的位置。结果，与输出负载电容有关的极点抵消了。为了得到这个结果，必须满足下面条件：

$$z_1=p_2 \quad (6.2\text{-}42)$$

使得

$$\frac{1}{C_c(1/g_{mII}-R_z)}=\frac{-g_{mII}}{C_{II}} \quad (6.2\text{-}43)$$

可以得到R_z的值为：

$$R_z=\left(\frac{C_c+C_{II}}{C_c}\right)\left(\frac{1}{g_{mII}}\right) \quad (6.2\text{-}44)$$

由于p_2的抵消，剩下的极点为p_1和p_3。考虑到单位增益稳定性，要求p_3和p_4的值远大于GB。因此

$$|p_3|>A_v(0)|p_1|=\frac{A_v(0)}{g_{mII}R_{II}R_IC_c}=GB \quad (6.2\text{-}45)$$

$$|p_4|=(1/R_zC_I)>(g_{mI}/C_c) \quad (6.2\text{-}46)$$

将式（6.2-44）带入式（6.2-46），设$C_{II}>>C_c$，结果为：

$$C_c>\sqrt{\frac{g_{mI}}{g_{mII}}C_IC_{II}} \quad (6.2\text{-}47)$$

在两级运算放大器电路中用调零电阻可以收到很好的效果。即使有大的负载电容，运算放大器仍然可以具有很好的稳定性。惟一的缺点是补偿后输出极点p_2不能改变（只有改变C_L，才可以改变p_2）。

在米勒电容反馈路径引入M8增益级，可以增加输出极点p_2的模值，如图6.2-16（a）所示[5]。其小信号模型如图6.2-16（b）所示。电阻R_1和R_2被定义为：

$$R_1=\frac{1}{g_{ds2}+g_{ds4}+g_{ds9}} \quad (6.2\text{-}48)$$

和

$$R_2 = \frac{1}{g_{ds6} + g_{ds7}} \tag{6.2-49}$$

其中，晶体管 M2 和 M4 是第一级的输出晶体管。为了简化分析，我们重新调整了受控源 $g_{m8}V_{s8}$，忽略了 r_{ds8}。图 6.2-16（a）的简化小信号模型如图 6.2-16（c）所示。电路的节点方程为：

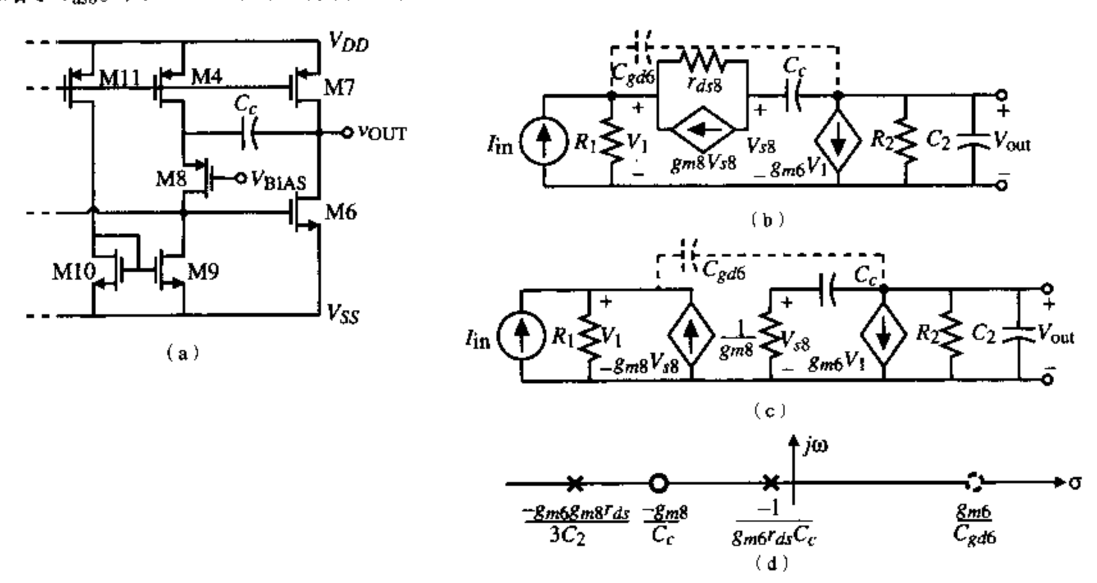


图 6.2-16　（a）增加输出极点幅值的电路；（b）图（a）的小信号模型；（c）图（b）的简化模型；（d）图（a）的极、零点

$$I_{\text{in}} = G_1V_1 - g_{m8}V_{s8} = G_1V_1 - \left(\frac{g_{m8}sC_c}{g_{m8} + sC_c}\right)V_{\text{out}} \tag{6.2-50}$$

和

$$0 = g_{m6}V_1 + \left(G_2 + sC_2 + \frac{g_{m8}sC_c}{g_{m8} + sC_c}\right)V_{\text{out}} \tag{6.2-51}$$

解得传递函数 $V_{\text{out}}/I_{\text{in}}$ 为：

$$\frac{V_{\text{out}}}{I_{\text{in}}} = \left(\frac{-g_{m6}}{G_1G_2}\right)\left[\frac{\left(1 + \frac{sC_c}{g_{m8}}\right)}{1 + s\left(\frac{C_c}{g_{m8}} + \frac{C_2}{G_2} + \frac{C_c}{G_2} + \frac{g_{m6}C_c}{G_1G_2}\right) + s^2\left(\frac{C_cC_2}{g_{m8}G_2}\right)}\right] \tag{6.2-52}$$

用前述简化分母根的近似方法得到：

$$p_1 = \frac{-1}{\frac{C_c}{g_{m8}} + \frac{C_c}{G_2} + \frac{C_2}{G_2} + \frac{g_{m6}C_c}{G_1G_2}} \approx \frac{-6}{g_{m6}r_{ds}^2C_c} \tag{6.2-53}$$

和

$$p_2 \approx \frac{\frac{g_{m6}r_{ds}^2C_c}{6}}{\frac{C_cC_2}{g_{m8}G_2}} = \frac{g_{m8}r_{ds}^2G_2}{6}\left(\frac{g_{m6}}{C_2}\right) = \left(\frac{g_{m8}r_{ds}}{3}\right)|p_2'| \tag{6.2-54}$$

式中，所有沟道电阻假设为r_{ds}，p_2'是一般米勒补偿的输出极点。图6.2-16（a）的结果是保持主极点近似不变，输出极点乘了单级增益（$g_m r_{ds}$）的近似值。除了这些极点，还有一个LHP零点——g_{m8}/sC_c，它可以被用来增加补偿。注意，对图6.2-16进行补偿后，在图6.2-16（d）中仍有一个RHP零点，因为通过C_{gd6}的前馈路径如图6.2-16（b）和图6.2-16（c）虚路径所示。

图6.2-17说明如何用观察法看出在M6的负反馈路径上增加M8会增加输出极点。在GB附近，C_c的电抗可以看做比较小。在这种假设下，在反馈路径中M6可以近似看做一个MOS二极管，增益为$g_{m8}r_{ds8}$，这使从$C_2(C_{II})$处看进去的输出电阻近似为：

$$R_{\text{out}} = R_{II}\|\left(\frac{1}{g_{m6}g_{m8}r_{ds8}}\right) \approx \frac{1}{g_{m6}g_{m8}r_{ds8}} \tag{6.2-55}$$

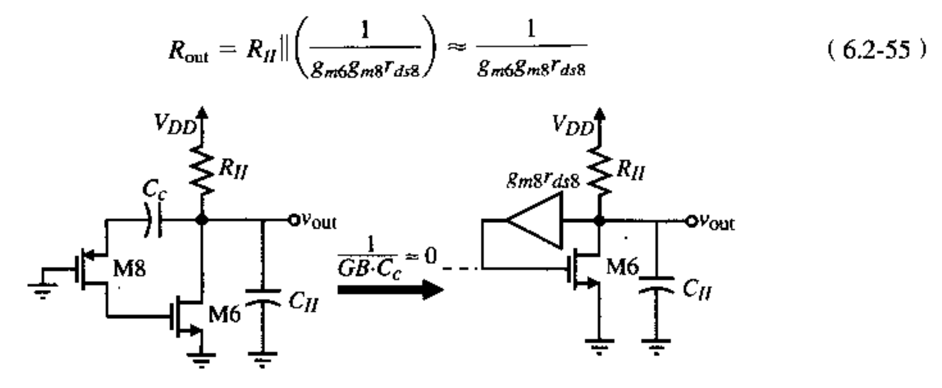


图6.2-17　图6.2-16（a）电路怎样使输出极点增加的示意图

这个电阻乘以C_2，然后取倒数得到式（6.2-54），忽略其他晶体管的沟道电阻，在分母中引进3。

前馈补偿

CMOS运算放大器中使用的另一个补偿技术是图6.2-18（a）所示的前馈结构。在这个电路里，缓冲器被用来破坏通过补偿电容的双向路径。可惜，这个电路在右半平面增加了一个零点。如果缓冲器或高增益放大器的极性相反，零点将出现在左半平面。图6.2-18（b）示出了前馈补偿技术。因为缓冲的增益是反相的，所以有一个零点出现在左半平面。图6.2-18（c）是这个电路的模型。电压传输系数$V_{\text{out}}(s)/V_{\text{in}}(s)$为：

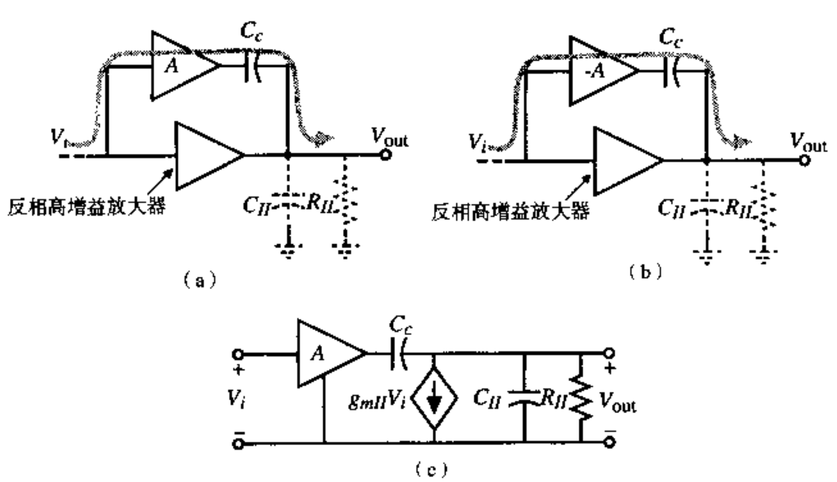


图6.2-18　（a）前馈引起一个RHP零点；（b）前馈引起一个LHP零点；（c）图（b）的小信号模型

$$\frac{V_{out}(s)}{V(s)} = \frac{AC_c}{C_c + C_{II}}\left(\frac{s + g_{mII}/AC_c}{s + 1/[R_{II}(C_c + C_{II})]}\right) \qquad (6.2\text{-}56)$$

为了用图 6.2-18（b）的电路进行补偿，需要将位于 g_{mII}/AC_c 的零点移到高于 GB 值的位置，使幅度的增加不抵消所希望的由零点引起的正相位改变的影响。幸好相位影响的频率范围远大于幅度的影响范围，所以这个方法可以贡献由反馈补偿技术提供的附加相位裕量。在运算放大器的传输函数里产生几个零点是很可能的。这些零点都高于GB，应该很好地加以控制以避免靠得很近的极、零点在瞬态响应中引起过大的建立时间[6]。

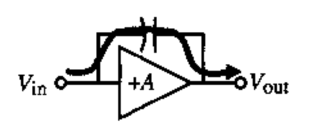


图 6.2-19 同相放大器的前馈补偿

另外一种前馈补偿的形式是为同相放大器提供一个前馈路径，如图 6.2-19 所示。这种补偿通常用在源极跟随器中，将电容从栅极接至源极跟随器的源极。在高频时这个电容将旁路晶体管。

6.3 两级运算放大器设计

前面两节讨论了运算放大器设计和补偿的一般方法。本节将介绍图6.3-1中两级运算放大器的初步设计过程。为了简化符号，用符号 S_i 表示第 i 个晶体管的 W 和 L 的比，即 $S_i = W_i/L_i = (W/L)_i$。

两级运算放大器的设计过程

开始介绍之前，我们先总结一下 6.2 节中描述运算放大器性能的重要关系。假设 $g_{m1} = g_{m2} = g_{mI}$，$g_{m6} = g_{mII}$，$g_{ds2}+g_{ds4} = G_I$，$g_{ds6}+g_{ds7} = G_{II}$。这些关系式基于图 6.3-1 所示电路。

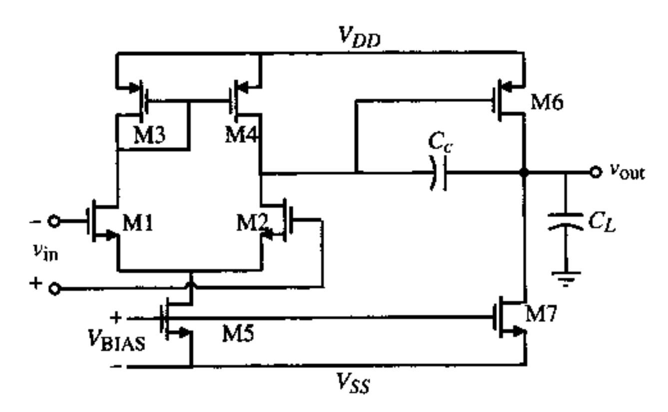


图 6.3-1 具有 n 沟道输入对的无缓冲两级 CMOS 运算放大器电路

$$\text{摆率 } SR = \frac{I_5}{C_c} \qquad (6.3\text{-}1)$$

$$\text{第一级增益 } A_{v1} = \frac{-g_{m1}}{g_{ds2} + g_{ds4}} = \frac{-2g_{m1}}{I_5(\lambda_2 + \lambda_4)} \qquad (6.3\text{-}2)$$

$$\text{第二级增益 } A_{v2} = \frac{-g_{m6}}{g_{ds6} + g_{ds7}} = \frac{-g_{m6}}{I_6(\lambda_6 + \lambda_7)} \qquad (6.3\text{-}3)$$

$$\text{增益带宽 } GB = \frac{g_{m1}}{C_c} \qquad (6.3\text{-}4)$$

$$\text{输出极点 } p_2 = \frac{-g_{m6}}{C_L} \qquad (6.3\text{-}5)$$

$$\text{RHP 零点 } z_1 = \frac{g_{m6}}{C_c} \qquad (6.3\text{-}6)$$

$$\text{正 CMR}\ V_{in}(\text{最大}) = V_{DD} - \sqrt{\frac{I_5}{\beta_3}} - |V_{T03}|(\text{最大}) + V_{T1}(\text{最小}) \tag{6.3-7}$$

$$\text{负 CMR}\ V_{in}(\text{最小}) = V_{SS} + \sqrt{\frac{I_5}{\beta_1}} + V_{T1}(\text{最大}) + V_{DS5}(\text{饱和}) \tag{6.3-8}$$

$$\text{饱和电压}\ V_{DS}(\text{饱和}) = \sqrt{\frac{2I_{DS}}{\beta}} \tag{6.3-9}$$

在上面的关系中，设所有晶体管都工作在饱和区。

在下面的设计过程中，假定下列参数的详细说明已给出：

1. 直流增益 $A_v(0)$
2. 增益带宽 GB
3. 输入共模范围 ICMR
4. 负载电容 C_L
5. 摆率 SR
6. 输出电压摆幅
7. 功耗 P_{diss}

现在开始设计，首先选择在整个电路中使用的器件栅长。这个值将确定沟道长度调制参数 λ 的值，这是计算放大器增益时所必需的参数。因为管子模型随沟道长度变化很大，设计中（在可能的地方）所用器件的栅长选择可以使模拟更精确。管子栅长选好后，可以确定补偿电容 C_c 的最小值。在6.2节中已经看到设置输出节点 p_2 高于 $2.2GB$ 可以获得60°的相位裕量（假设RHP零点 z_1 高于 10 GB 以上）。在式（6.2-22）中表明这样的极、零点位置导致对 C_c 的最小值有下面的要求：

$$C_c > (2.2/10)C_L \tag{6.3-10}$$

下面在满足摆率要求的基础上确定尾电流 I_5。由式（6.3-1）I_5 的值确定为：

$$I_5 = SR\,(C_c) \tag{6.3-11}$$

如果摆率的指标没有给出，可以按建立时间要求选值。设输出摆幅大约是尾电流的一半，可求出近似快10倍的建立时间。由这种计算确定的 I_5 在后面设计中如果需要可以改变。现在可以确定M3的宽长比，根据正的输入共模范围要求来确定。下面给出由式（6.3-7）推出的 $(W/L)_3$ 的设计公式：

$$S_3 = (W/L)_3 = \frac{I_5}{(K'_3)\,[V_{DD} - V_{in}(\text{最大}) - |V_{T03}|(\text{最大}) + V_{T1}(\text{最小})]^2} \tag{6.3-12}$$

如果所确定的 $(W/L)_3$ 值小于1，则应该增加 W 和 L 乘积的最小值。这可以使栅区面积减小进而减小栅电容。栅电容会影响镜极点，而镜极点会减小相位裕量。

输入管的跨导要求可以由 C_c 和 GB 的知识来确定。跨导 g_{m1} 可以用下面的公式计算：

$$g_{m1} = GB(C_c) \tag{6.3-13}$$

宽长比 $(W/L)_1$ 直接由 g_{m1} 得出如下：

$$S_1 = (W/L)_1 = \frac{g_{m1}^2}{(K'_1)(I_5)} \tag{6.3-14}$$

现在有足够的信息来计算M5管的饱和电压。用负ICMR公式计算 V_{DS5}，由式（6.3-8）推导

出下面的关系：

$$V_{DS5} = V_{\text{in}}(\text{最小}) - V_{SS} - \left(\frac{I_5}{\beta_1}\right)^{1/2} - V_{T1}(\text{最大}) \qquad (6.3\text{-}15)$$

如果 V_{DS5} 的值小于 100 mV，则可能要求相当大的 $(W/L)_5$。这也许不合适。如果 V_{DS5} 的值小于 0，则 ICMR 的要求可能太苛刻了。为了解决这个问题，可以减小 I_5 或增大 $(W/L)_1$。这些改变的影响在前面的设计步骤中必须计及。设计中必须反复修改直到满足指标要求。确定了 V_{DS5} 后，$(W/L)_5$ 可以用式（6.3-9）按下面的方法得到：

$$S_5 = (W/L)_5 = \frac{2(I_5)}{K'_5(V_{DS5})^2} \qquad (6.3\text{-}16)$$

到这里，运算放大器的第一级设计完成了。接下来将考虑输出级。

为了有 60°的相位裕量，假定将输出极点设置在 2.2*GB* 处。基于这个假设和式（6.3-5）中 $|p_2|$ 的关系，跨导 g_{m6} 可以用下面的关系确定：

$$g_{m6} = 2.2(g_{m2})(C_L/C_c) \qquad (6.3\text{-}17)$$

通常，为了得到合理的相位裕量，g_{m6} 的值近似是输入级跨导 g_{m1} 的 10 倍。此时，有两种可能的方法来完成 M6 的设计（即，W_6/L_6 和 I_6）。首先为达到图 6.3-1 中第一级电流镜负载（M3 和 M4）的正确镜像，就要求 $V_{SG4}=V_{SG6}$。用 g_m 的公式 $K'S(V_{GS}-V_T)$，如果 $V_{SG4}=V_{SG6}$，我们可以写出：

$$S_6 = S_4\frac{g_{m6}}{g_{m4}} \qquad (6.3\text{-}18)$$

知道了 g_{m6} 和 S_6，就可以用下面的公式来定义直流电流 I_6：

$$I_6 = \frac{g_{m6}^2}{(2)(K'_6)(W/L)_6} = \frac{g_{m6}^2}{2K'_6S_6} \qquad (6.3\text{-}19)$$

现在必须检查最大输出电压要求是否得到满足。如果不满足，那么电流或 *W/L* 比可以增加达到一个更小的 V_{DS}(饱和)。如果这些改变满足了最大输出电压的要求，则 M3 和 M4 的正确镜像将不再得到保证。

第二种设计输出级的方法是用 g_{m6} 的值和 M6 所要求的 V_{DS}(饱和)来确定电流。考虑 g_m 的定义式和 V_{DS}(饱和)，得出一个与（*W/L*）、V_{DS}(饱和)、g_m 和工艺参数有关的公式。用此关系，由输出范围指标得到 V_{DS}(饱和)要求，$(W/L)_6$ 可确定如下：

$$S_6 = (W/L)_6 = \frac{g_{m6}}{K'_6V_{DS6}(\text{饱和})} \qquad (6.3\text{-}20)$$

为确定 I_6 的值，先用式（6.3-19）。在确定 I_6 的任何一种方式中，应该检查功耗需求，因为 I_6 是功耗的主要部分。

M7 管的尺寸可以由下面给出的平衡方程式决定：

$$S_7 = (W/L)_7 = (W/L)_5\left(\frac{I_6}{I_5}\right) = S_5\left(\frac{I_6}{I_5}\right) \qquad (6.3\text{-}21)$$

至此完成了所有 *W/L* 比的初步设计。图 6.3-2 说明了上述设计过程，显示了各种设计关系以及用于两级 CMOS 运算放大器中的位置。

在设计程序中，到此应该检查总的放大增益是否满足要求：

$$A_v=\frac{(2)(g_{m2})(g_{m6})}{I_5(\lambda_2+\lambda_4)I_6(\lambda_6+\lambda_7)}\tag{6.3-22}$$

如果增益太低，多个参数可以调整。最好的方法参考表6.3-1，它说明了各种器件尺寸和电流在一般情况下对不同参数的影响。每一步调整也许要求这个设计过程中的其他参数也要调整，以确保所有的指标都得到满足。表6.3-2总结了以上的设计过程。

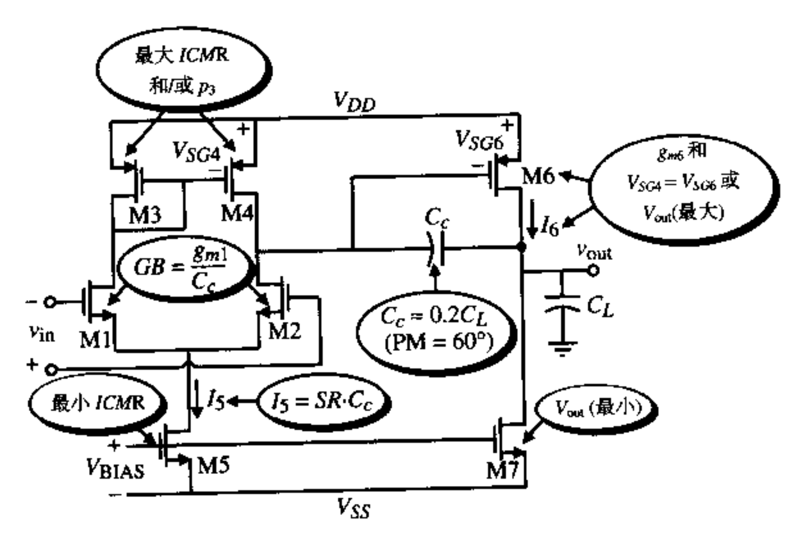


图6.3-2　两级CMOS运算放大器的电路和设计关系

表6.3-1　图6.3-1中直流电流、*W/L*比和补偿电容与性能的关系

	漏极电流		M1和M2		M3和M4		反相器	反相器负载		补偿电容
	I_5	I_7	W/L	L	W	L	W_6/L_6	W_7	L_7	C_c
增大直流增益	$(\downarrow)^{1/2}$	$(\downarrow)^{1/2}$	$(\uparrow)^{1/2}$	↑		↑	$(\uparrow)^{1/2}$		↑	
增大 GB	$(\uparrow)^{1/2}$		$(\uparrow)^{1/2}$							↓
增大RHP零点		$(\uparrow)^{1/2}$					$(\uparrow)^{1/2}$			↓
增大摆率	↑									↓
增大 C_L										↓

表6.3-2　无缓冲运算放大器设计过程

这个设计过程假设已经给出了直流增益（A_v）、单位增益带宽（GB）、输入共模范围[V_{in}(最小)]和V_{in}(最大)]、负载电容（C_L）、转换速率（SR）、建立时间（T_s）、输出电压摆幅[V_{out}(最小)和V_{out}(最大)]以及功耗（P_{diss}）。

1. 选择器件的最小栅长，为保持沟道调制参数恒定和电流镜的匹配。
2. 由所希望的相位裕量，选择C_c的最小值。也就是说，为了得到60°的相位裕量，我们可以运用下面的关系式。假设$z\geq 10GB$。

$$C_c>0.22C_L$$

3. 由两个值中的最大值确定“尾电流”（I_5）的最小值。

$$I_5=SR\cdot C_c$$
$$I_5\cong 10\left(\frac{V_{DD}+|V_{SS}|}{2\,T_s}\right)$$

（续表）

4．按照最大输入电压指标设计 S_3：

$$S_3 = \frac{2I_3}{K_3'[V_{DD} - V_{in}(最大) - |V_{T03}|(最大) + V_{T1}(最小)]^2} \geq 1$$

5．验证由 C_{gs3} 和 C_{gs4} 引起的极、零点（$=0.67W_3L_3C_{ox}$）不是主极、零点，设 p_3 大于 $10GB$：

$$\frac{g_{m3}}{2C_{gs3}} > 10GB$$

6．设计 $S_1(S_2)$ 达到期望的 GB 值：

$$g_{m1} = GB \cdot C_c \Rightarrow S_1 = S_2 = \frac{g_{m2}}{K_2'I_5}$$

7．由最小输入电压设计 S_5。首先计算 V_{DS5}(饱和)，然后确定 S_5。

$$V_{DS5}(饱和) = V_{in}(最小) - V_{SS} - \sqrt{\frac{I_5}{\beta_1}} - V_{T1}(最大) \geq 100\ \text{mV}$$

$$S_5 = \frac{2I_5}{K_5'[V_{DS5}(饱和)]^2}$$

8．让第二极点（p_2）等于 $2.2GB$ 以确定 S_6 和 I_6。

$$g_{m6} = 2.2g_{m2}(C_L/C_c)$$

让 $V_{SG4}=V_{SG6}$，得到：

$$S_6 = S_4\frac{g_{m6}}{g_{m4}}$$

知道 g_{m6} 和 S_6 就可以解出 I_6 为：

$$I_6 = \frac{g_{m6}^2}{2K_6'S_6}$$

9．另外，I_6 的计算也可以采用下式先解出 S_6：

$$S_6 = \frac{g_{m6}}{K_6'V_{DS6}(饱和)}$$

然后再用前面的关系式确定。当然，M3 和 M4 之间的正确镜像关系不再得到保证。

10．选择 S_7 达到 I_5 和 I_6 之间所希望的电流比：

$$S_7 = (I_6/I_5)S_5$$

11．核对增益和功耗指标。

$$A_v = \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_3)(\lambda_6 + \lambda_7)}$$

$$P_{diss} = (I_5 + I_6)(V_{DD} + |V_{SS}|)$$

12．如果不满足增益指标，可以减小电流 I_5 和 I_6 或者增加 M2 和/或 M6 的 W/L 比。前面的计算必须重新检查以确保它们都得到满足。如果功耗太高，只能减小电流 I_5 和 I_6。电流的减小将很可能需要增大一些宽长比以满足输入和输出摆幅。

13．模拟整个电路看是否所有指标都能满足。

至此，设计过程中没有考虑噪声或 PSRR。现在初步设计已经完成，因此可以考虑这两个指标了。输入参考电压噪声主要由负载和第一级输入管引起，有热噪声和 $1/f$ 噪声。任何管子的 $1/f$ 噪声可以通过增加管子面积（即增加 WL）来降低。任何管子的热噪声可以通过增大自身 g_m 来减小。这可以由增大 W/L、增大电流、或者同时增大两者来实现。由负载管引起的有效输入噪声电压可以通过减小 g_{m3}/g_{m1}（g_{m4}/g_{m2}）的比来减小。必须注意，这些改进噪声性能的调整不要反过来影响运算放大器的其他重要性能。

电源抑制比在很大程度上是由所采用的结构决定的。在负PSRR中的一些改进通过增大M5的输出电阻来实现。这通常是在不影响其他性能的情况下成比例地增大 W_5 和 L_5 来完成的。晶体管M7应当按照适当的匹配来调整。两级运算放大器更详细的PSRR分析将在下一节中介绍。

下面的例子说明了在设计所描述的运算放大器时需要的步骤。

例6.3-1 设计一个两级运算放大器

用表3.1-1和表3.1-2所给的资料和器件参数设计一个与图6.3-1类似的放大器，在60°的相位裕量情况下，满足下面的指标要求。设沟道长度为1 μm。

$A_v > 5000\ \text{V/V}$	$V_{DD} = 2.5\ \text{V}$	$V_{SS} = -2.5\ \text{V}$
$GB = 5\ \text{MHz}$	$C_L = 10\ \text{pF}$	$SR > 10\ \text{V}/\mu\text{s}$
V_{out}的范围 $= \pm 2\ \text{V}$	$\text{ICMR} = -1 \sim 2\ \text{V}$	$P_{diss} \leq 2\ \text{mW}$

解：

首先算出补偿电容 C_c 的最小值：

$$C_c > (2.2/10)(10\ \text{pF}) = 2.2\ \text{pF}$$

选定 C_c 为3 pF。用摆率指标和 C_c 算出 I_5。

$$I_5 = (3 \times 10^{-12})(10 \times 10^6) = 30\ \mu\text{A}$$

下面用ICMR的要求计算 $(W/L)_3$。用式（6.3-12）我们得到：

$$(W/L)_3 = \frac{30 \times 10^{-6}}{(50 \times 10^{-6})[2.5 - 2 - 0.85 + 0.55]^2} = 15$$

因此：

$$(W/L)_3 = (W/L)_4 = 15$$

现在我们可以检查镜极点 p_3 的值，确保大于 $10GB$。设 $C_{OX} = 2.47\ \text{fF}/\mu\text{m}^2$。求得镜极点为：

$$p_3 \approx \frac{-g_{m3}}{2C_{gs3}} = \frac{-\sqrt{2K_p' S_3 I_3}}{2(0.667)\, W_3 L_3 C_{ox}} = 2.81 \times 10^9\ \text{rad/s}$$

或者448 MHz。于是 p_3 和 z_3 在这个设计中没有影响，因为 $p_3 >> 10GB$。

下一步是用式（6.3-13）计算 g_{m1}。

$$g_{m1} = (5 \times 10^6)(2\pi)(3 \times 10^{-12}) = 94.25\ \mu\text{S}$$

于是，$(W/L)_1$ 为：

$$(W/L)_1 = (W/L)_2 = \frac{g_{m1}^2}{2K_N' I_1} = \frac{(94.25)^2}{2 \cdot 110 \cdot 15} = 2.79 \approx 3.0$$

然后用式（6.3-15）计算 V_{DS5}。

$$V_{DS5} = (-1) - (-2.5) - \sqrt{\frac{30 \times 10^{-6}}{110 \times 10^{-6} \cdot 3}} - 0.85 = 0.35\ \text{V}$$

由式（6.3-16）用 V_{DS5} 来计算 $(W/L)_5$。

$$(W/L)_5 = \frac{2(30 \times 10^{-6})}{(110 \times 10^{-6})(0.35)^2} = 4.49 \approx 4.5$$

由式（6.2-20）我们知道：

$$g_{m6} \geq 10g_{m1} \geq 942.5\ \mu S$$

设 $g_{m6} = 942.5\ \mu S$ 并计算出 g_{m4} 为 150 μS，从式（6.3-18）得到：

$$S_6 = S_4 \frac{g_{m6}}{g_{m4}} = 15 \cdot \frac{942.5}{150} = 94.25 \approx 94$$

用式（6.3-19）计算 I_6。

$$I_6 = \frac{(942.5 \times 10^{-6})^2}{(2)(50 \times 10^{-6})(94)} = 94.5\ \mu A \approx 95\ \mu A$$

由式（6.3-20）设计 S_6 得 $S_6 \approx 15$。因为由上面得到的 94 的宽长比较大，因此最大输出电压指标会得到满足。

最后由式（6.3-21）计算 $(W/L)_7$。

$$(W/L)_7 = 4.5\left(\frac{95 \times 10^{-6}}{30 \times 10^{-6}}\right) = 14.25 \approx 14$$

现在让我们检查 V_{out}(最小)的指标（虽然 M7 的 W/L 比已经足够大，以至这一步可能不需要）。V_{out}(最小)的值是：

$$V_{min}(\text{输出}) = V_{DS7}(\text{饱和}) = \sqrt{\frac{2 \cdot 95}{110 \cdot 14}} = 0.351\ \text{V}$$

这比期望的值小。至此，初步设计就完成了。

功耗计算为：

$$P_{diss} = 5\ \text{V} \cdot (30\ \mu A + 95\ \mu A) = 0.625\ \text{mW}$$

现在通过检查可见：

$$A_v = \frac{(2)(92.45 \times 10^{-6})(942.5 \times 10^{-6})}{30 \times 10^{-6}(0.04 + 0.05)95 \times 10^{-6}(0.04 + 0.05)} = 7696\ \text{V/V}$$

增益指标得到满足。如果想得到更高的增益，一种简单的办法是将 W 和 L 的值增大两倍，因为λ的减小将使增益增大 20 倍。图6.3-3 示出初步设计的结果。下一步将进行仿真。

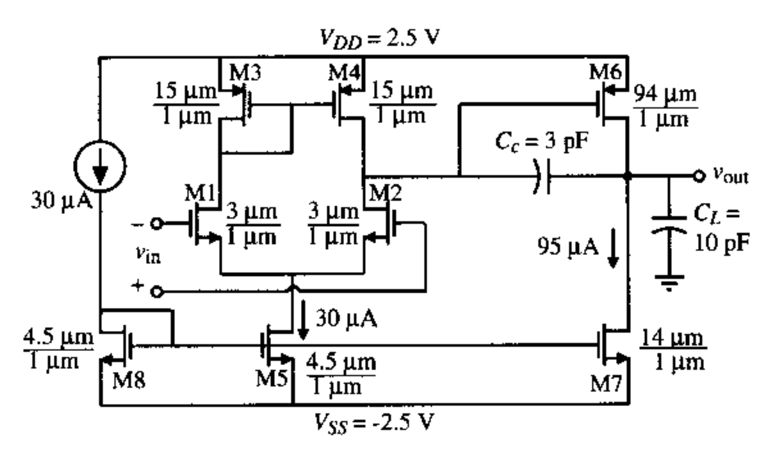


图 6.3-3 例 6.3-1 的结果

调零电阻与米勒补偿

在上面的设计过程中可能会出现不希望且不能被忽略的 RHP 零点。如果要求的 GB 大或者输出级跨导（g_{m6}）不大就可能发生这种情况。此时，必须采用调零电阻补偿的方法。我们用 6.2 节的结果来说明如何应用这种方法。

6.2 节描述了 RHP 零点为何可以移到左半平面并置于最高的非主极、零点的技术。为达到这一目的，可用电阻与补偿电容串联。图 6.3-4 示出了用 M8 管作为电阻的补偿电路图，此管由控制电压 V_c 控制，调整电阻使得在工艺发生变化时维持适当值[6]。

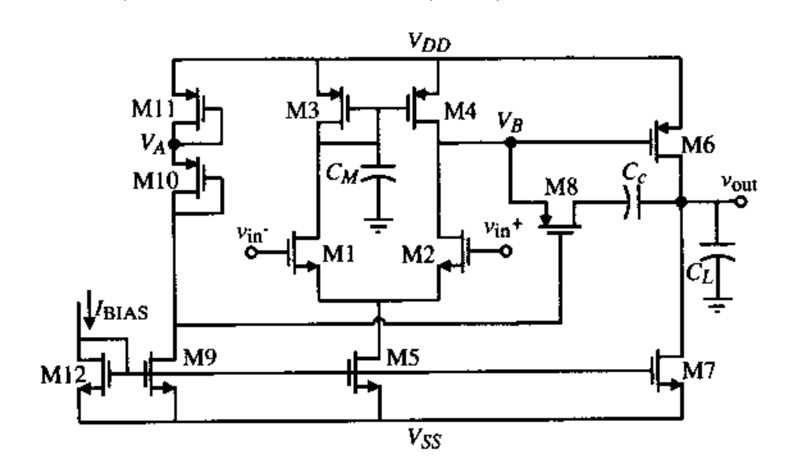


图 6.3-4　采用调零电阻补偿的两级 CMOS 运算放大器

在补偿中加入电阻，引起的极、零点为［见式（6.2-37）~式（6.2-40）］：

$$p_1 = -\frac{g_{m2}}{A_v C_c} = -\frac{g_{m1}}{A_v C_c} \tag{6.3-23}$$

$$p_2 = -\frac{g_{m6}}{C_L} \tag{6.3-24}$$

$$p_4 = -\frac{1}{R_z C_I} \tag{6.3-25}$$

$$z_1 = \frac{-1}{R_z C_c - C_c / g_{m6}} \tag{6.3-26}$$

式中，$A_v = g_{m1} g_{m6} R_I R_{II}$。为了让第二个极点($p_2$)与零点抵消，必须保证下面的关系成立：

$$R_z = \frac{1}{g_{m6}}\left(\frac{C_L + C_c}{C_c}\right) = \left(\frac{C_c + C_L}{C_c}\right)\frac{1}{\sqrt{2K'_P S_6 I_6}} \tag{6.3-27}$$

电阻 R_z 由管子 M8 实现，因为通过它的直流电流为零，它工作在非饱和区。因此，R_z 可以写为：

$$R_z = \left.\frac{\partial v_{DS8}}{\partial i_{D8}}\right|_{V_{DS8}=0} = \frac{1}{K'_P S_8 (V_{SG8} - |V_{TP}|)} \tag{6.3-28}$$

设置偏置电流以使电压 V_A 等于 V_B，结果有：

$$|V_{GS10}| - |V_T| = |V_{GS8}| - |V_T| \tag{6.3-29}$$

在饱和区：

$$|V_{GS10}| - |V_T| = \sqrt{\frac{2(I_{10})}{K'_P(W_{10}/L_{10})}} = |V_{GS8}| - |V_T| \tag{6.3-30}$$

代入式（6.3-28）得：

$$R_z = \frac{1}{K'_P S_8}\sqrt{\frac{K'_P S_{10}}{2I_{10}}} = \frac{1}{S_8}\sqrt{\frac{S_{10}}{2K'_P I_{10}}} \tag{6.3-31}$$

令式（6.3-27）与式（6.3-31）相等得：

$$\left(\frac{W_8}{L_8}\right) = \left(\frac{C_c}{C_L + C_c}\right)\sqrt{\frac{S_{10}S_6 I_6}{I_{10}}} \tag{6.3-32}$$

必须满足这个关系才能保证式（6.3-27）成立。为了完成这个补偿电路的设计，必须设计 M11 满足式（6.3-29）所设立的标准。为此，V_{SG11} 必须等于 V_{SG6}。因此：

$$\left(\frac{W_{11}}{L_{11}}\right) = \left(\frac{I_{10}}{I_6}\right)\left(\frac{W_6}{L_6}\right) \tag{6.3-33}$$

下面的例子阐述了这个补偿电路的设计。

例 6.3-2 RHP（右半平面）零点补偿

用例 6.3-1 的结果和器件数据设计补偿电路，使 RHP 零点移到 LHP（左半平面）且等于输出极点（p_2）。

解：

现在要做的是设计晶体管 M8~M11 以及偏置电流 I_{10}。设计的第一步是设立偏置结构。为使 V_A 等于 V_B，V_{SG10} 必须等于 V_{SG6}。因此：

$$S_{11} = (I_{11}/I_6)S_6$$

选 $I_{11} = I_{10} = I_9 = 15\mu A$，则 $S_{11} = (15\ \mu A/95\ \mu A)\cdot 94 = 14.8 \approx 15$。

M10 的宽长比是一个自由参数，姑且设为 1。必须有足够的电压供应来支持 V_{SG11}、V_{SG10} 和 V_{DS9}。I_{10}/I_5 的比确定了 M9 的 (W/L)，此宽长比为：

$$(W/L)_9 = (I_{10}/I_5)(W/L)_5 = (15/30)(4.5) = 2.25 \approx 2$$

现在用式（6.3-32）确定 $(W/L)_8$ 为：

$$(W/L)_8 = \left(\frac{3\ \text{pF}}{3\ \text{pF} + 10\ \text{pF}}\right)\sqrt{\frac{1\cdot 94\cdot 95\ \mu A}{15\ \mu A}} = 5.63 \approx 6$$

现在需要检查 RHP 零点是否被移动到与 p_2 相等。为此，首先计算 R_z 的值。先确定 V_{SG8}，它等于 V_{SG10}，V_{SG10} 为：

$$V_{SG10} = \sqrt{\frac{2I_{10}}{K'_p S_{10}}} + |V_{TP}| = \sqrt{\frac{2\cdot 15}{50\cdot 1}} + 0.7 = 1.474\ \text{V}$$

接下来确定 R_z：

$$R_z = \frac{1}{K'_P S_8(V_{SG10} - |V_{TP}|)} = \frac{10^6}{50 \cdot 5.63(1.474 - 0.7)} = 4.590\ \text{k}\Omega$$

用式（6.3-26）可以计算出 z_1 的值为：

$$z_1 = \frac{-1}{(4.590 \times 10^3)(3 \times 10^{-12}) - \dfrac{3 \times 10^{-12}}{942.5 \times 10^{-6}}} = -94.46 \times 10^6\ \text{rad/s}$$

由式（6.3-24）可得输出极点 p_2 为：

$$p_2 = \frac{942.5 \times 10^{-6}}{10 \times 10^{-12}} = -94.25 \times 10^6\ \text{rad/s}$$

于是我们看到，输出极点被由RHP移到LHP的零点抵消了。

这个设计的结果总结如下：

$$W_8 = 6\ \mu\text{m}$$
$$W_9 = 2\ \mu\text{m}$$
$$W_{10} = 1\ \mu\text{m}$$
$$W_{11} = 15\ \mu\text{m}$$

因为我们试图用零点抵消极点，让我们先检查调零电阻技术与温度和工艺变化的关系。式（6.3-26）给出了关键的关系式，式中 R_z 抵消了 $1/g_{m6}$。如果考虑让 g_{m6} 抵消 $1/R_z$，答案就很明显了。小信号跨导的一种形式为：

$$g_{m6} = K'_P(W_6/L_6)(V_{SG6} - |V_{TP}|) \tag{6.3-34}$$

从式（6.3-28）看到 $1/R_z$ 刚好有同样的形式。只要我们保持M6、M8和M10管类型相同，温度和工艺跟踪应该是不错的。用MOS二极管代替电阻同样也会实现很好的温度和工艺跟踪（见习题6.3-13）。

电路设计模拟

用上面的过程进行设计后，下一步就是用更精确的管子模型来模拟电路。多数情况下，BSIM2[7]或BSIM3[8]模型就足够了。设计者应该确保手工设计以后再用计算机模拟是有意义的。计算机模拟会考虑到许多被忽略的细节，如体效应。虽然设计者可以在设计中做一些小的修改，但必须抵制用计算机作为主要设计调整的诱惑，如结构调整。模拟的作用是验证及探究一些事情的影响，如匹配、工艺变化、温度变化以及电源的变化。如果没有工艺参数变化的信息，可以用在高、低温的情况下检查电路来代替。这些仿真可以给出电路与工艺参数变化关系的思想。同样，模拟器可以用Monte Carlo（蒙特卡罗）方法研究元件值统计变化的影响。

虽然电路还没有进行物理层设计，考虑由物理层版图引起的寄生效应是一个很好的习惯。这将减小版图设计前后模拟性能的差别。此时，设计者只知道 W/L 的值和直流电流，源、漏面积和形状还未确定。因此，由于反偏体-源区和体-漏区产生的寄生电容在源、漏的面积和周边长度确定前是无法模拟的。

一种能让设计者考虑体-源区和体-漏区的寄生电容的方法简述如下。一个简单的矩形

MOSFET 版图如图 6.3-5 所示。最小可能的源或漏区面积应该是长度 L1、L2 和 L3 之和与 W 的乘积。L1、L2 和 L3 的长度与给定工艺的设计规则有关，表示如下：

L1 = S/D 区接触孔与多晶硅之间的最小间距。

L2 = 接触孔的最小尺寸。

L3 = S/D 区的接触孔与 S/D 边缘之间的最小间距。

这些规则可以很容易地在技术资料中找到。于是，漏、源区的最小面积为（L1 + L2 + L3）× W，相应的周边长度为 2（L1 + L2 + L3）+ 2W。保守的研究是使这个面积加倍来考虑由源极（漏极）连接产生的寄生参数。

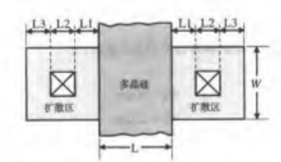


图 6.3-5 估计源、漏区面积以及周边长度的方法

例 6.3-3 体-源区和体-漏区的寄生电容的估算

已知某管的宽和长分别为 10 μm 和 1 μm，用上面的方法来估算管子的面积和周边长度，设L1 =L2 =L3 = 2 μm。

解：

源、漏的面积为 6 μm×10 μm，等于 60 μm²。周边长度是 2×10 μm+ 2×6 μm，即 32 μm。将这个信息输进模拟器（见 3.6 节），可以计算出与反偏电压值相应的耗尽电容的值。

模拟电路的物理层设计

在设计过程中达到满意的模拟结果后就可进行物理层设计了。在 CMOS 模拟 IC 设计中，一个明显的趋势是物理层设计对电性能有很大的影响。没有仔细考虑物理层设计而假定设计完成是不可能的。一个好的电设计可能毁于差劲的物理层或版图设计。

物理层设计的目的远不是简单地减小需要的面积，其主要目的是提高电性能。因为 IC 设计取决于匹配，因此良好匹配的物理层设计是相当重要的。好的匹配取决于两部分相配的程度。单位匹配原理对于达到很好的匹配是非常有用的。复制原理以匹配器件（管子，电阻，电容等）的单位值开始。接下来，这个单位值在相同的方向不断复制。必须设计单位值以便两个器件的连接影响相同。图 6.3-6 显示了两个 5 : 1 电流镜的版图。在图 6.3-6（a）中，两条垂直虚线之间的单个晶体管被复制了 5 次，为节省面积，扩散区被连在一起。在图6.3-6（b）中，左边垂直虚线之间的晶体管被复制了 5 次，形成右边的晶体管。虽然图6.3-6（a）的版图面积最小，图6.3-6（b）的版图有更好的匹配，因为漏/源面积相同。在图 6.3-6（a）中，内部管子的漏区和源区是共用的，这使得体–漏区和体–源区结耗尽电容与左边单个晶体管的不同。不但电容不同，而且由漏区和源

区的电阻系数决定的体电阻也不同。

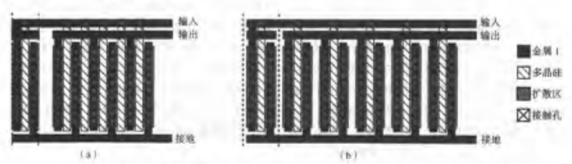


图 6.3-6　5：1电流镜版图。(a)牺牲匹配的最小化版图；(b)最优化匹配的版图

如果要得到非整数比，可以用一个以上的单位来获得更小的值。例如，3比2可得1.5的比。这样，可以用同质心的几何方法使设计对管子位置的依赖更小。图6.3-7示出了一个用5个单独的晶体管得到1.5比率的好方法。标着“2”和“1”的晶体管是间隔放置的。如果每个管子的三个端口都是有用的，则必须用第二层金属提供外部连接。

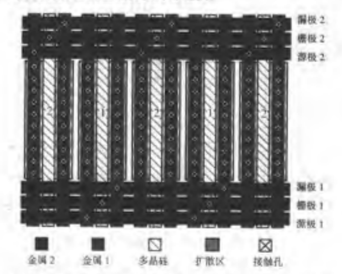


图 6.3-7　用质心图形改进匹配的两个比为1.5：1匹配管的版图

也可以用几何图形改善电路的电性能，见图6.3-8所示的范例。图中，管子被布成一个方形的“环”，目的是牺牲 C_{gs} 而减小 C_{gd} 的值。因为电容 C_{gd} 经常倍乘米勒因子，因此保持其值最小是很重要的。环形晶体管结构具有真正的面积利用率优点。近似的 W 值是由拐角影响而修改的多晶硅点划中心线的长度。

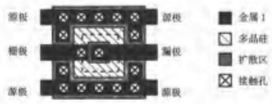


图 6.3-8　用环行管减小 C_{gs}

除了元件之间的匹配，设计者必须避免不必要的电压降。非硅化多晶硅绝不能用做连线，因为它的电阻率高于金属。即使多晶硅被用来连接栅极并且没有直流电流通过，仍需关注对寄生电容充放电的瞬

态电流。当流过的电流很大时，即使是金属的低电阻率（50 mΩ/□）也可能引起问题。考虑一个长 1000 μm，宽 2 μm 的铝导体。这个导体两端间有 500 个方块，所以电阻为 500□乘以 0.05 Ω/□，即 25 Ω。如果 1 mA 的电流流过这个导体，则电压降低 25 mV。在敏感电路中，两端间 25 mV 的压降足以引起严重的问题。例如，假设一个模拟信号转换成一个 8 b 的数字信号，基准电压 1 V（见第 10 章）。这意味着最低有效位（LSB）的值为 1 V/256 或 4 mV。因此，导体上 25 mV 的压降会恶化对模数转换器的影响。供电总线的电阻影响可由将偏置电压转换为电流和在芯片中传送电流来避免。在需要的地方再生成所需的偏置电压。图 6.3-9 示出这个概念的一种实现。带隙电压 V_{BG} 被生成后通过 M13~M14 传送到由注有下标“A”的管子组成从偏置电路，从偏置电路在芯片上远离基准电压的地方产生所需的偏置电压。

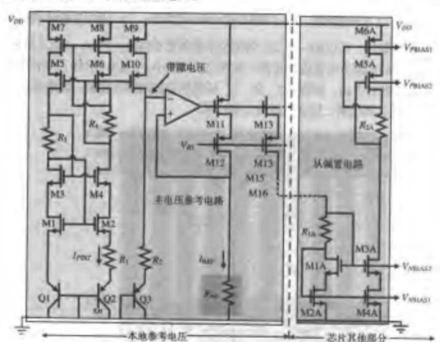


图 6.3-9 芯片上传送电流到从偏置电路的基准电压产生电路

除了由导体产生的压降，还有电阻产生的热噪声。尤其在用多晶硅连接 MOSFET 栅极到信号源的地方，这一点尤为重要。即使没有直流电流流过，电阻也将增大噪声。多数现代工艺允许多晶硅硅化以减小电阻率，使之远低于普通多晶硅。

随着越来越多的电路被放在单个集成电路芯片上，版图对电性能的影响变得越来越大。在衬底和表面连线上的噪声不再被忽略[9, 10]。无论从电设计还是从物理层设计的角度考虑，这都是一个必须研究的问题。在电学上，设计者可以使用差分电路，并设计具有大的电源和共模抑制比的电路。从物理层设计考虑，设计者必须试着尽可能减小电源和地线的噪声。可以这样实现：分离数字和模拟电源，所有电路中的电源都返回到一个公共点。数字和模拟电路决不能使用同一条电源总线。

噪声电路与敏感电路的物理分隔在采用重掺杂衬底上进行轻掺杂外延层的工艺来说没有给出任何有意义的改进。最好的研究是用多条（并联）键合线引出片外以减小从片外电源到片上诸如衬底或阱等地线的引线电感。在使用保护环时，如果它们有自己的片外键合线，并且不与其他

有相同直流电位的区域共享片外键合线时是最有效的。当频率增大且一块单片上有更多电路的时候，干扰的问题将更严重。在混合信号应用的单片集成中，这个因素似乎已成为最大的障碍。

一旦运算放大器（或其他电路）进入版图设计，有两个重要的步骤是必需的。首先确信版图设计与电设计是对应的，这可以用称做版图与电路图对照检查（LVS）的CAD工具来做。这个工具的检查可以确保电路图与版图的一致性。这一步是为了避免版图设计中的错误连接或遗漏。第二个重要步骤是已经知道了物理层设计后提取电路的寄生参数。一旦提取出寄生参数（典型的是电容和电阻），将再次进行仿真，仿真性能满足指标要求时就可以准备制造电路了。这里总结了模拟设计的前两个步骤，也就是电设计和物理层设计。第三个重要步骤将在本章后面讨论，是有关测试和调试的。一个成功的产品必须成功通过所有这三个步骤。

两级运算放大器性能的其他几个方面将在稍后的章节中考虑，包括PSRR（见6.4节）和噪声（见7.5节）。本节介绍了一个两级无缓冲CMOS运算放大器的电设计过程。另外，还提出了模拟集成电路物理层设计的一些重要考虑。更多有关模拟设计版图影响的信息可以在最近出版的此类书籍中找到[11]。

6.4 两级运算放大器的电源抑制比

上节的两级无缓冲运算放大器已经被用在许多商业产品中，特别是在无线电通信领域里。最初的成功之后，发现该运算放大器的电源抑制比（PSRR）较低。电源的纹波在运算放大器的输出中引入很大的噪声。为了说明这个问题，考虑图6.2-8的运算放大器。式（6.1-8）给出的PSRR定义表示差模增益A_v与差模输入为零时电源纹波到输出的增益（A_{dd}）比值。所以，PSRR可以写成：

$$\mathrm{PSRR}=\frac{A_v(V_{dd}=0)}{A_{dd}(V_{\mathrm{in}}=0)} \tag{6.4-1}$$

虽然可以计算出A_v和A_{dd}以及最终结果，但是用图6.4-1（a）的单位增益结构就更容易了。我们用图6.4-1（b）的运算放大器模型表示式（6.4-1）的两个增益，则可以表示为：

$$V_{\mathrm{out}}=\frac{A_{dd}}{1+A_v}V_{dd}\cong\frac{A_{dd}}{A_v}V_{dd}=\frac{1}{\mathrm{PSRR}^+}V_{dd} \tag{6.4-2}$$

式中，V_{dd}是V_{DD}的电源纹波，PSRR^+是V_{DD}的PSRR。因此，如果我们将运算放大器连接成单位增益模式，输入一个与电源V_{DD}串联的交流信号V_{dd}，V_o/V_{dd}将是PSRR^+的倒数。这个方法可以用来计算两级运算放大器的PSRR。

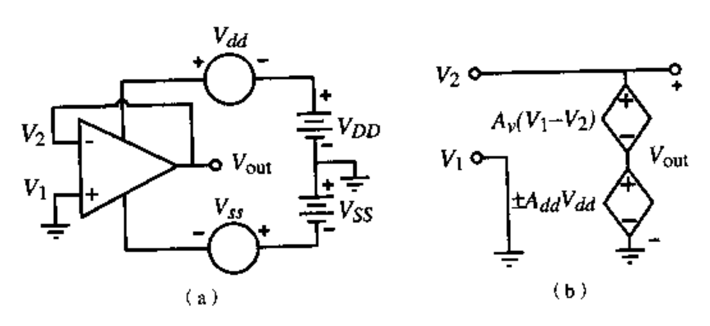


图6.4-1 （a）计算PSRR的方法；（b）模型

正的 PSRR

图 6.2-8 所示的两级运算放大器接成单位增益模式如图6.4-2（a）所示，图中正电源串接了一个交流纹波 V_{dd}。在稍后计算负的电源抑制比时 V_{BIAS} 负端的两种可能接法将变得十分重要。如前所述，C_I、C_{II} 相应为第一级和第二级的输出端和地之间的寄生电容。计算 PSRR⁺的小信号模型如图 6.4-2（b）所示，简化模型如图 6.4-2（c）所示，设 V_5 为 0，流过 $1/g_{m3}$ 的电流 I_3 用下式代替：

$$I_3 = g_{m1}V_{out} + g_{ds1}\left(V_{dd} - \frac{I_3}{g_{m3}}\right) \cong g_{m1}V_{out} + g_{ds1}V_{dd} \qquad (6.4\text{-}3)$$

式（6.4-3）中假设 $g_{m3}r_{ds1}>1$。虚线表示图6.4-2（b）与 V_{dd} 并联的部分，于是对于模型来说是不重要的。

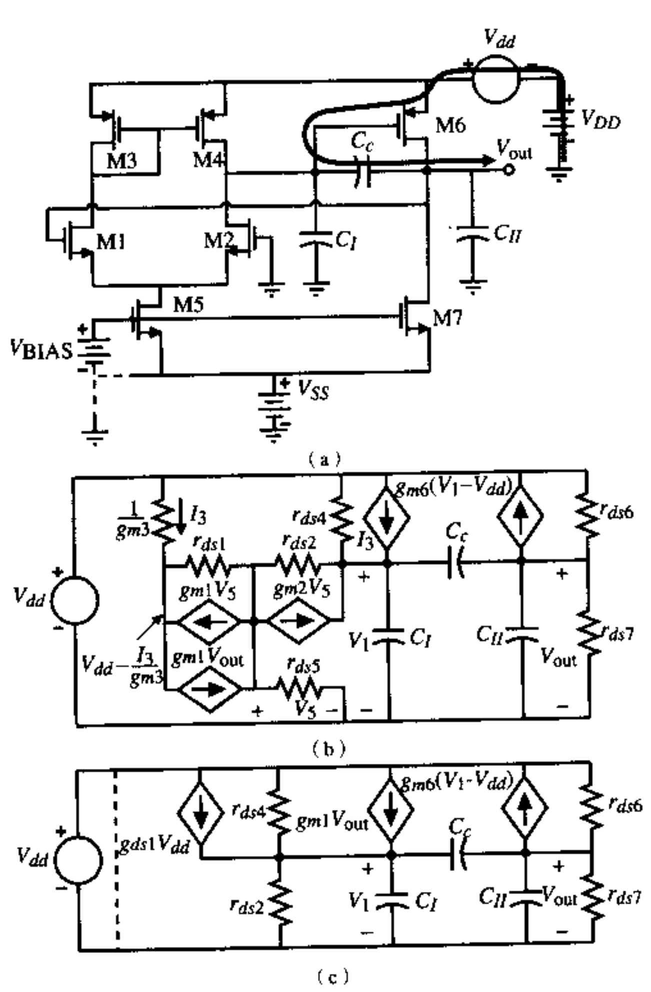


图 6.4-2 （a）计算两级运算放大器 PSRR⁺的方法；（b）图（a）的模型；（c）图（b）的简化模型、设 $V_5=0$

图 6.4-2（c）的电压 V_1 和 V_{out} 的节点方程可以写成下面的形式。对于节点 V_1 我们有：

$$(g_{ds1} + g_{ds4})V_{dd} = (g_{ds2} + g_{ds4} + sC_c + sC_I)V_1 - (g_{m1} + sC_c)V_{out} \qquad (6.4\text{-}4)$$

而对于输出节点有：

$$(g_{m6} + g_{ds6})V_{dd} = (g_{m6} - sC_c)V_1 + (g_{ds6} + g_{ds7} + sC_c + sC_{II})V_{out} \qquad (6.4\text{-}5)$$

利用两级运算放大器的一般符号，可将式（6.4-4）和式（6.4-5）重新写成：

$$G_I V_{dd} = (G_I + sC_c + sC_I)V_1 - (g_{mI} + sC_c)V_{out} \qquad (6.4\text{-}6)$$

和

$$(g_{mII} + g_{ds6})V_{dd} = (g_{mII} - sC_c)V_1 + (G_{II} + sC_c + sC_{II})V_{out} \qquad (6.4\text{-}7)$$

式中：

$$G_I = g_{ds1} + g_{ds4} = g_{ds2} + g_{ds4} \qquad (6.4\text{-}8)$$

$$G_{II} = g_{ds6} + g_{ds7} \qquad (6.4\text{-}9)$$

$$g_{mI} = g_{m1} = g_{m2} \qquad (6.4\text{-}10)$$

和

$$g_{mII} = g_{m6} \qquad (6.4\text{-}11)$$

求解传递函数 V_{out}/V_{dd}，取其倒数得到下面结果：

$$\frac{V_{dd}}{V_{out}} = \frac{s^2[C_cC_I + C_IC_{II} + C_{II}C_c] + s[G_I(C_c + C_{II}) + G_{II}(C_c + C_I) + C_c(g_{mII} - g_{mI})] + G_IG_{II} + g_{mI}g_{mII}}{s[C_c(g_{mII} + G_I + g_{ds6}) + C_I(g_{mII} + g_{ds6})] + G_Ig_{ds6}} \qquad (6.4\text{-}12)$$

用6.3节描述的方法，可以解得式（6.4-12）的近似根如下：

$$\text{PSRR}^+ = \frac{V_{dd}}{V_{out}} \cong \left(\frac{g_{mI}g_{mII}}{G_Ig_{ds6}}\right)\left[\frac{\left(\dfrac{sC_c}{g_{mI}} + 1\right)\left(\dfrac{s(C_cC_I + C_IC_{II} + C_cC_{II})}{g_{mII}C_c} + 1\right)}{\left(\dfrac{sg_{mII}C_c}{G_Ig_{ds6}} + 1\right)}\right] \qquad (6.4\text{-}13)$$

式中，假设 g_{mII} 大于 g_{mI}，所有跨导大于沟道电导。为了所有实用目的，式（6.4-13）简化为：

$$\text{PSRR}^+ = \frac{V_{dd}}{V_{out}} = \left(\frac{g_{mI}g_{mII}}{G_Ig_{ds6}}\right)\left[\frac{\left(\dfrac{sC_c}{g_{mI}} + 1\right)\left(\dfrac{sC_{II}}{g_{mII}} + 1\right)}{\dfrac{sg_{mII}C_c}{G_Ig_{ds6}} + 1}\right]$$

$$= \left(\frac{G_{II}A_v(0)}{g_{ds6}}\right)\frac{\left(\dfrac{s}{GB} + 1\right)\left(\dfrac{s}{|p_2|} + 1\right)}{\left(\dfrac{sG_{II}A_v(0)}{g_{ds6}GB} + 1\right)} \qquad (6.4\text{-}14)$$

图6.4-3示出了分析结果。可以看出在 $GB/A_v(0)$ 频率处 PSRR^+ 开始以−20 dB/十倍频的斜率下降。因此，PSRR^+ 在高频处退化，这是两级无缓冲运算放大器的缺点。

上面的计算可能是本书遇到的最困难的情况。遗憾的是，虽然结果很清楚，但是低 PSRR^+ 的原因却不清楚。因为M6的偏置是由M7的电流源提供的，所以M6的栅源电压必须保持不变。这就迫使M6的栅极随 V_{DD} 而变化，这个变化通过 C_c 传送到放大器的输出端。从电源纹波电压 V_{dd} 到输出端的路径如图6.4-2（a）中黑色箭头所示。随着频率增加，补偿电容 C_c 的阻抗变低，M6的漏极开始随着栅极变化，从 V_{dd} 到 V_{out} 的增益就近似等于1了。于是，PSRR^+ 有一个直到零点 $-GB$ 和 $-p_2$ 都与 $A_v(s)$ 的频率响应近似的频率响应。对例6.3-1的值，PSRR^+ 的直流值为68.8 dB，根为 z_1 =−5 MHz，z_2 =−15 MHz，p_1=−906.6 Hz。图6.6-18（b）和图6.6-18（c）是例6.3-1中 PSRR^+ 的模拟响应，与这些结果比较非常接近。

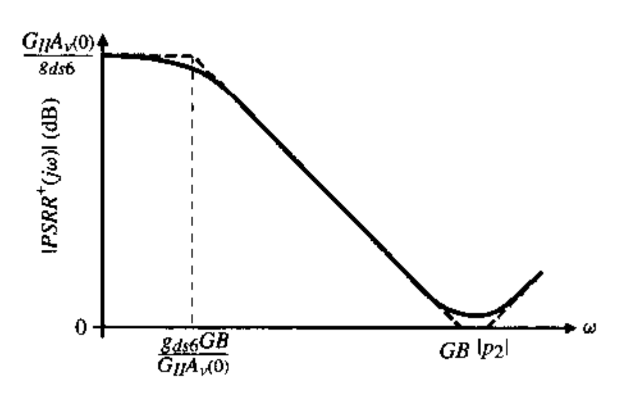


图 6.4-3　两级运算放大器的 PSRR⁺的幅频特性

负的 PSRR

图 6.4-4（a）所示是用来计算负的 PSRR（PSRR⁻）的两级运算放大器结构。PSRR⁻的分析与电压 V_{BIAS} 连在哪里有关。一般来说，V_{BIAS} 是由从 V_{DD} 流进 MOS 二极管的电流驱动产生的电压。如果是这样而且电流与 V_{ss} 无关，则 M5 和 M7 的栅源电压应该维持恒定。为此，用 4.5 节提到的电流源是一个不错的选择。这个电流源与电源电压无关（或见图 6.3-9），提供的偏置电流不受电源变化的影响。如果由于某种原因，V_{BIAS} 被接地，那么随着电源改变，V_{ss} 将会引起 M5 和 M7 栅源电压的变化，而这个变化将引起漏极电流的变化。第一级的共模抑制会减小 M5 漏极的交流电流。M7 的交流电流将乘以 R_{II} 出现在输出端反映出 V_{ss} 的变化。这种情况的小信号模型如图 6.4-4（b）所示。相应的节点方程为：

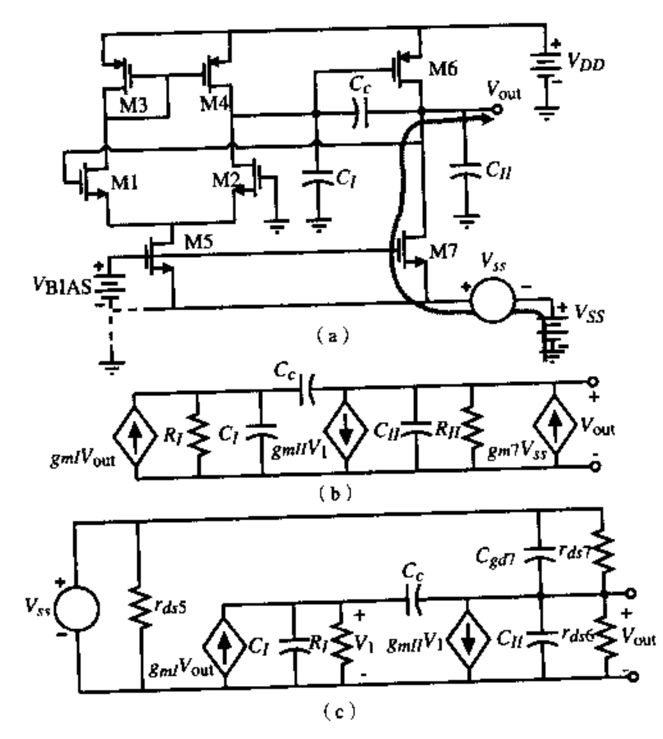


图 6.4-4　（a）计算两级运算放大器 PSRR⁻的电路；（b）V_{BIAS} 接地时的模型；（c）V_{BIAS} 与 V_{SS} 无关时的模型

$$0 = (G_I + sC_c + sC_I)V_1 - (g_{mI} + sC_c)V_o \tag{6.4-15}$$

和

$$g_{m7}V_{ss} = (g_{mII} - sC_c)V_1 + (G_{II} + sC_c + sC_{II})V_o \tag{6.4-16}$$

求解 V_{out}/V_{ss} 并取倒数得：

$$\frac{V_{ss}}{V_{out}} = \frac{s^2[C_cC_I + C_IC_{II} + C_{II}C_c] + s[G_I(C_c + C_{II}) + G_{II}(C_c + C_I) + C_c(g_{mII} - g_{mI})] + G_IG_{II} + g_{mI}g_{mII}}{[s(C_c + C_I) + G_I]g_{m7}} \tag{6.4-17}$$

再用6.3节中的方法，可得式（6.4-17）的近似根为：

$$\text{PSRR}^- = \frac{V_{ss}}{V_{out}} \cong \left(\frac{g_{mI}g_{mII}}{G_Ig_{m7}}\right)\left[\frac{\left(\frac{sC_c}{g_{mI}} + 1\right)\left(\frac{s(C_cC_I + C_IC_{II} + C_cC_{II})}{g_{mII}C_c} + 1\right)}{\left(\frac{s(C_c + C_I)}{G_I} + 1\right)}\right] \tag{6.4-18}$$

式（6.4-18）可以近似重写为：

$$\text{PSRR}^- = \frac{V_{ss}}{V_{out}} \cong \left(\frac{g_{mI}g_{mII}}{G_Ig_{m7}}\right)\left[\frac{\left(\frac{sC_c}{g_{mI}} + 1\right)\left(\frac{sC_{II}}{g_{mII}} + 1\right)}{\left(\frac{sC_c}{G_I} + 1\right)}\right] = \left(\frac{G_{II}A_v(0)}{g_{m7}}\right)\left[\frac{\left(\frac{s}{GB} + 1\right)\left(\frac{s}{|p_2|} + 1\right)}{\left(\frac{s}{GB}\frac{g_{mI}}{G_I} + 1\right)}\right] \tag{6.4-19}$$

用这个结果与 PSRR^+ 比较，零点是相同的，但是直流增益较小，近乎等于第二级的增益，极点低于第一级增益的极点。依照例6.3-1的值，给出23.7dB的增益和−147kHz的极点值。这种情况下 PSRR^- 的直流值非常小；然而，这种情况可以通过正确地使用 V_{BIAS} 来避免，接下来讨论这个问题。

如果 V_{BIAS} 的值与 V_{ss} 无关，则有图6.4-4（c）的模型，此时节点方程为：

$$0 = (G_I + sC_c + sC_I)V_1 - (g_{mI} + sC_c)V_{out} \tag{6.4-20}$$

和

$$(g_{ds7} + sC_{gd7})V_{ss} = (g_{mII} - sC_c)V_1 + (G_{II} + sC_c + sC_{II} + sC_{gd7})V_{out} \tag{6.4-21}$$

求解 V_{out}/V_{ss} 并取倒数得：

$$\frac{V_{ss}}{V_{out}} = \frac{s^2[C_cC_I + C_IC_{II} + C_{II}C_c + C_IC_{gd7} + C_cC_{gd7}] + s[G_I(C_c + C_{II} + C_{gd7}) + G_{II}(C_c + C_I) + C_c(g_{mII} - g_{mI})] + G_IG_{II} + g_{mI}g_{mII}}{(sC_{gd7} + g_{ds7})(s(C_I + C_c) + G_I)} \tag{6.4-22}$$

求分子和分母的近似根得：

$$\text{PSRR}^- = \frac{V_{ss}}{V_{out}} \cong \left(\frac{g_{mI}g_{mII}}{G_Ig_{ds7}}\right)\left[\frac{\left(\frac{sC_c}{g_{mI}} + 1\right)\left(\frac{s(C_cC_I + C_IC_{II} + C_cC_{II})}{g_{mII}C_c} + 1\right)}{\left(\frac{sC_{gd7}}{g_{ds7}} + 1\right)\left(\frac{s(C_I + C_c)}{G_I} + 1\right)}\right] \tag{6.4-23}$$

式（6.4-23）可以重写成：

$$\mathrm{PSRR}^- = \frac{V_{ss}}{V_{\mathrm{out}}} \approx \left(\frac{G_{II}A_v(0)}{g_{ds7}}\right)\left[\frac{\left(\frac{s}{GB}+1\right)\left(\frac{s}{|p_2|}+1\right)}{\left(\frac{sC_{gd7}}{g_{ds7}}+1\right)\left(\frac{sC_c}{G_I}+1\right)}\right] \tag{6.4-24}$$

此时直流增益被增加到G_{II}/g_{ds7}，极点由一个变成两个。然而，极点$-g_{ds7}/C_{gd7}$非常大，从而可以忽略。负PSRR的频率响应如图6.4-5所示。再依照例6.3-1的值，求得直流增益为76.7 dB。为求极点必须假设C_{gd7}的值。让我们设C_{gd7}为10 fF。算出极点为−71.2 kHz和−149 kHz。较高的极点可以在频率增大时使PSRR比正PSRR更大。结果是n沟道输入，两级运算放大器的PSRR^-总是比PSRR^+大。当然，如果是p沟道输入运算放大器，结果正相反。计算PSRR的其他方法可以在参考文献[5, 12]中找到。

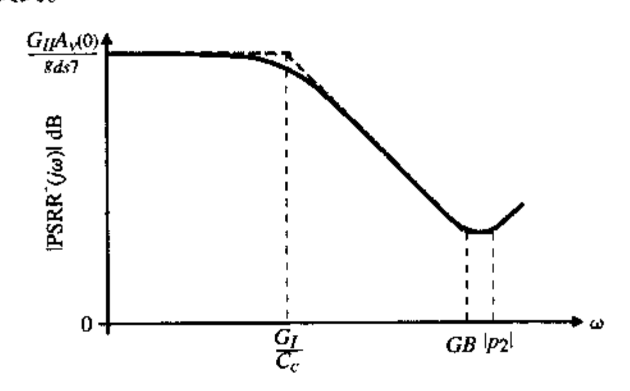


图6.4-5　两级运算放大器PSRR^-的幅频特性

可见两级运算放大器的电源抑制比较差，这是因为电源纹波通过补偿电容到输出端的路径。接下来，我们考虑用共源共栅放大器来改善两级运算放大器的性能。共源共栅放大器也允许达到更大的电源抑制比。

6.5　共源共栅运算放大器

前面，我们介绍了两级CMOS运算放大器的设计。这种运算放大器可能是目前最广泛应用的CMOS放大器之一。我们很清楚它的性能，而且实验结果接近设计结果。然而，许多无缓冲应用是两级运算放大器性能所不能满足的。两级运算放大器的性能限制包括增益不够大，由于无力控制运算放大器的高阶极点而引起的有限稳定带宽，以及因米勒补偿引起电源抑制比性能的降低。

本节我们介绍几种共源共栅CMOS运算放大器，它们在上面三个方面提供了性能改进。我们将讨论三种共源共栅运算放大器拓扑。三种拓扑的主要区别是在图6.1-1所示的一般运算放大器框图中将共源共栅级放在那个位置。首先，我们在第一级用共源共栅、接着在第二级用。最后，我们将介绍一种非常有用的称做折叠共源共栅的运算放大器电路。

在第一级使用共源共栅

用共源共栅结构提高增益的作用可以通过考察如何增大两级运算放大器的增益看出。有三种方法提高增益：（1）加入另外的增益级；（2）增大第一级或第二级的跨导；（3）增大从第一级或第二级看进去的输出电阻。由于有可能不稳定，第一种方法没有吸引力。后面两种方法中，第三种更好，因为输出电阻增加正比于偏置电流的减小，而跨导的增大与偏置电流增大是平方根的关

系。因此，增大 r_{out} 比增大 g_m 更有效。r_{out} 的显著增大可以通过专门的电路技术如4.3节和5.3节介绍的共源共栅结构实现。

首先考虑增大图6.1-1所示第一级差分输入级增益的可能性，暂时不考虑第二级。设第一级由电流镜负载差分放大器构成，可以由这一级的共源共栅输出来增大增益。图6.5-1（a）示出了改进后的电路。晶体管MC1到MC4加电阻 R 构成了第一级输出的共源共栅电路。晶体管MC3和MC4由增加输出电阻来增大第一级的增益。用式（4.3-7）或式（5.2-34）的结果可以求得输出电阻。我们可以将图6.5-1（a）的输出电阻表示为：

$$R_I \cong (g_{mC2}r_{dsC2}r_{ds2})\|(g_{mC4}r_{dsC4}r_{ds4}) \tag{6.5-1}$$

正像例4.3-1所示，输出电阻可以增加大约两个数量级，意味着增益增加同样的因子。

悬浮电池 V_{BIAS} 用来提供MC1和MC2的偏置，设置M1和M2漏源电压的直流值。典型情况下，这些电压逼近 V_{ds}(饱和)。事实上，如果希望差分输出电流作为差分输入电压的线性函数，管子M1和M2可以工作在线性或有源区，此时MOSFET的跨导特性是线性的。悬浮电池由图6.5-1(b)阴影部分的MB1~MB5管构成。来自MB1和MB2漏极的共模电压作用在p沟道电流镜的输入端MB3，MB4为MOS二极管MB5提供偏置电流，完成悬浮电池的作用。流过MB1和MB2的直流电流由M1、M2和MB1、MB2的 W/L 比决定。$I_{MB1}+I_{MB2}$ 将流过MB5，产生 V_{BIAS}。

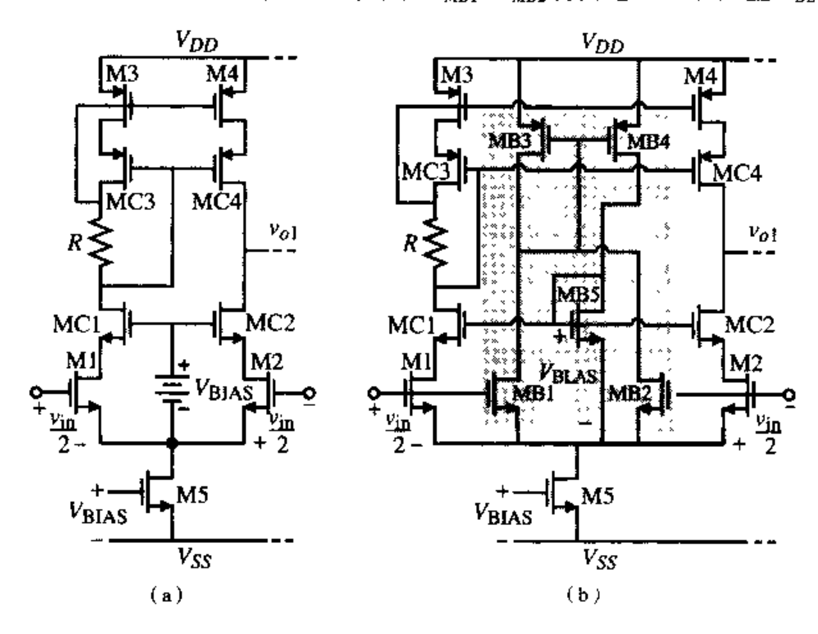


图6.5-1 （a）两级运算放大器的第一级共源共栅结构；（b）悬浮电压 V_{BIAS} 的实现

这种设计的缺点之一是输入共模范围的减小，这是由于共源共栅管所要求的额外电压降引起的。多数情况下，ICMR的限制并不重要，因为运算放大器的同相输入端接地。然而，在运算放大器的缓冲结构中，共源共栅差分输入级不适合低电源电压的情况，这将用本节介绍的其他共源共栅结构解决。

增大两级运算放大器第一级输出电阻的目的是为了得到更高的增益，图6.5-1（b）可以用来完成单级运算放大器。许多情况下并不需要高增益。这个单级运算放大器的优点是它只有一个在输出端的主极点，这是因为输出节点到地之间有很大的电阻。如果我们查看图6.5-1的其他内部节点，可以发现阻抗都很低，在 $1/g_m$ Ω附近（见习题6.5-3）。因此，在输出端并联一个电容可以得

到最佳的补偿。这种补偿叫做自补偿，因为随着输出电容的增大，主极点降低，维持一个稳定的相位裕量。事实上，如果输出端接的电容非常小，单位增益带宽可以非常大，就需要考虑其他非主极点了。

作为一个单级运算放大器，图 6.5-1 的电压增益为：

$$A_v = g_{mI}R_I \tag{6.5-2}$$

式中，R_I 由式（6.5-1）定义。设 GB 的增益带宽意味着在 GB/A_v 有一个主极点。令 A_v/GB 等于 R_I 和连在输出端的并联电容 C_I 的乘积，得到 C_I 和放大器要求之间的关系：

$$C_I = \frac{g_{mI}}{GB} \tag{6.5-3}$$

下面的例子将说明图6.5-1 作为一个单级运算放大器的一些性能。

例 6.5-1　单级共源共栅运算放大器性能

在图 6.5-1 所示电路中，设所有管子的 W/L 均为 10 μm/1 μm，$I_{DS1} = I_{DS2} = 50$ μA，要求 GB = 10 MHz，试用表 3.1-2 的模型参数求运算放大器的电压增益和 C_1 值。

解：

器件的跨导为 $g_{m1} = g_{m2} = g_{mI} = 331.7$ μS，$g_{mC2} = 331.7$ μS，$g_{mC4} = 223.6$ μS。NMOS 和 PMOS 管的输出电阻分别为 0.5 MΩ和 0.4 MΩ。从式（6.5-1）我们得到 R_I = 25 MΩ。所以电压增益为 8290 V/V。由于单位增益带宽为 10 MHz，C_I 的值为 5.28 pF。

上例说明单级运算放大器可以有实际的增益和带宽值。这个结构的另一个优点是连接大电容负载时的自补偿作用。例如，一个 100 pF 的电容接在输出上，主极点从 1.2 kHz（GB = 10 MHz）减少到 63 Hz（GB = 0.53 MHz）。当然，运算放大器的输出电阻很大（25 MΩ），不适应于低阻抗负载。

如果要求更高的增益或更低的输出电阻，图 6.5-1 需要加接第二级。然而，我们注意到，图6.5-1 电路的输出直流电压 V_{DD} 比两级运算放大器更低。如果这级驱动一个共源 PMOS 输出管将引起一个大的 V_{DS}(饱和)，降低输出摆幅性能。为了优化第二级的输出摆幅，最好的办法是在驱动输出 PMOS 管栅极之前进行电平位移。这可以很容易地用图 6.5-2 实现。MT1 和 MT2 提供了第一级和第二级之间的电平位移功能。MT2 是一个电流源，给源级跟随器 MT1 加偏置。从差分级输出到电平位移电路输出的小信号增益接近 1，有小的相移。图 6.5-2 是一个完整的共源共栅输入运算放大器。

图 6.5-2 的补偿可以在第二级中用 6.2 节中描述的米勒补偿技术完成。必须注意的是，不要因电平位移电路（MT1 和 MT2）在 M6 的栅极引入一个极点后产生问题。一般来说，这个极点的值足够高从而不会引起问题。这个运算放大器典型的电压增益很容易达到 100 000V/V。我们同样注意到，通过 C_c 通路的电源波动被跟随器 MT1 大大减小，导致更好的正电源抑制比。

在第二级运用共源共栅组合

图 6.5-2 所示的共源共栅输入运算放大器的一个缺点是补偿会更比单级复杂。虽然可以采用米勒补偿，但输出端有大电容负载时电路的稳定性将减弱。为了克服这个缺点，去除电平位移电路，共源共栅技术可以移到两级放大器的第二级。为了通过增加输出电阻（第二级的）来提高增益，必须用图5.3-6（a）的共源共栅结构。这样的两级运算放大器如图6.5-3 所示。电路的小信号电压增益是：

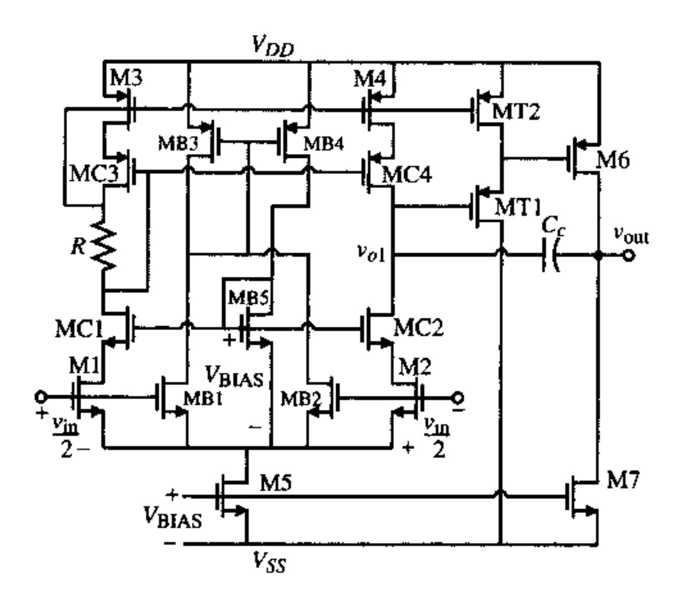


图 6.5-2　用共源共栅作第一级的两级运算放大器

$$A_v = g_{mI}g_{mII}R_IR_{II} \tag{6.5-4}$$

其中

$$g_{mI} = g_{m1} = g_{m2} \tag{6.5-5}$$

$$g_{mII} = g_{m6} \tag{6.5-6}$$

$$R_I = \frac{1}{g_{ds2} + g_{ds4}} = \frac{2}{(\lambda_2 + \lambda_4)I_{D5}} \tag{6.5-7}$$

和

$$R_{II} = (g_{mC6}r_{dsC6}r_{ds6})\|(g_{mC7}r_{dsC7}r_{ds7}) \tag{6.5-8}$$

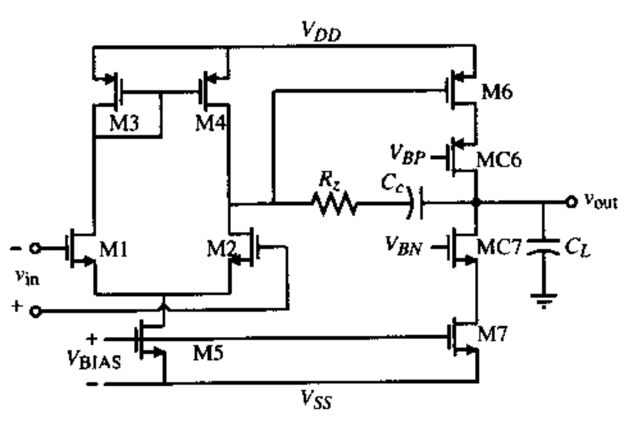


图 6.5-3　第二级为共源共栅电路的两级运算放大器

与一般两级运算放大器的增益相比，由 R_{II}的增加可获得增益的增加。通常增益大约增加 100 倍，但会降低稳定度。而且，注意输出电阻会增加。

上述增益和稳定性之间的折中可以由两级共源共栅运算放大器完成，如图6.5-4 所示。在这个运算放大器中，第一级的增益因为用了有源负载 M3 和 M4 被降低了。当增益降低时，图6.5-3 所示的第一级输出极点（M2 和 M4 的连接点）增高，这是因为 M4 具有较低的交流到地的电阻（$1/g_{m4}$）。

第一级的输出信号差分作用到共源共栅输出级。在图6.5-4中，增益主要是在输出级获得。输入级增益为：

$$A_{vI} = g_{m2}/g_{m4} = g_{m1}/g_{m3} \quad (6.5\text{-}9)$$

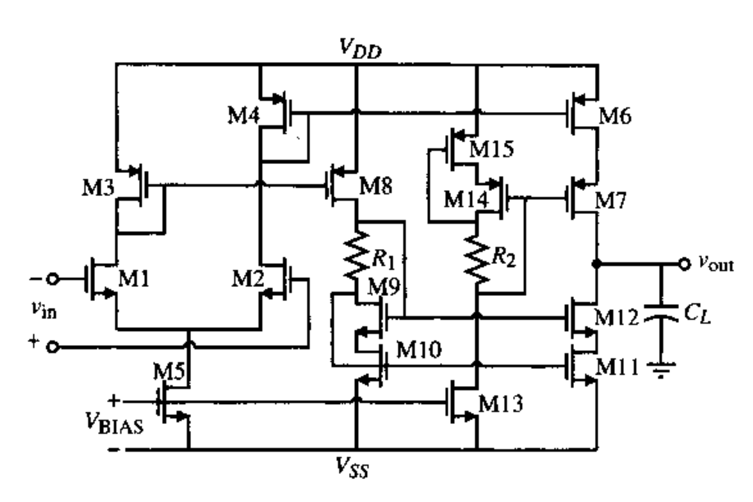


图6.5-4 用共源共栅作为输出级的运算放大器

第二级的增益为：

$$A_{vII} = \left(\frac{g_{m6} + g_{m8}}{2}\right) R_{II} \quad (6.5\text{-}10)$$

式中 R_{II}为：

$$R_{II} = (g_{m7} r_{ds7} r_{ds6}) \| (g_{m12} r_{ds12} r_{ds11}) \quad (6.5\text{-}11)$$

式（6.5-10）中已假设 M4–M6 和 M3–M8 的 W/L 的比值相同。使 W/L 的比值大于 1 可以得到更大的增益。事实上，W/L 的比值是第一级跨导 g_{mI} 的一部分，并且也会导致更高的 GB。

因为现在只有在输出端的主极点，图6.5-4 所示的共源共栅运算放大器可以用输出端并联电容来补偿。类似于图 6.5-1 的单级运算放大器，归为自补偿类。自补偿运算放大器的一个缺点就是：如果负载电容太小，非主极点的影响会使相位裕量减小。另一个缺点是噪声性能差。这是因为所有的增益都由输出级产生，导致所有晶体管都有噪声贡献。使 g_{m1} 大于 g_{m3} 在输入级达到一定增益（例如：10）可以减轻这一情况。

例 6.5-2 图6.5-4 的设计

图 6.5-4 是一个两级运算放大器的有用选择，它的设计由此例说明。图6.5-4 运算放大器的相关设计方程式如表 6.5-1 所示。设计指标如下：

表 6.5-1 图 6.5-4 的相关设计关系

摆率 $= \dfrac{I_{out}}{C_L}$	$GB = \dfrac{g_{m1}(g_{m6} + g_{m8})}{2 g_{m3} C_L}$	$A_v = \dfrac{g_{m1}}{g_{m3}}\left(\dfrac{g_{m6} + g_{m8}}{2}\right) R_{II}$
$V_{in}(\text{最大}) = V_{DD} - \left[\dfrac{I_5}{\beta_3}\right]^{1/2} - \lvert V_{T03}\rvert(\text{最大}) + V_{T1}(\text{最小})$		
$V_{in}(\text{最小}) = V_{SS} + V_{DS5} + \left[\dfrac{I_5}{\beta_1}\right]^{1/2} + V_{T1}(\text{最小})$		

$V_{DD}=-V_{SS}=2.5\text{ V}$
摆率 $=5\text{ V}/\mu\text{s}$，50 pF 负载时
$GB=10\text{ MHz}$，10 pF 负载时
$A_v\geq 5000$
ICMR = −1~+1.5 V
输出摆幅 = ±1.5 V

用表 3.1-2 的参数，令所有管子的栅长为 1 μm。

解：

有许多方法可用，根据上面的指标要求我们采取其中一种。下面的步骤标上数字以帮助说明求解过程。

1．求出最大漏/源电流，由下式可得：

$$I_{\text{source}}/I_{\text{sink}}=C_L\times\text{摆率}=50\text{ pF}(5\text{ V}/\mu\text{s})=250\ \mu\text{A}$$

2．基于最大输出漏/源电流确定某些 W/L 的约束。在动态条件下，I_5 的所有电流流过 M4（或 M3），于是，我们可以写出：

$$\text{Max. }I_{\text{out}}(\text{源})=(S_6/S_4)I_5\quad\text{和}\quad\text{Max. }I_{\text{out}}(\text{漏})=(S_8/S_3)I_5$$

如果下列条件成立，则最大输出漏电流等于最大输出源电流。

$$S_3=S_4,\ S_6=S_8\text{和 }S_{10}=S_{11}$$

3．选择 $I_5=100\ \mu\text{A}$。记住，这个值在后面需要时可以改动。由这个电流给出：

$$S_6=2.5S_4\quad\text{和}\quad S_8=2.5S_3$$

注意，如果 $S_{11}=2.5S_{10}$，S_8 可以等于 S_4。这可以最小化功耗，代价是牺牲了输入级的平衡性，因为 $S_4=2.5S_3$。

4．设计±1.5 V 的输出能力。我们假设输出峰值源/漏电流为 250 μA。首先考虑负的输出峰值。因为 V_{SS} 和最小输出间有 1 V 的差别，假设 V_{DS11}(饱和) = V_{DS12}(饱和) = 0.5 V（我们继续忽略体效应，这将在更精确设计时考虑）。最大负峰值情况下，假设 $I_{12}=I_{11}=250\ \mu\text{A}$，因此

$$0.5=\sqrt{\frac{2I_{11}}{K'_NS_{11}}}=\sqrt{\frac{2I_{12}}{K'_NS_{12}}}=\sqrt{\frac{500\ \mu\text{A}}{(110\ \mu\text{A/V}^2)S_{11}}}$$

这里给出 $S_{11}=S_{12}=18.2$ 和 $S_{10}=S_{19}=18.2$。用相同的方法求正峰值，可以给出：

$$0.5=\sqrt{\frac{2I_6}{K'_PS_6}}=\sqrt{\frac{2I_7}{K'_PS_7}}=\sqrt{\frac{500\ \mu\text{A}}{(50\ \mu\text{A/V}^2)S_6}}$$

这里给出 $S_6=S_7=40$ 和 $S_3=S_4=16$。

5．设计 R_1 和 R_2 的值。这些电阻确定了作用在 M12 和 M7 栅极的偏置电压。首先考虑 R_1，从 4.3 节描述的自偏置共源共栅电流漏的关系式可以设计 R_1，其中我们已经假设通过 R_1 的电流为 250 μA，此时运算放大器有最大的漏电流。

$$R_1=\frac{V_{DS12}(\text{饱和})}{250\ \mu\text{A}}=2\text{ k}\Omega$$

用 R_1 的这个值将引起 M11 在有源区内略低于静态条件。此时可能要重新设置 R_1 以避免这种情况，但是在最大漏电流下的最小输出电压不能实现。这种选择取决于设计者以及在电路性能上什么是重要的。R_2 以类似的方法设计，也等于 2 kΩ。当然，可以用图 4.3-7 的大摆幅共源共栅电流镜取代自偏置共源共栅电流镜。

6. 现在，我们必须考虑指标间可能的冲突情况。例如，ICMR 将影响 S_3，其值已被设置成 25。用式（6.3-7），我们可以发现 S_3 至少应为 4.1。S_3 值增大可以使 V_{in}(最大)值更高。因此我们继续用 $S_3=40$，这给出 V_{in}(最大) = 1.95 V。我们必须检查：大的 W/L 是否会引起低增益带宽的极点。假设 2.47 fF/μm² 的 C_{ox} 给出第一级的极点为：

$$p_3=\frac{-g_{m3}}{C_{gs3}+C_{gs8}}=\frac{\sqrt{2K'_PS_3I_3}}{(0.667)(W_3L_3+W_8L_8)C_{ox}}=33.15\times10^9\ \text{rad/s或}5.275\ \text{GHz}$$

它远大于 $10GB$。

7. 求 g_{m1} (g_{m2})。有两种计算 g_{m1} 的方法。第一种是从指标 A_v 考虑。式（6.5-9）和式（6.5-10）相乘可得：

$$A_v=(g_{m1}/2g_{m4})(g_{m6}+g_{m8})kR_{II}$$

式中，k 是 S_6 与 S_4（或 S_8 与 S_3）的比。计算各种跨导可得：$g_{m4}=282.4\ \mu S$，$g_{m6}=g_{m7}=g_{m8}=707\ \mu S$，$g_{m11}=g_{m12}=707\ \mu S$，$r_{ds6}=r_{d7}=0.16\ M\Omega$，$r_{ds11}=r_{ds12}=0.2\ M\Omega$。假设增益 A_v 必须大于 5000，由 $k=2.5$ 得出 $g_{m1}>72.43\ \mu S$。求 g_{m1} 的第二种方法是从 GB 指标考虑。由主极点（$1/C_{II}R_{II}$）乘以增益，得到：

$$GB=\frac{g_{m1}(g_{m6}+g_{m8})k}{2g_{m4}C_L}$$

设 $C_L=10$ pF，用指标 GB 得出 $g_{m1}=251\ \mu S$。因为此值大于 72.43 μS，选择 $g_{m1}=g_{m2}=251\ \mu S$。已知 I_5，得出 $S_1=S_2=11.45\approx12$。

8. 检查 S_1 和 S_2 是否足够大而满足−1 V 的 ICMR 的要求。从式（6.3-8）我们得到 V_{DS5} 的值是 0.5248 V，由此得出 $S_5=6.6\approx7$。在 10 pF 负载时增益是 $A_v=6925$ V/V，$GB=10$ MHz。

9. 最后，我们必须设置 V_{BIAS} 的值，这可以由已知的 S_5 和 I_5 求得。然而，M5 通常由流入一个与 M5 栅–源并联的 MOS 二极管的电流源偏置。电流源的值和 I_5 比较将确定 MOS 二极管的 W/L 值。S_{13} 可以由下面的式子得到：

$$S_{13}=\frac{I_{13}}{I_5}S_5=\left(\frac{125\ \mu A}{100\ \mu A}\right)7=8.75$$

表 6.5-2 是这个设计过程中得出的 W/L 值的小结。这个设计的功耗是 2 mW。下一步就是设计晶体管的宽度，考虑横向扩散，然后模拟。

表 6.5-2 例 6.5-2 中 W/L 值的小结

$S_1=S_2=12$
$S_3=S_4=16$
$S_5=7$
$S_6=S_7=S_{14}=S_{15}=40$
$S_9=S_{10}=S_{11}=S_{12}=18.2$
$S_{13}=8.75$

如果采用双多晶硅工艺，图6.5-1、图6.5-3 或图6.5-4 所示输出级采用共源共栅运算放大器的寄生电容可以得到改善[13]。因为源极和漏极外表上没有连接起来，所以将共源共栅对看成双栅 MOSFET 是可能的，这可由图6.5-5（a）所示共源共栅对说明。与公共漏源有关的寄生电容实际上可以被消除，如图 6.5-5（b）所示。显然，如果采用双多晶硅工艺，为了减小到共源共栅对的输入电容，希望最小化多晶硅层的交叠。

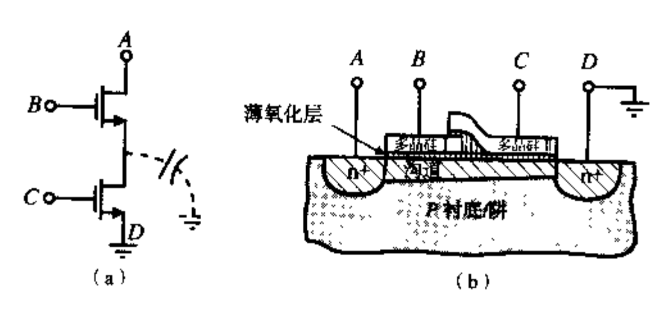


图 6.5-5　（a）考虑寄生电容的共源共栅放大器；（b）减少源/漏到衬底电容的方法

折叠共源共栅的运算放大器

图6.1-9 所示为称做折叠共源共栅运算放大器的结构。这个运算放大器用共源共栅输出级与一个不寻常的差分放大器级联，达到一个大的输入共模范围，于是折叠共源共栅运算放大器提供自补偿、良好的输入共模范围以及两级运算放大器的增益。下面我们将更详细地介绍这个运算放大器以及它的设计过程。

为了理解折叠共源共栅运算放大器是如何优化输入共模范围的，可以考虑图6.5-6所示的电路。此图显示了带电流镜负载和电流源负载的 n 沟道差分放大器的输入共模范围。由此图以及在 5.2 节中的讨论我们知道，图 6.5-6（b）有一个高的正输入共模电压。事实上，如果 V_{SD3} 小于 V_{TN}，图6.5-6（b）中的正输入共模电压可以超过 V_{DD}。图 5.2-15 就是图6.5-6（b）一种可能的实现。

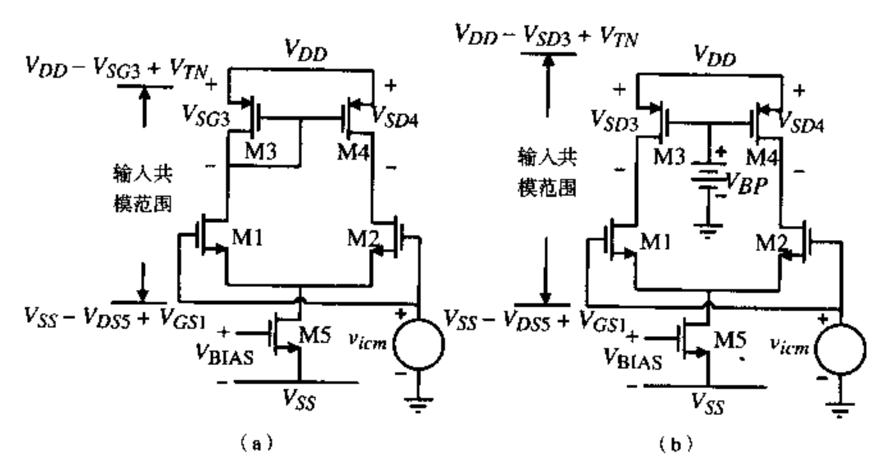


图 6.5-6　n 沟道输入差分放大器的输入共模范围。（a）电流镜负载；（b）电流源负载

图 6.5-6（b）差分放大器的问题是，在不损失一半增益的情况下难以得到单端输出电压。人们可以用图 6.5-6（a）所示的另一种差分放大器与图 6.5-6（b）级联达到预期的要求。然而，补偿变得更复杂。一种较好的方法是用折叠拓扑结构。电路中信号电流被驱使向与直流极性相反的方向流动。习题 5.2-18 是用简单电流镜实现这种结构的例子。不过，这种结构的增益刚好是单级的增

益。一种较好的方法是用共源共栅电流镜，这样电路可以达到两级运算放大器的增益且可以自补偿。一个 n 沟道输入，折叠共源共栅运算放大器的基本电路形式如图 6.5-7 所示[12]。

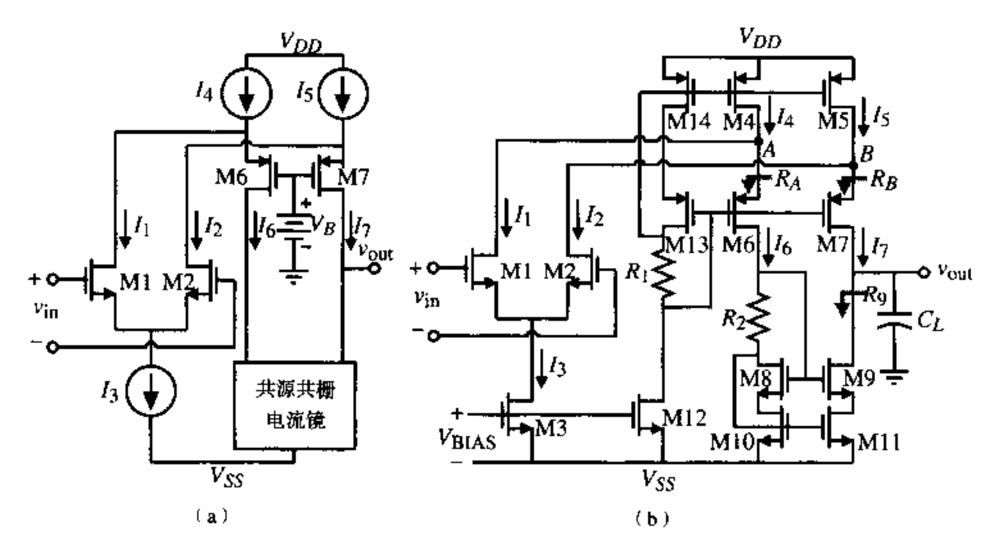


图 6.5-7 （a）n 沟道输入折叠共源共栅运算放大器的简单电路；（b）（a）的实际电路

注意，折叠共源共栅电路在差分放大器中不要求准确的电流平衡，因为额外的直流可以流进或流出电流镜。因为 M1 和 M2 的漏级连接到 M4 和 M5 的漏级，因此可以获得图 6.5-6（b）的正输入共模电压。应该设置折叠共源共栅运算放大器的偏置电流 I_3、I_4 和 I_5，不至于使共源共栅电流镜的直流电流为零。如果电流为零，就会使重新导通有个时延，因为寄生电容必须被充电。例如，设 v_{in} 足够大，从而使 M1 导通，M2 截止，那么，所有的 I_3 电流流过 M1 不流过 M2，结果 $I_1 = I_3$，$I_2 = 0$。如果 I_4 和 I_5 小于 I_3，那么 I_6 将会是零。为了避免这种情况，I_4 和 I_5 的值通常设在 I_3 和 $2I_3$ 之间。

折叠共源共栅运算放大器的小信号差分输入电压增益如图6.5-8 所示。标注为 R_A 和 R_B 的电阻是分别从 M6 和 M7 的源级看进去的电阻。R_2 是由式（5.4-13）得出的结果。用式（5.3-15）可以得到 R_A 和 R_B：

$$R_A = \frac{r_{ds6} + R_2}{1 + g_{m6}r_{gs6}} \approx \frac{1}{g_{m6}} \tag{6.5-12}$$

和

$$R_B = \frac{r_{ds7} + R_9}{1 + g_{m7}r_{ds7}} \approx \frac{R_9}{g_{m7}r_{ds7}} \approx r_{ds} \tag{6.5-13}$$

式中：

$$R_9 \approx g_{m9}r_{ds9}r_{ds11} \tag{6.5-14}$$

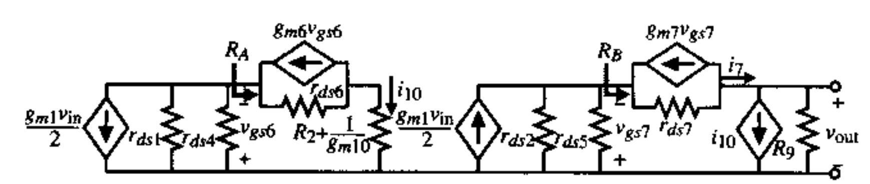


图 6.5-8 图 6.5-7（b）的小信号模型

图6.5-8 的小信号电压传递函数可如下求得。电流 i_{10} 写为：

$$i_{10}=\frac{-g_{m1}(r_{ds1}\|r_{ds4})v_{\text{in}}}{2[R_A+(r_{ds1}\|r_{ds4})]}\approx\frac{-g_{m1}v_{\text{in}}}{2} \tag{6.5-15}$$

电流 i_7 可以表示为：

$$i_7=\frac{g_{m2}(r_{ds2}\|r_{ds5})v_{\text{in}}}{2\left(\frac{R_9}{g_{m7}r_{ds7}}+(r_{ds2}\|r_{ds5})\right)}=\frac{g_{m2}v_{\text{in}}}{2\left(1+\frac{R_9(g_{ds2}+g_{ds5})}{g_{m7}r_{ds7}}\right)}=\frac{g_{m2}v_{\text{in}}}{2(1+k)} \tag{6.5-16}$$

式中低频不平衡因子 k 定义为：

$$k=\frac{R_9(g_{ds2}+g_{ds4})}{g_{m7}r_{ds7}} \tag{6.5-17}$$

k 的典型值大于 1。输出电压 v_{out} 等于 i_7 与 i_{10} 之和流过 R_{II}，因而，

$$\frac{v_{\text{out}}}{v_{\text{in}}}=\left(\frac{g_{m1}}{2}+\frac{g_{m2}}{2(1+k)}\right)R_{II}=\left(\frac{2+k}{2+2k}\right)g_{mI}R_{II} \tag{6.5-18}$$

式中输出电阻 R_{II} 为：

$$R_{II}\approx g_{m9}r_{ds9}r_{ds11}\|[g_{m7}r_{ds7}(r_{ds2}\|r_{ds5})] \tag{6.5-19}$$

图 6.5-7 折叠共源共栅运算放大器的频率响应主要由输出极点确定，输出极点为：

$$p_{\text{out}}=\frac{-1}{R_{II}C_{\text{out}}} \tag{6.5-20}$$

式中，C_{out} 是从运算放大器的输出节点到地的所有电容。输出极点成为主极点取决于这样一个事实，没有其他小于 GB 值的极点，GB 值等于式（6.5-18）和式（6.5-20）的乘积。非主极点在 M6、M8、M10 和 M11 的漏极节点 A 和 B。每个极点的近似表达式为：

$$p_A\approx\frac{-1}{R_AC_A} \tag{6.5-21}$$

$$p_B\approx\frac{-1}{R_BC_B} \tag{6.5-22}$$

$$p_6\approx\frac{-1}{\left(R_2+\frac{1}{g_{m10}}\right)C_6} \tag{6.5-23}$$

$$p_8\approx-\frac{g_{m8}}{C_8} \tag{6.5-24}$$

$$p_9\approx-\frac{g_{m9}}{C_9} \tag{6.5-25}$$

和

$$p_{10}\approx\frac{-g_{m10}}{C_{10}} \tag{6.5-26}$$

式中，近似表示是由从给定节点到地看进去的电阻和寄生电容乘积的倒数确定的。读者可能认为式（6.5-13）中 R_B 近似为 r_{ds}，这个极点可能太小。然而，在这个极点影响的频率下，C_{out} 使得 R_{II} 很小，使得 p_B 也成为非主极点。

图6.5-8 中折叠共源共栅运算放大器的电源抑制比已大大得到改进，优于两级运算放大器。为了考察电源抑制性能，考虑图6.5-7 的局部电路，如图6.5-9（a）所示。负电源纹波直接传送到 M3、M8、M9、M10 和 M11 的栅极。图 6.5-9（a）忽略了通过输入差分放大器的耦合。我们注意到纹

波也出现在 M9 的源极，防止 V_{ss} 通过 C_{gd11} 或 r_{ds11} 的馈通。因此，V_{ss} 纹波的惟一路径是如图 6.5-9 所示的那样通过 C_{gd9}。

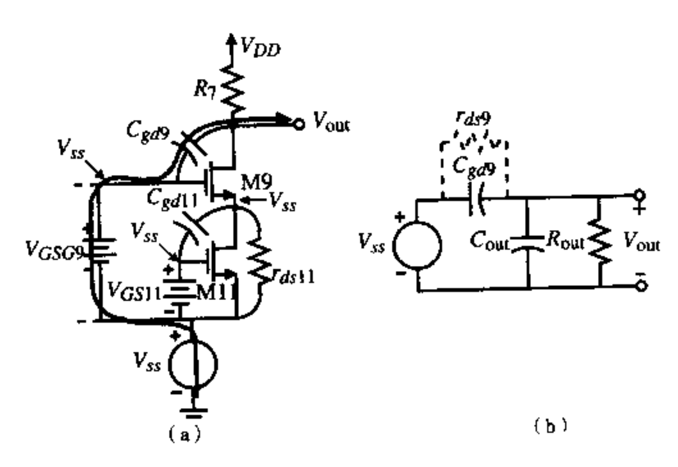


图 6.5-9 （a）用来考察 PSRR⁻的图 6.5-7 局部电路；（b）模型

让我们采用稍微不同的方法来计算PSRR。这样，我们将找出从波动到输出的传递函数而不是PSRR。我们知道对于好的 PSRR，这个传递函数应该小。图6.5-9（b）给出图6.5-9（a）的小信号模型。V_{out}/V_{ss} 的传递函数为：

$$\frac{V_{out}}{V_{ss}} \approx \frac{sC_{gd9}R_{out}}{sC_{out}R_{out}+1} \tag{6.5-27}$$

假设 $C_{gd9}R_{out}$ 比 $C_{out}R_{out}$ 小，我们可以画出式（6.5-26）的响应和差模频率响应以及主极点，如图6.5-10所示。在低频端，我们假设 V_{ss} 的其他源注入是重要的，因此，与 V_{ss} 的其他注入源的大小有关，V_{out}/V_{ss} 的幅度开始单调增加直到主极点频率，然后保持平坦。我们看到这会引起负 PSRR 至少和差模电压增益的大小一样。

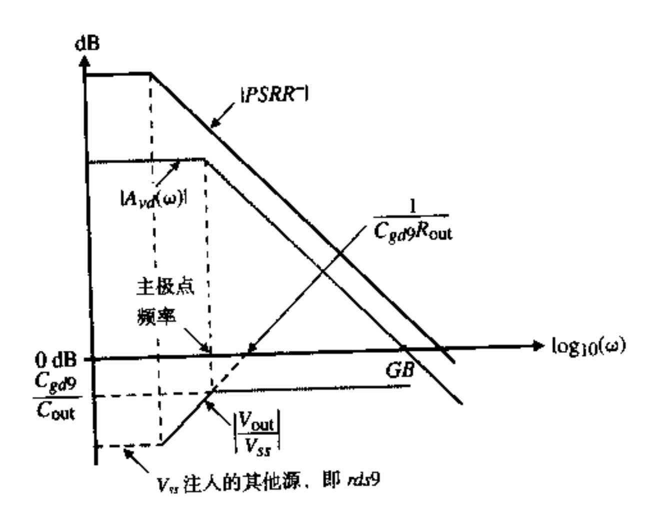


图 6.5-10 折叠共源共栅运算放大器的 PSRR⁻草图说明

正电源注入类似于负电源注入。纹波出现在 M4、M5、M6、M7、M13 和 M14 的栅极。主要

注入源是通过M7的栅–漏电容，与负电源注入情况一样。

设计折叠共源共栅运算放大器的典型方法说明如下。

例6.5-3　折叠共源共栅运算放大器的设计

根据表6.5-3的过程来设计图6.5-7的折叠共源共栅运算放大器，已知电源电压为±2.5V，负载电容为10 pF，要求达到：摆率10 V/μs，输出电压±2V，$GB = 10$ MHz，最小输入共模电压−1.5 V，最大输入共模电压2.5 V，差模电压增益大于5000 V/V，功耗小于5 mW。

表6.5-3　折叠共源共栅运算放大器的设计方法

步骤	关系/要求	设计公式/约束条件	注释
1	摆率	$I_3 = SR \cdot C_L$	
2	输出共源共栅的偏置电流	$I_4 = I_5 = 1.2I_3$ to $1.5I_3$	避免共源共栅的零电流
3	最大输出电压 v_{out}(最大)	$S_5 = \frac{8I_5}{K'_P V_{SD5}^2}$，$S_7 = \frac{8I_7}{K'_P V_{SD7}^2}$ 假设 $S_4 = S_{14} = S_5$ 及 $S_{13} = S_6 = S_7$	V_{SD5}(饱和) $= V_{SD7}$(饱和) $= \frac{V_{DD} - V_{out}(最小)}{2}$
4	最小输出电压 v_{out}(最小)	$S_{11} = \frac{8I_{11}}{K'_N V_{DS11}^2}$ $S_9 = \frac{8I_9}{K'_N V_{DS9}^2}$ 假设 $S_{10} = S_{11}$ 及 $S_8 = S_9$	V_{DS9}(饱和) $= V_{DS11}$(饱和) $= \frac{V_{out}(最小) - \lvert V_{SS}\rvert}{2}$
5	自偏置共源共栅	$R_1 = V_{SD14}(饱和)/I_{14}$ 及 $R_2 = V_{DS8}(饱和)/I_6$	
6	$GB = g_{m1} / C_l$	$S_1 = S_2 = \frac{g_{m1}^2}{K'_N I_3} = \frac{GB^2 C_L^2}{K'_N I_3}$	
7	最小输入CM	$S_3 = \frac{2I_3}{K'_N \left[V_{in}(最小) - V_{SS} - \sqrt{\frac{I_3}{K'_N S_1}} - V_{T1}\right]^2}$	
8	最大输入CM	$S_4 = S_5 = \frac{2I_4}{K'_P (V_{DD} - V_{in}(最大) + V_{T1})}$	S_4 和 S_5 必须满足或超过第二步的要求
9	差模电压增益	式(6.5-18)	
10	功耗	$P_{diss} = (V_{DD} - V_{SS})(I_3 + I_{12} + I_{10} + I_{11})$	

解：

根据表6.5-3概括的方法，可以得到下面的结果：

$$I_3 = SR \cdot C_L = 10 \times 10^6 \cdot 10^{-11} = 100\ \mu\text{A}$$

选择 $I_4 = I_5 = 125\ \mu$A

下一步，我们看到 $0.5[V_{DD} - V_{out}(最小)]$ 的值是（0.5 V）/2 或 0.25 V，于是：

$$S_4 = S_5 = S_{14} = \frac{2 \cdot 125\ \mu\text{A}}{50\ \mu\text{A/V}^2 \cdot (0.25\ \text{V})^2} = \frac{2 \cdot 125 \cdot 16}{50} = 80$$

假设M6和M7电流处于最坏情况，得出：

$$S_6 = S_7 = S_{13} = \frac{2 \cdot 25\ \mu A}{50\ \mu A/V^2 (0.25\ V)^2} = \frac{2 \cdot 125 \cdot 16}{50} = 80$$

0.5[V_{out}(最小)−|V_{ss}|]的值也是 0.25 V，可以得出 S_8、S_9、S_{10} 和 S_{11} 的值为：

$$S_8 = S_9 = S_{10} = S_{11} = \frac{2 \cdot I_8}{K'_N V_{DS8}^2} = \frac{2 \cdot 125}{110 \cdot (0.25)^2} = 36.36$$

R_1 和 R_2 的值等于 0.25 V/125 μA 或 2 kΩ。在第六步中，由 GB 的值得出 S_1 和 S_2 为：

$$S_1 = S_2 = \frac{GB^2 \cdot C_L^2}{K'_N I_3} = \frac{(20\pi \times 10^6)^2 (10^{-11})^2}{110 \times 10^{-6} \cdot 100 \times 10^{-6}} = 35.9$$

最小输入共模电压定义 S_3 为：

$$S_3 = \frac{2I_3}{K'_N \left[V_{in}(\text{最小}) - V_{SS} - \left(\frac{I_3}{K'_N S_I} \right)^{1/2} - V_{T1} \right]^2}$$

$$= \frac{200 \times 10^{-6}}{110 \times 10^{-6} \left[-1.5 + 2.5 - \left(\frac{100}{100 \cdot 35.9} \right)^{1/2} - 0.75 \right]^2} = 20$$

我们必须检查 S_4 和 S_5 是否足够大以满足最大输入共模电压。2.5 的最大输入共模电压要求：

$$S_4 = S_5 \geq \frac{2I_4}{K'_P \cdot [V_{DD} - V_{in}(\text{最大}) + V_{T1}]}$$

$$= \frac{2 \cdot 125\ \mu A}{50 \times 10^{-6}\ \mu A/V^2 (2.5\ V + 0.7\ V)^2} = 10.2$$

此值远小于 80。实际上，当 $S_4 = S_5 = 80$ 时，最大输入共模电压是 3 V。最后，得出 S_{12} 为：

$$S_{12} = \frac{125}{100} S_3 = 25$$

功耗是：

$$P_{diss} = 5\ V\,(125\ \mu A + 125\ \mu A + 125\ \mu A) = 1.875\ mW$$

小信号电压增益需要用以下的值来估算：

S_4, S_5, S_{13}, S_{14}: $g_m = \sqrt{2 \cdot 125 \cdot 50 \cdot 80} = 1000\ \mu S$ 和 $g_{ds} = 125 \times 10^{-6} \cdot 0.05 = 6.25\ \mu S$

S_6, S_7: $g_m = \sqrt{2 \cdot 75 \cdot 50 \cdot 80} = 774.6\ \mu S$ 和 $g_{ds} = 75 \times 10^{-6} \cdot 0.05 = 3.75\ \mu S$

S_8, S_9, S_{10}, S_{11}: $g_m = \sqrt{2 \cdot 75 \cdot 110 \cdot 36.36} = 774.6\ \mu S$ 和 $g_{ds} = 75 \times 10^{-6} \cdot 0.04 = 3\ \mu S$

S_1, S_2: $g_{mI} = \sqrt{2 \cdot 50 \cdot 110 \cdot 35.9} = 628\ \mu S$ 和 $g_{ds} = 50 \times 10^{-6} \cdot 0.04 = 2\ \mu S$

于是得出：

$$R_9 \approx g_{m9} r_{ds9} r_{ds11} = (774.6\ \mu S)\left(\frac{1}{3\ \mu S}\right)\left(\frac{1}{3\ \mu S}\right) = 86.07\ M\Omega$$

$$R_{II} \approx (86.07\ \text{M}\Omega)\|(774.6\ \mu\text{S})\left(\frac{1}{3.75\ \mu\text{S}}\right)\left(\frac{1}{2\ \mu\text{S}}\bigg\|\frac{1}{6.25\ \mu\text{S}}\right) = 19.40\ \text{M}\Omega$$

$$k = \frac{R_9(g_{ds2} + g_{ds4})}{g_{m7}r_{ds7}} = \frac{86.07\ \text{M}\Omega(2\ \mu\text{S} + 6.25\ \mu\text{S})(3.75\ \mu\text{S})}{774.6\ \mu\text{S}} = 3.4375$$

小信号、差模输入电压增益是：

$$A_{vd} = \left(\frac{2+k}{2+2k}\right)g_{mI}R_{II} = \left(\frac{2+3.4375}{2(4.4375)}\right)0.628 \times 10^{-3} \cdot 19.40 \times 10^{6} = 7464\ \text{V/V}$$

该增益大于指标的要求，但这应该是可以的。

用共源共栅结构的运算放大器可以使设计者优化二阶性能指标，这一点在传统的两级运算放大器中是不可能的。特别是共源共栅技术对提高增益、增加 PSRR 值和在输出端允许自补偿是有用的。这种灵活性允许在 CMOS 工艺中发展高性能无缓冲运算放大器。目前，这样的放大器已被广泛用于无线电通信的集成电路中。

6.6 运算放大器的仿真和测量

在设计 COMS 运算放大器时，设计者从建立模块开始。模块的性能可以用手工/计算器分析方法进行第一级近似。这一步的优点是直观，它可以给设计者提供完善电路的思考。然而，在有些地方，设计者必须更好地利用仿真的方法。对于 CMOS 运算放大器，通常采用诸如 SPICE 一类的计算机分析程序。用第一级分析的直观和 SPICE 的建模能力，电路设计可以得到优化，此外还有许多其他的问题（例如容差、稳定度和噪声）可以被检查出来。

制造将按照 MOS 运算放大器的仿真和版图进行。制造完成后，MOS 运算放大器必须加以测试和评估。测试运算放大器各种性能的技术可能像运算放大器设计本身一样复杂。每项指标必须用大量的运算放大器验证，以确保工艺变化的请况下运算放大器的正常工作。

模拟和测量的工艺

本节的目的是提供仿真和测试 CMOS 运算放大器的背景知识。我们将讨论适合于 SPICE 仿真运算放大器的方法，但是这些概念可应用于其他类型的计算机仿真程序。因为 CMOS 运算放大器的仿真和测量几乎相同，它们被同时提出。惟一不同的是：实际测量中，在运算放大器电路中引入的寄生效应和测量仪器的带宽限制。

这里讨论的运算放大器测量和仿真的类别包括：开环增益，开环频率响应（包括相位裕量），输入失调电压，共模增益，电源抑制比，共模输入和输出电压范围，开环输出电阻和瞬态响应（包括摆率）。这些测量的结构和技术将在本节介绍。

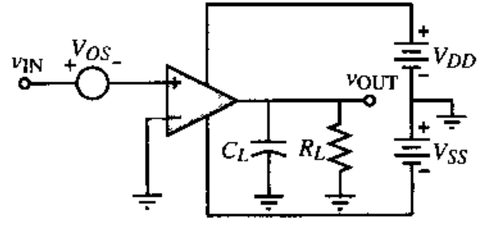


图 6.6-1 带失调补偿的开环模型

运算放大器的开环仿真或测量是最困难的步骤之一，这是由于运算放大器的高差模增益所致。图 6.6-1 说明这一步如何进行。待测或仿真的运算放大器用深色符号表示以示与完成测试或仿真的辅助运算放大器的区别。V_{OS} 是外部电压，调整其

值保持 v_{OUT} 的直流值在电源限制之间。在测量或仿真时如果没有 V_{OS}，运算放大器的输出不是正电源值就是负电源值。解决的办法是找出正确的 V_{OS} 值，但却常常被新手忽略。找出 V_{OS} 对于电源电压值除以低频差模增益的准确值是必需的（典型值在毫伏的范围内）。虽然在仿真中这个方法可以很好地完成，但是几乎不可能用这个方法测量运算放大器的实际特性。

一个更适合于测量开环增益的方法如图 6.6-2 所示。在这个电路中，选择 RC 时间常数的倒数与 $A_v(0)$的乘积小于运算放大器预期的主极点是必需的。在这样的情况下，运算放大器有总的直流反馈，可以稳定偏置，v_{OUT} 的直流值与 v_{IN} 的直流值将会完全相同。直到频率近似为 $A_v(0)$乘以 $1/RC$ 时才能观察到真正的开环频率特性。在这个频率之上，v_{OUT} 与 v_{IN} 的比基本上反映了运算放大器的开环增益。这个方法既可用于仿真，也可用于测量。

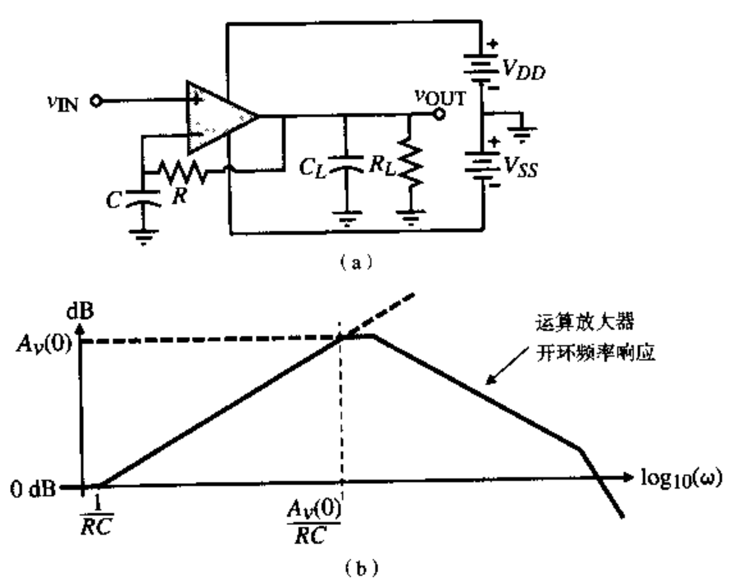
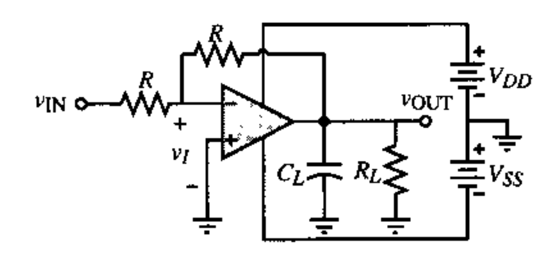


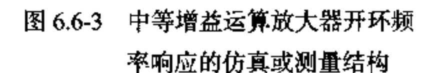
图 6.6-2 （a）具有稳定直流偏置的开环特性测量方法；（b）电压传递函数的渐近幅频特性

运算放大器开环增益的仿真或测量将反映开环传输曲线、开环输出摆幅限制、相位裕量、主极点、单位增益带宽和其他开环特性。测量中设计者应该在输出端接上预期的负载，以便得到有意义的结果。在某种情况下，开环增益不是很大，开环增益可以直接在图 6.6-3 中加 v_{IN} 并测量 v_{OUT} 和 v_I 而得到。在这种情况下必须要注意的是 R 应足够大从而不会在运算放大器输出端引起直流负载。

用图6.6-4 的电路可以测量直流输入失调电压。如果直流输入失调电压太小，可以在负反馈通路中用电阻分压来放大。必须注意的是，V_{OS} 将随时间和温度变化，实验的精密测量十分困难。有意思的是，V_{OS} 不能仿真得出。原因是，输入失调电压不仅是由于偏置失配，就像两级运算放大器中所考虑的（系统失调）一样，也可能由元器件的失配引起。目前，多数仿真器没有能力预示元器件的失配。

共模增益最容易按照图 6.6-5 进行仿真或测量。可以看到，如果 V_{OS} 不能保持运算放大器在线性区，这个结构是失败的。这是实验测量中常常碰到的情况。设计者往往更需要测量或仿真 CMRR。如果需要共模增益，可以从 CMRR 和开环增益中得到。




图 6.6-3 中等增益运算放大器开环频率响应的仿真或测量结构

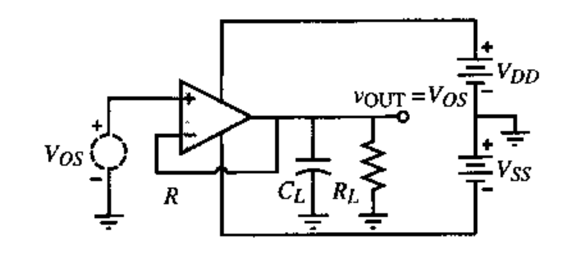


图 6.6-4 运算放大器输入失调电压测量和系统失调电压仿真的结构

图6.6-6 给出了测量运算放大器 CMRR 的方法[14]。虽然这个方法可以用做动态特性，但我们只从静态观点解释其工作原理。首先假设所有 v_{SET} 电压源增加某个量，例如 1 V。这会引起被测运算放大器的输出和电源增加 1 V。结果 v_I 将会出现在被测运算放大器的输入端。v_I 将等于 1 V 的共模输出电压除以被测运算放大器的差模电压增益。v_I 的变化可以由 V_{OS} 测出，近似为 1000 v_I。令 V_{OS} 的这个值为 V_{OS1}。接着，所有的 v_{SET} 电压源减少相同的量（为了抵消任何正、负的信号差）。令此时 V_{OS} 的测量为 V_{OS2}，CMRR 可以表示成：

$$\text{CMRR} = \frac{2000}{|V_{OS1} - V_{OS2}|} \tag{6.6-1}$$

若 v_{SET} 源用小信号电压 v_{icm} 取代，然后 CMRR 可以说明（见习题 6.6-4）并表示成：

$$\text{CMRR} = \frac{1000\, v_{icm}}{v_{os}} \tag{6.6-2}$$

用这种方法，用 v_{icm} 扫描频率可以测量 v_{os} 和 CMRR 与频率的关系。

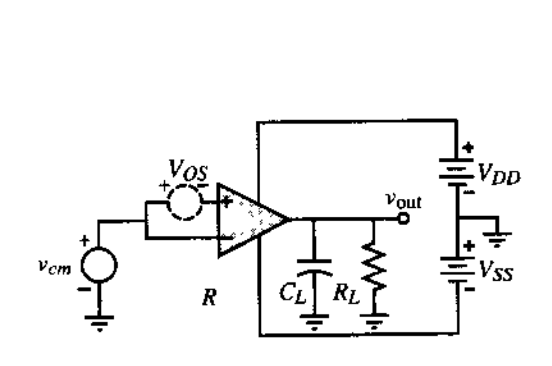


图 6.6-5 共模增益的仿真结构图

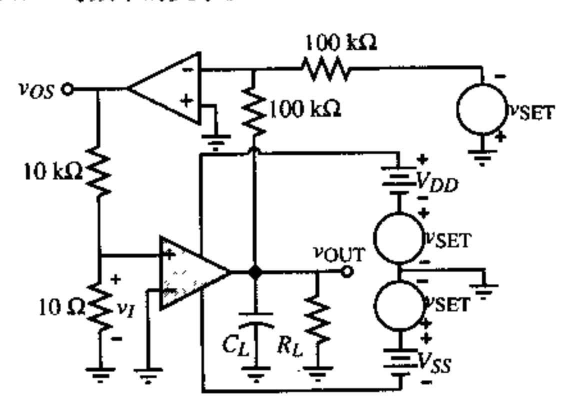


图 6.6-6 测量 CMRR 和 PSRR 的电路

测量 CMRR 的另一种方法是先测量差模电压增益，以 dB 为单位，然后将共模信号作用到输入端测量共模电压增益，同样以dB 为单位。以dB 为单位时，CMRR 可以用差模电压增益减去共模电压增益。如果测量系统与控制器或计算机相接，这种计算可以自动运行。

虽然上面的方法可以用于 CMRR 仿真，但若仅是仿真 CMRR，可以有更简单的方法。仿真的目的是为了得到等于 CMRR 的输出，或者与 CMRR 有关。图 6.6-7（a）示出了一个可以完成这个任务的方法。两个相同的电压源标为 V_{cm}，与接成单位增益结构的运算放大器的两输入端相接。该电路模型如图 6.6-7（b）所示。可以表示为：

$$\frac{V_{out}}{V_{cm}} = \frac{\pm A_c}{1 + A_v - (\pm A_c/2)} \cong \frac{|A_c|}{A_v} = \frac{1}{\text{CMRR}} \tag{6.6-3}$$

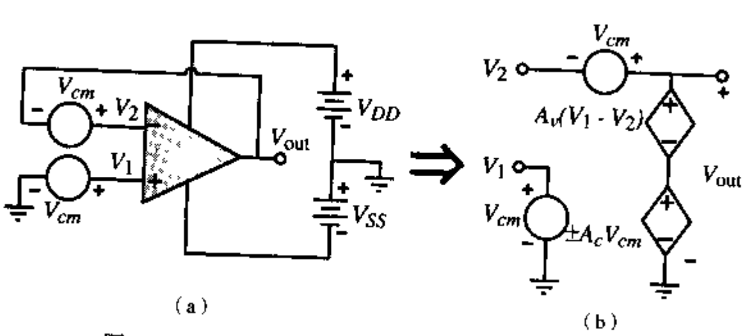


图 6.6-7　（a）CMRR 的直接仿真结构；（b）模型

计算机仿真可以直接用来计算式（6.6-3）。如果仿真器有后处理能力，那么常常有可能画出传递函数的倒数，即可直接得到 CMRR。图 6.6-8（a）给出了例 6.3-1 中运算放大器的 CMRR 的仿真结果，图 6.6-8（b）给出了 CMRR 的相位响应。可以看出，100 kHz 以下 CMRR 是相当大的。

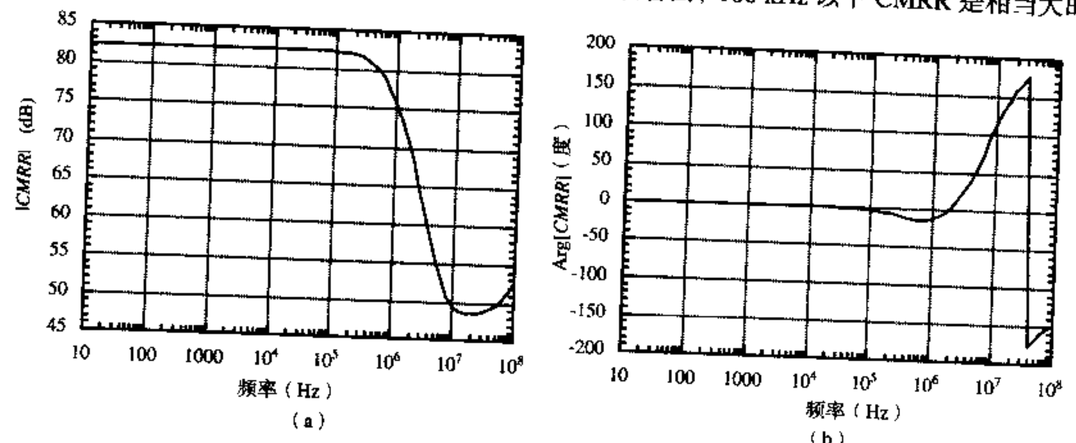


图 6.6-8　例 6.3-1 中电容 C_c =10 pF 时 CMRR 的幅频响应（a）和相频响应（b）。（a）幅频响应；（b）相频响应

图 6.6-6 的结构也可以用来测量电源抑制比 PSRR。测量过程中，除了与 V_{DD} 串联的电压源外，令所有的 v_{SET} 电压源为零。设该串联电压源为+1 V，此时，v_I 是 V_{DD} + 1 V 的输入失调电压。在这些条件下，测量 V_{OS} 并令它为 V_{OS3}。接下来，用与 V_{DD} 串联的电压源 v_{SET} 将 V_{DD} 设置为 V_{DD} − 1 V，测量 V_{OS} 并令它为 V_{OS4}。V_{DD} 源的 PSRR 为：

$$V_{DD}\text{的 PSRR} = \frac{2000}{|V_{OS3} - V_{OS4}|} \tag{6.6-4}$$

同样可测得 V_{SS} 的抑制比。改变 V_{SS} 且保持 V_{DD} 恒定，而 V_{OUT} 为 0 V。上面的公式同样可以用来表示负的电源抑制比。如果 v_{SET} 电压源用正弦信号来代替，此方法也适用于测量 PSRR 与频率的关系。

图 6.6-9 示出类似于图 6.4-1 的结构，它适合于测量 PSRR 与频率的关系。小信号正弦电压与 V_{DD}（V_{SS}）串接后测量 PSRR⁺（PSRR⁻）。根据式（6.4-2），PSRR 可以表示为：

$$\frac{V_{out}}{V_{dd}} \cong \frac{1}{\text{PSRR}^+} \quad \text{或} \quad \frac{V_{out}}{V_{ss}} \cong \frac{1}{\text{PSSR}^-} \tag{6.6-5}$$

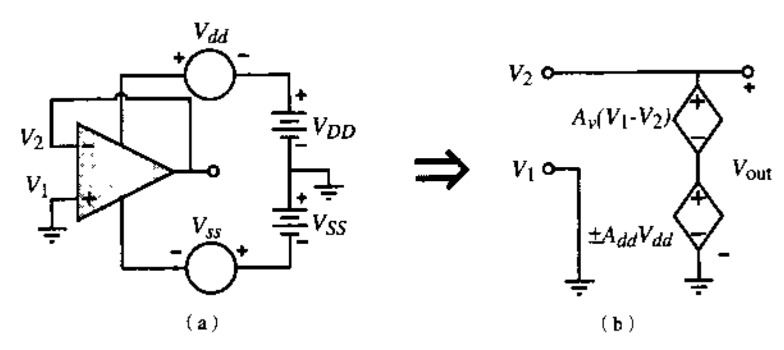


图 6.6-9 （a）PSRR 的直接仿真或测量结构；（b）$V_{SS}=0$ 时的模型

这个过程正是 6.4 节中两级运算放大器计算 PSRR 的方法。只要 CMRR 远大于 1 这个方法就很实用。

无论在运算放大器的开环还是闭环模式都可以定义输入和输出共模电压范围。开环情况下，只需输出 CMR。图 6.6-1 或图 6.6-3 的一个结构可以用来测量输出 CMR。典型情况下，开环时输出 CMR 大约是电源范围的一半。因为运算放大器通常用于闭环模式，这种情况使测量或仿真输入输出 CMR 更敏感。单位增益结构对于测量或仿真输入 CMR 是有用的。图6.6-10 示出了其结构和所期望的结果。传输曲线的线性部分对应于输入共模电压范围的斜率是 1。在 v_{IN} 从负值到正值的扫描过程中，初始的跳变是由于 M5 的导通。在图6.6-10 输入 CMR 的仿真过程中，画出 M1 的电流很有用，因为在 M5 导通后 M1 导通前 v_{IN} 也许会有一个小的变化范围（例如图6.6-17）。

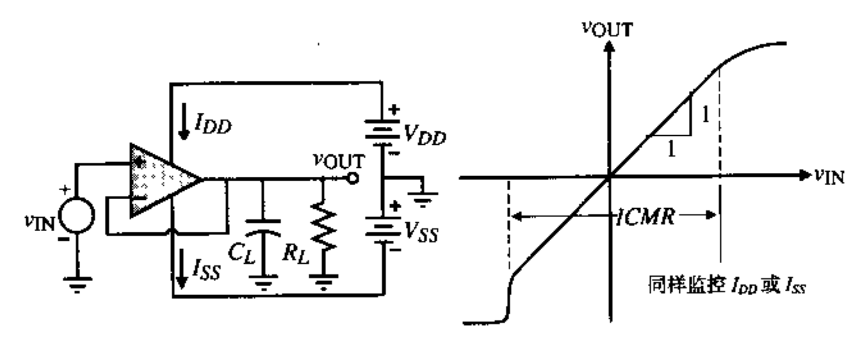


图 6.6-10 运算放大器输入共模电压范围的测量

在单位增益结构中，传输曲线的线性受到 ICMR 限制。若采用高增益结构，传输曲线的线性部分与放大器输出电压摆幅一致。图 6.6-11 所示为反相增益为 10 的结构。流过 R_L 的电流会对输出电压摆幅产生很大的影响，应对该电流进行选择以反映实际情况。

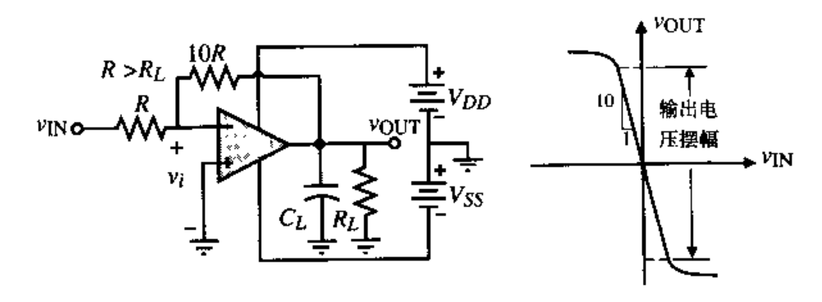


图 6.6-11 输出电压摆幅的测量

开环情况下，将一个负载电阻 R_L 连接到运算放大器输出端可以测量输出电阻。测量结构如图 6.6-12 所示。在 v_{IN} 为常数情况下，由 R_L 引起的电压降可以用做计算输出电阻：

$$R_{out} = R_L\left(\frac{V_{O1}}{V_{O2}} - 1\right) \quad (6.6\text{-}6)$$

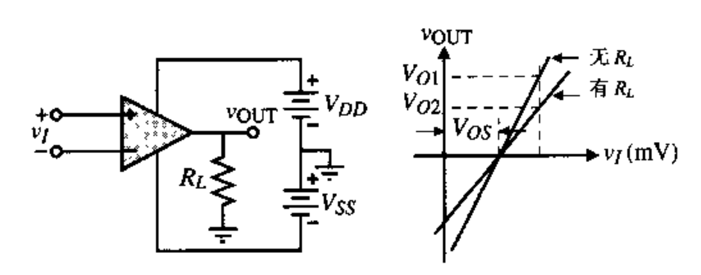


图 6.6-12 开环输出电阻的测量

另一种方法是改变 R_L 直到 $V_{O2} = V_{O1}/2$。在这种情况下，$R_{out} = R_L$。如果运算放大器必须工作在闭环模式，那么测量输出电阻时必须考虑反馈的影响。最好的方法是采用图 6.6-13，在开环增益 A_v 值已知的情况下，输出电阻是：

$$R_{out} = \left(\frac{1}{R_o} + \frac{1}{100R} + \frac{A_v}{100R_o}\right)^{-1} \cong \frac{100R_o}{A_v} \quad (6.6\text{-}7)$$

若 A_v 的范围是 1000，则 R 大于 R_o。测量出 R_{out} 和已知 A_v，就可以根据式（6.6-7）计算出运算放大器的输出电阻 R_o。其他测量运算放大器输出阻抗的方案可以在文献[15, 16]中找到。

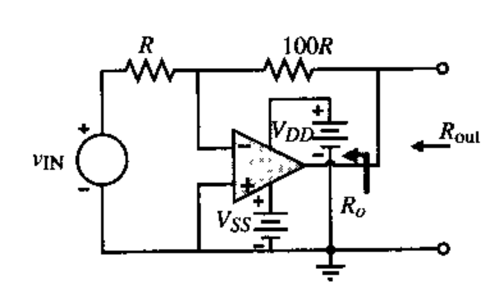


图 6.6-13 测量开环输出电阻 R_o 的另一种

图 6.6-14 所示的结构可用来测量摆率和建立时间。该图给出了测量的细节。为得到最好的精度，摆率和建立时间可以分别测量。如果输入阶跃很小（< 0.5 V），输出不会摆动，瞬态响应是线性响应。建立时间很容易测量（根据附录 C 说明的单位增益阶跃响应与相位裕量的关系，这种结构已成为一种快速测量相位裕量的方法）。如果输入阶跃幅度足够大，运算放大器将因没有足够的电流为补偿和/或负载电容充、放电而产生摆动。在输出的上升或下降期间，由输出波形的斜率可以确定摆率。在测量建立时间和摆率时应该考虑运算放大器的输出负载。单位增益结构着重考虑的是稳定性和摆率，因为反馈最大，导致最大的环路增益且总是用做最坏情况测量。

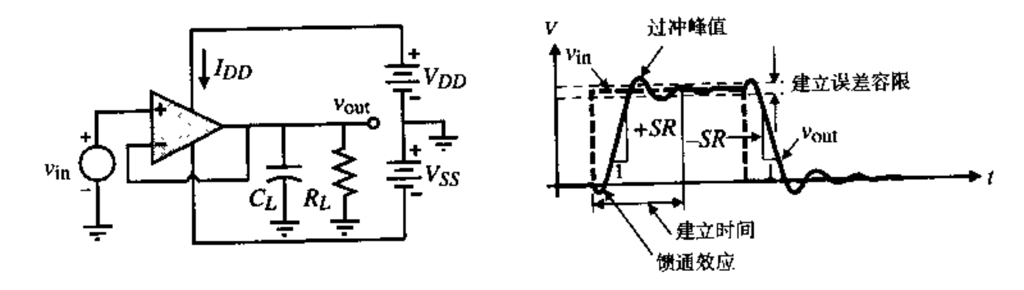


图 6.6-14 摆率和建立时间的测量方法

其他的仿真（诸如噪声、容差、工艺参数变化和温度等）也可以完成。此时可在试验板上进行运算放大器测试。然而，如果仿真模型精度不够，这一步可能会有问题。用 SPICE 仿真 CMOS 运算放大器的例子如下。

例 6.6-1　CMOS 运算放大器的仿真

对例 6.3-1 进行设计并对图6.3-3 所示的运算放大器进行 SPICE 分析，确定其指标是否满足要求。采用表 3.1-2 和表 3.2-1 中所示的器件参数。除了验证例 6.3-1 的指标外，我们还将仿真 $PSRR^+$ 和 $PSRR^-$。

解：

为了简化重复设计，将运算放大器视做子电路。表 6.6-1 给出了图6.3-3 子电路的 SPICE 描述。如果完成了物理层版图设计，可算出 AD、AS、PD 和 PS 的值，我们用下面的近似值作为接近实际情况的一种估算：

$$AS = AD \cong W[L1 + L2 + L3]$$

$$PS = PD \cong 2W + 2[L1 + L2 + L3]$$

表 6.6-1　图 6.3-3 电路的 SPICE 子电路描述

```
.SUBCKT OPAMP 1 2 6 8 9
M1 4 2 3 3 NMOS1 W = 3U L = 1U AD = 18P AS = 18P PD = 18U PS = 18U
M2 5 1 3 3 NMOS1 W = 3U L = 1U AD = 18P AS = 18P PD = 18U PS = 18U
M3 4 4 8 8 PMOS1 W = 15U L = 1U AD = 90P AS = 90P PD = 42U PS = 42U
M4 5 4 8 8 PMOS1 W = 15U L = 1U AD = 90P AS = 90P PD = 42U PS = 42U
M5 3 7 9 9 NMOS1 W = 4.5U L = 1U AD = 27P AS = 27P PD = 21U PS = 21U
M6 6 5 8 8 PMOS1 W = 94U L = 1U AD = 564P AS = 564P PD = 200U PS = 200U
M7 6 7 9 9 NMOS1 W = 14U L = 1U AD = 84P AS = 84P PD = 40U PS = 40U
M8 7 7 9 9 NMOS1 W = 4.5U L = 1U AD = 27P AS = 27P PD = 21U PS = 21U
CC 5 6 3.0P
.MODEL NMOS1 NMOS VTO = 0.70 KP = 110U GAMMA = 0.4 LAMBDA = 0.04 PHI =
+ 0.7 MJ = 0.5 MJSW = 0.38 CGBO = 700P CGSO = 220P CGDO = 220P CJ =
+ 770U CJSW = 380P LD = 0.016U TOX = 14N
.MODEL PMOS1 PMOS VTO = -0.7 KP = 50U GAMMA = 0.57 LAMBDA = 0.05 PHI =
+ 0.8 MJ = 0.5 MJSW = .35 CGBO = 700P CGSO = 220P CGDO = 220P CJ =
+ 560U CJSW = 350P LD = 0.014U TOX = 14N
IBIAS 8 7 30U
.ENDS
```

式中，$L1$ 是多晶硅和保护环中接触孔之间的最小间距（表 2.6-1 的规则 5C），$L2$ 是方形接触孔到保护环的最小尺寸（表 2.6-1 的规则 5A），$L3$ 是接触孔到保护环和保护环边沿的最小间距（表 2.6-1 的规则 5D）。

分析开始时，可以考虑图 6.6-1 中的开环结构。从-5 V 到+5 V 对 v_{IN} 进行粗扫描，找出在哪一点上 v_{IN} 的值可以使输出从 V_{SS} 跳变到 V_{DD}。一旦找到了跳变的范围，v_{IN} 的扫描值就只在跳变区域内确定。结果如图6.6-15 所示。图6.6-1 的 V_{OS} 的值可以由这些数据来确定。虽然 V_{OS} 不需要使 v_{OUT} 精确到零，但也应该保持输出在线性范围内，以便 SPICE 计算小信号分析的偏置点时可以获得合理的结果。因为 $v_{IN}=0$ V 时运算放大器仍处在线性区，所以不需要加偏移以获得开环性能。

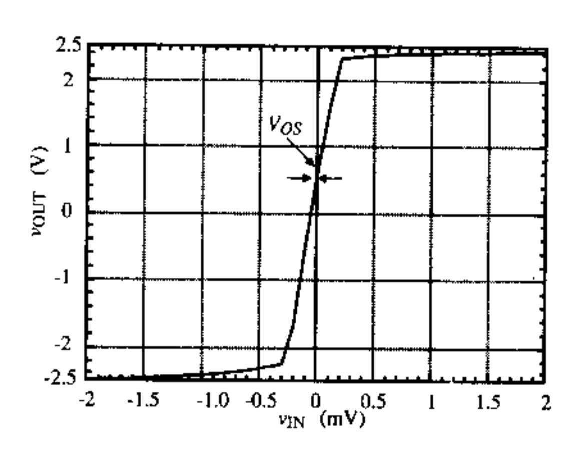


图 6.6-15 例 6.6-1 开环传输特性描述 V_{OS}

这里，设计者准备开始实际的运算放大器仿真。开环结构的电压传输曲线、频率响应、小信号增益、输入和输出电阻都可以仿真。PC 版本的 SPICE（PSPICE）输入文件如表 6.6-2 所示。图 6.6-16 显示出仿真结果。开环电压增益为 10 530 V/V（由输出文件确定），GB 为 5 MHz，输出电阻为 122.5 kΩ（由输出文件确定），功耗为 0.806 mW（由输出文件确定），10 pF 负载的相位裕量是 65°，开环输出电压摆幅从+2.3 V 到−2.2 V。仿真结果优于原始指标。

表 6.6-2 开环结构的 PSPICE 输入文件

```
EXAMPLE 6.6-1 OPEN LOOP CONFIGURATION
.OPTION LIMPTS = 1000
VIN+ 1 0 DC 0 AC 1.0
VDD 4 0 DC 2.5
VSS 0 5 DC 2.5
VIN - 2 0 DC 0
CL 3 0 10P
X1 1 2 3 4 5 OPAMP
        .
        .
        .
(Subcircuit of Table 6.6-1)
        .
        .
        .
.OP
.TF V(3) VIN+
.DC VIN+ -0.005 0.005 100U
.PRINT DC V(3)
.AC DEC 10 1 10MEG
.PRINT AC VDB(3) VP(3)
.PROBE (This entry is unique to PSPICE)
.END
```

下一个结构是图6.6-10 的单位增益结构。由这个结构可以确定 ICMR、$PSRR^+$、$PSRR^-$、摆率和建立时间 表 6.6-3 给出了相应的 SPICE 输入文件（$PSRR^+$和 $PSRR^-$必须分别进行）。仿真结果

在随后的图中表示出来。由图6.6-17可以看出，ICMR是从−1.2 V到+2.3 V。注意，ICMR的下限是由M5的电流达到静态值而确定的。PSRR⁺如图6.6-18所示，PSRR⁻如图6.6-19所示。

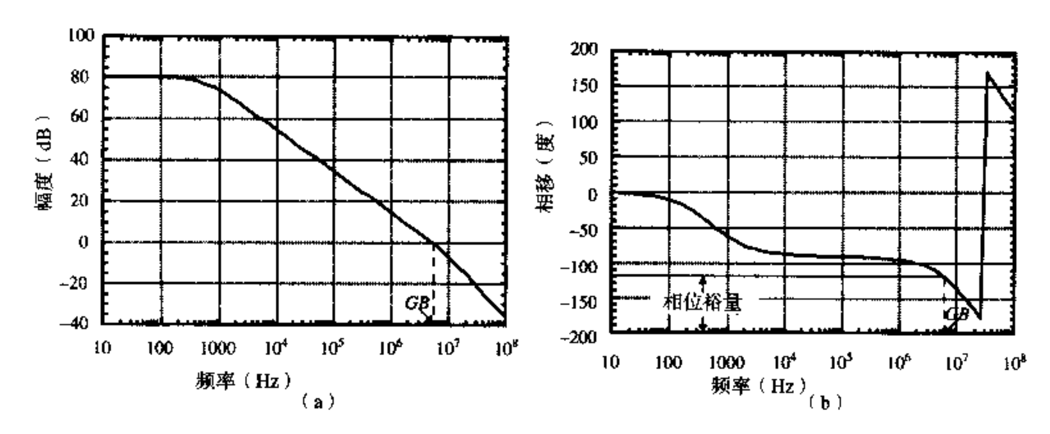


图6.6-16 例6.6-1开环传递函数频率响应。（a）幅频响应；（b）相频响应

表6.6-3 单位增益结构的输入文件

```
EXAMPLE 6.6-1 UNITY GAIN CONFIGURATION.
.OPTION LIMPTS = 501
VIN+ 1 0 PWL(0 -2 10N -2 20N 2 2U 2 2.01U -2 4U -2 4.01U
+ -.1 6U -.1 6.0 1U .1 8U .1 8.01U -.1 10U -.1)
VDD 4 0 DC 2.5 AC 1.0
VSS 0 5 DC 2.5
CL 3 0 20P
X1 1 3 3 4 5 OPAMP
     .
     .
     .
(Subcircuit of Table 6.6-1)
     .
     .
     .
.DC VIN+ -2.5 2.5 0.1
.PRINT DC V(3)
.TRAN 0.05U 10U 0 10N
.PRINT TRAN V(3) V(1)
.AC DEC 10 1 10MEG
.PRINT AC VDB(3) VP(3)
.PROBE (This entry is unique to PSPICE)
.END
```

大信号和小信号瞬态响应分别由将一个4V和0.2V脉冲作用到单位增益结构所决定。结果如图6.6-20所示。从这些数据可见：正摆率是10V/μs，而负摆率接近−6.7V/μs，且有一个很大的负过冲。负摆率不足的原因是受限于向10 pF负载电容放电的电流。对于−6.7 V/μs，通过补偿电容C_c的电流大约是20 μA。因而，负载电容放电电流是95 μA减去20 μA或者70 μA。于是，负跃变的摆率是受负载电容而不是补偿电容的限制，大约是−7 V/μs。这个问题可以通过增加输出级的偏置电流［从95 μA到130 μA（其中30 μA为C_c，100 μA为C_L）］很容易地加以解决。

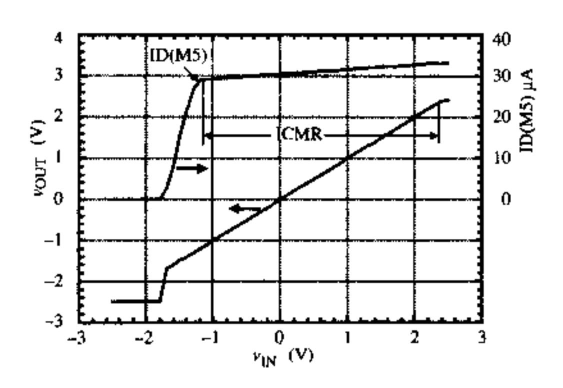


图 6.6-17 例 6.6-1 的输入共模仿真

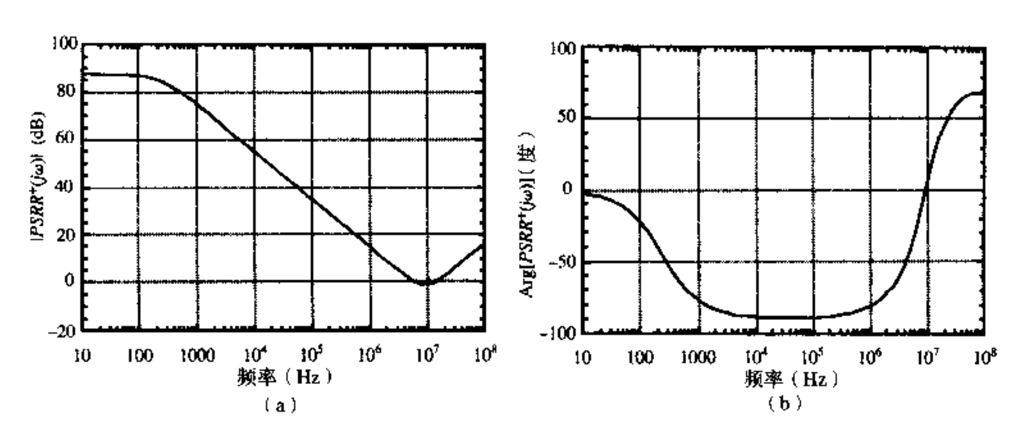


图 6.6-18 例 6.6-1 PSRR⁺的频率响应。(a)幅频响应；(b)相频响应

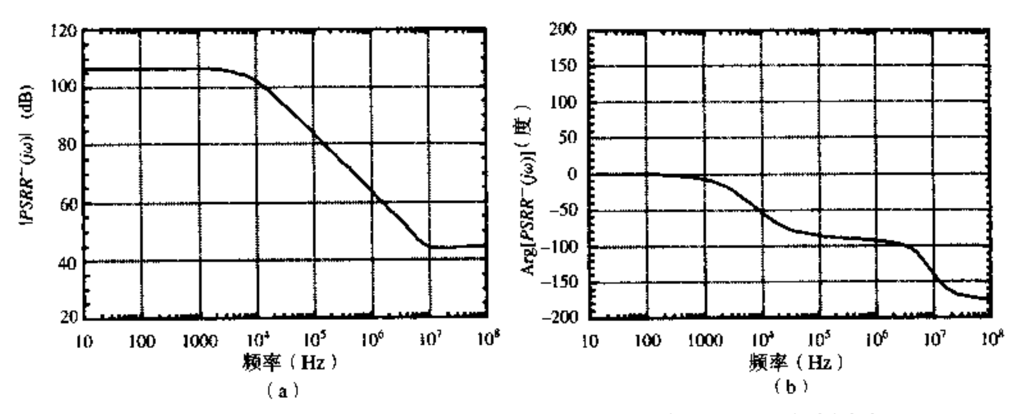


图 6.6-19 例 6.6-1 PSRR⁻的频率响应。(a)幅频响应；(b)相频响应

负摆动的大过冲是由输出级摆动造成的，原因是由 C_c 确定的期望摆率值对负载电容充电的电流不足。在正摆动时，M6 可以提供足够的电流即刻对变化予以响应。然而，负摆动持续过去的终点直到输出级能够按照单位增益反馈网络跟上响应。

可以看出过冲很小。在±5%范围内的建立时间大约是 0.5μs，与输出文件中确定的一样。相对大的补偿电容在瞬态响应中可阻止 10 pF 负载引起的振铃。在习题 6.6-11 中将进一步研究的一个感兴趣的问题是为什么负过冲比正过冲大。这里不必关注摆率，因为运算放大器工作在线性模式。

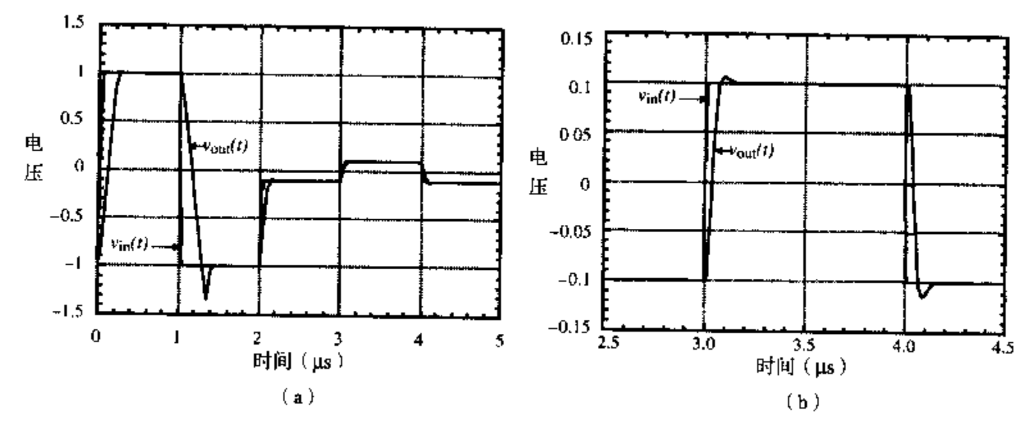


图 6.6-20 例 6.6-1 单位增益瞬态响应。（a）大信号；（b）小信号

仿真结果与设计指标的比较见表 6.6-4。可以看出，设计几乎是令人满意的。微小的调节可以通过改变 W/L 比或直流电流使放大器工作在指定的范围。下一步仿真中应该改变模型参数值，典型的是 K、V_T、γ以及λ，确保即使工艺有所改变也能满足指标。

表 6.6-4 例 6.3-1 仿真结果与指标的比较

特性 （电源电压=±2.5 V）	设计 （例 6.3-1）	仿真 （例 6.6-1）
开环增益	>5000	10 000
GB(MHz)	5 MHz	5 MHz
ICMR(V)	−1~2 V	+2.4 V, −1.2 V
摆率(V/μs)	>10（V/μs）	+10, −7（V/μs）
P_{diss}(mW)	<2 mW	0.625 mW
V_{out} 范围(V)	±2 V	+2.3 V, −2.2 V
$PSRR^+(0)$(dB)	—	87
$PSRR^-(0)$(dB)	—	106
相位裕度（度）	60°	65°
输出电阻（kΩ）	—	122.5 kΩ

只要开环增益不是很大，本节中的测量方案将会工作得很好。如果增益太大，必须采用适用于双极型运算放大器的技术。集成运算放大器在频域中自动测量的测试电路的介绍和描述见参考文献[17]。这个方法补充了本节给出的方法。参考书、网站和技术文献是该课题研究的很好信息源。

6.7 运算放大器的宏模型

当我们进行系统级设计时，掌握适合运算放大器的宏模型是很重要的[18]。宏模型是这样一种模型：不涉及电路中的每个元器件，用简单仿真获取所需电路性能的模型。宏模型的优点是使

大电路或者系统的仿真更快。下面的材料将详述适合运算放大器的宏模型。我们将介绍运算放大器的宏模型行为：小信号静态、小信号动态、大信号静态、大信号动态，这些均为时域模型。大多数的模型适合频域，只有一个例外。在 SPICE 中，当用于频域时，离散时间电路需要特别的技术。这些技术将在第 9 章中讨论。

小信号、静态宏模型

我们从包括各种运算放大器特性的模型开始。模型的复杂性取决于如何对运算放大器特性建模。为避免对计算时间和存储器的过分要求，对于给定的应用，最佳选择是选用尽可能简单的模型。运算放大器的最简单模型如图 6.7-1 所示。注意，我们用符号 A_{vd} 表示运算放大器的差模电压增益。这个简单的运算放大器模型可能适合于 90%运算放大器电路的仿真。

图 6.7-1 示出了关于计算机建模的一个重要问题。图 6.7-1（b）和图 6.7-1（c）的简单模型在电性能上是相同的。然而，诺顿模型的节点较少。图 6.7-1（b）有 5 个节点，而图 6.7-1（c）只有 4 个节点。地是一个节点，在 SPICE 中它总是指定为零节点。减少节点数将减少放大器数值解方程的阶数，减少仿真时间。当其他因素都相同时，使用者应该选择节点数最少的模型。

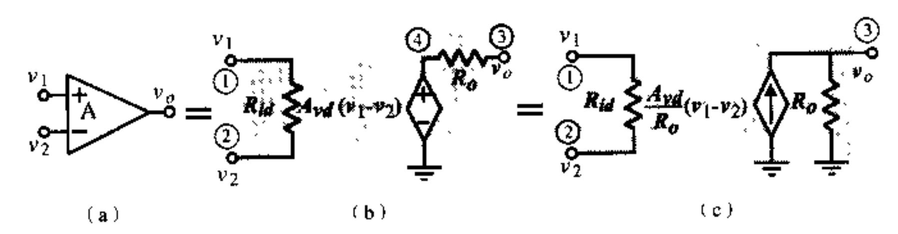


图 6.7-1 （a）运算放大器符号；（b）简单模型的戴维南形式；（c）简单模型的诺顿形式

图 6.7-1（c）的 SPICE 描述如下：

```
RID 1 2 {R_id}
RO 3 0 {R_o}
GAVD 0 3 1 2 {A_vd/R_o}
```

模型参数的值应该在{ }的位置加入。这些参数是差模输入电阻 R_{id}、输出电阻 R_o 和差模电压增益 A_{vd}。

当模型更复杂时，就很难把仿真的每个运算放大器的描述反复输入。为了避免这一点，我们用 SPICE 的子电路形式。子电路只允许做一次电路描述，重用这个描述只需用一行简单的描述语句即可。上面运算放大器模型的子电路描述可以写成：

```
.SUBCKT SIMPLEOPAMP 1 2 3
RID 1 2 {R_id}
RO 3 0 {R_o}
GAVD 0 3 1 2 {A_vd/R_o}
.ENDS SIMPLEOPAMP
```

在 SUBCKT 和 ENDS 语句前的点极为重要，而且必须包括如上内容。在 SPICE 中，用子电路 SIMPLEOPAMP 表示称做 OPAMP2 的运算放大器 A2 时，我们所要做的只是在 SPICE 输入文件中输入如下的语句：

```
XOPAMP2 4 9 1 SIMPLEOPAMP
```

这个描述称之为子电路调用。子电路调用的节点编号不一定是 SIMPLEOPAMP 的子电路描述的节点编号。然而子电路调用中的每个节点都要与子电路描述的节点按顺序相对应。例如，在上述的子电路调用中，节点4、9、1分别对应于子电路描述 SIMPLEOPAMP 中的节点1、2、3。所以关键在于节点的次序，而不是节点的编号。

例 6.7-1 简单运算放大器计算机模型的使用

用 SPICE 求图 6.7-2 电路的电压增益 v_{out}/v_{in}、输入电阻 R_{in} 和输出电阻 R_{out}。运算放大器的参数为 $A_{vd}=100\,000$, $R_{id}=1\ \text{M}\Omega$, $R_o=100\ \Omega$。当 $R_1=1\ \text{k}\Omega$, $R_2=100\ \text{k}\Omega$时，试求同相电压放大器的输入电阻 R_{in}、输出电阻 R_{out} 和电压增益 A_v。

图 6.7-2 例 6.7-1 的同相电压放大器

解:

电路的 SPICE 节点编号如图 6.7-2 所示。输入文件如下：

```
Example 6.7-1
VIN 1 0 DC 0 AC 1
XOPAMP1 1 3 2 SIMPLEOPAMP
R1 3 0 1KOHM
R2 2 3 100KOHM
.SUBCKT SIMPLEOPAMP 1 2 3
RID 1 2 1MEGOHM
RO 3 0 100OHM
GAVD/RO 0 3 1 2 1000
.ENDS SIMPLEOPAMP
.TF V(2) VIN
.END
```

.TF 命令计算放大器的小信号输入电阻、输出电阻和电压或电流增益。由输出文件提取的结果为：

```
**** SMALL-SIGNAL CHARACTERISTICS
V(2)/VIN = 1.009E+02
INPUT RESISTANCE AT VIN = 9.901E+08
OUTPUT RESISTANCE AT V(2) = 1.010E-01.
```

运算放大器建模的另一种研究是对组成运算放大器的每一个有源和无源部件建模。为此，我们必须知道实际运算放大器的详细电路。因为在我们的研究中没有这方而信息，图6.7-1中给出的模型称为宏模型。宏模型使用电阻、电容、电感、受控源和一些有源器件（主要是二极管）来获得复杂电路（如运算放大器）的基本性能，而不必为运算放大器内部的每个元器件建模。宏模型的优点在于为减少仿真时间允许在模型复杂度上寻求折中。

图 6.7-1 的简单模型在引入共模输入电阻后可以扩展到包含共模增益。这种简单模型的扩展如图 6.7-3 所示，注意，在增加这些功能的同时并不增加节点数。

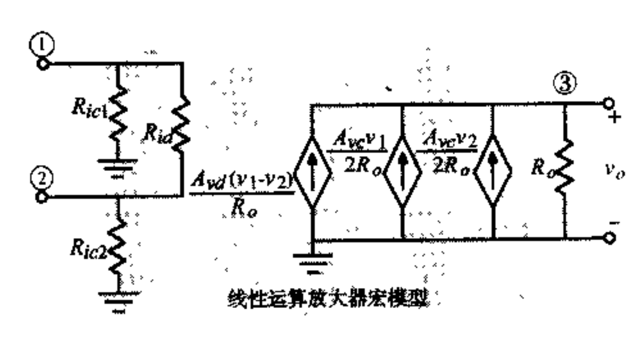


图 6.7-3 包括差模和共模行为的简单运算放大器模型

图 6.7-3 的子电路描述如下，其中参数必须在{ }中输入：

```
.SUBCKT LINOPAMP 1 2 3
RIC1 1 0 {Ric}
RID 1 2 {Rid}
RIC2 2 0 {Ric}
GAVD/RO 0 3 1 2 {Avd/Ro}
GAVC1/RO 0 3 1 0 {Avc/2Ro}
GAVC2/RO 0 3 2 0 {Avc/2Ro}
RO 3 0 {Ro}
.ENDS LINOPAMP
```

在 SPICE 的某些版本中，子电路描述可以简化，通过在子电路调用中的 PARAM 选项来设定参数值。例如，上面的子电路描述如下所示：

```
.SUBCKT LINOPAMP 1 2 3 PARAM: RICRES = 100MEG, RIDRES
= 1MEG, + AVD/RO = 10K, AVC/RO=1, RORES = 100
RIC1 1 0 RICRES
RID 1 2 RIDRES
RIC2 2 0 RICRES
GAVD/RO 0 3 1 2 AVD/RO
GAVC1/RO 0 3 1 0 AVC/RO
GAVC2/RO 0 3 2 0 AVC/RO
RO 3 0 RORES
.ENDS LINOPAMP
```

子电路调用可以采用不同的参数值，或者使用那些在子电路描述中已经定义过的参数。具体细则请参见 PSPICE 使用手册[19]。

与频率相关的小信号运算放大器模型

图 6.7-4 是一个合适的差模电压增益频率响应宏模型，其中电压控制电压源和串联电阻 R_o 已经转换成诺顿形式以减少节点数。R_1 和 C_1 用来建立频率响应的主极点模型。如果让 $R_1 = R_o$，那么这个模型也可模拟输出电阻。

图6.7-4模型的缺点是输出阻抗不再恒定，而是一个频率的函数。这通常不是问题。然而，如果要求输出是不随频率变化的常数，就需改成图6.7-5的模型。在这个模型中，我们用第二个受控源隔离输出电阻与电压增益的频率响应关系。这样就增加了一个节点，但这是模型复杂度增加时可预料的情况。

图 6.7-4　包括 A_{vd} 频率响应的运算放大器宏模型

A_{vd}的频率响应可以写为：

$$A_{vd}(s)=\frac{A_{vd}(0)}{(s/\omega_1)+1} \tag{6.7-1}$$

其中

$$\omega_1=\frac{1}{R_1C_1} \tag{6.7-2}$$

注意，R_1或C_1中有一个可以是任意值，除非如图6.7-4中的简单模型那样已有$R_1=R_o$。重复电压控制电流源、电阻和电容的并联结构可以模拟高阶极点。

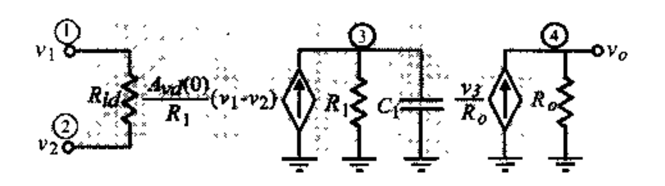


图6.7-5　恒定输出电阻的频率响应模型

例6.7-2　同相电压放大器的频率响应

电路如图6.7-2所示，已知$A_{vd}(0)=10^5$，$\omega_1=100$ rad/s，要求增益为+1V/V、+10 V/V、+100 V/V，试用图6.7-4模型求解不同增益时的频率响应。

解：

模型参数是$R_2/R_1=0, 9, 99$。另外，加上条件$R_{id}=1\ \text{M}\Omega$, $R_o=100\ \Omega$。采用图6.7-2的电路，插入模型构成子电路。这个例子的输入文件如下：

```
Example 6.7-2
VIN 1 0 DC 0 AC 1
*Unity Gain Configuration
XOPAMP1 1 31 21 LINFREQOPAMP
R11 31 0 15GOHM
R21 21 31 1OHM
*Gain of 10 Configuration
XOPAMP2 1 32 22 LINFREQOPAMP
R12 32 0 1KOHM
R22 22 32 9KOHM
*Gain of 100 Configuration
XOPAMP3 1 33 23 LINFREQOPAMP
```

```
R13 33 0 1KOHM
R23 23 33 99KOHM
.SUBCKT LINFREQOPAMP 1 2 3
RID 1 2 1MEGOHM
GAVD/RO 0 3 1 2 1000
R1 3 0 100
C1 3 0 100UF
.ENDS
.AC DEC 10 100 10MEG
.PRINT AC V(21) V(22) V(23)
.PROBE
.END
```

分析结果已绘制在对数坐标上，如图 6.7-6 所示，–3 dB 频率用虚线标出。

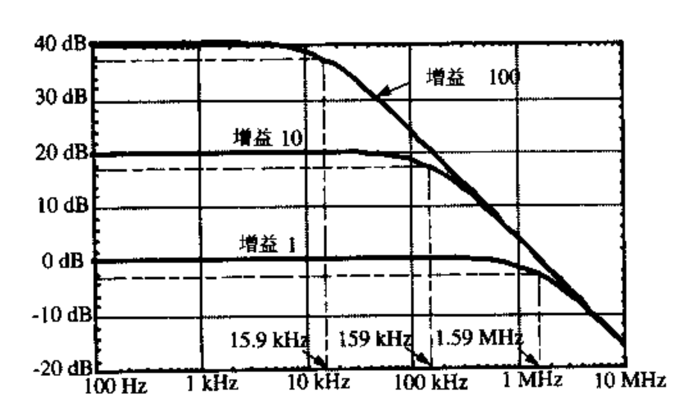


图 6.7-6　例 6.7-2 中三种电压增益同相电压放大器的频率响应曲线

PSPICE 的新近发展使频率响应模型非常简单，这使得受控源增益可以用幅频域变量 s 表示。图6.7-1(c)的简单运算放大器模型可以用在例6.7-2中，只需将例6.7-1输入文件中的受控源 GAVD/RO 用下面的语句来代替即可。

```
GAVD/RO 0 3 LAPLACE {V(1,2)} = {1000/(0.01s + 1)}
```

这种表达实现了下面的跨导函数：

$$G_{A_{vd}/R_o} = \frac{A_{vd}(s)}{R_o} = \frac{\dfrac{A_{vd}(0)}{R_o}}{\dfrac{s}{\omega_1} + 1} \tag{6.7-3}$$

其中，$A_{vd}(0)$ =100 000, R_o = 100 Ω和ω_1=100 rad/s。运用 PSPICE 的 LAPLACE 功能，可以非常容易地在运算放大器的宏模型中增加更多的极点和零点。

图6.7-3中的宏模型既可用做差模电压增益也可用做共模电压增益。如果两种增益的频率响应不同，那么每种频率响应必须分别建模，如图6.7-7所示，图中模型为差模和共模电压增益的单极点模型。如果需要的话，可以另加电压控制电流源和电阻、电容的并联来模拟更多的极点。如果有些极点对于差模和共模电压增益是共同的，那么可以在输出级为它们建模（节点 5）。

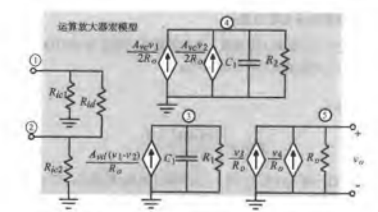


图 6.7-7 差模和共模电压增益频率响应分开的运算放大器宏模型

如果不引进新的节点很难将零点引入模型。最简单的独立零点形式如图6.7-8（a）所示，为简便起见图中没有画出运算放大器的输入级。这种模型中，差模输入电压产生的电流在串联的电阻和电感上产生电降。这个模型的输出电压是：

$$V_o(s)=\left(\frac{A_{vd}(0)}{R_o}\right)(sL_1+R_o)[V_1(s)-V_2(s)]=A_{vd}(0)\left(\frac{s}{R_o/L_1}+1\right)[V_1(s)-V_2(s)] \quad (6.7\text{-}4)$$

零点可以由 R_o/L_1 的值决定，根据 L_1 的不同值进行模拟。

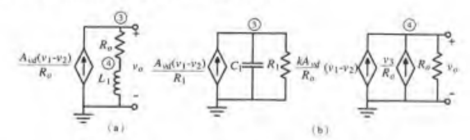


图 6.7-8 （a）独立零点模型；（b）不引入新节点的零点模型方式

如果频率响应有一个以图 6.7-5 的形式建模的极点，那么可以增加零点而不引起新节点，见图 6.7-8（b）。这里与频率无关的差模输入电压部分与形成零点频率相关的部分组合。图 6.7-8（b）的输出电压可以写成：

$$V_o(s)=\left(\frac{A_{vd}(0)}{(s/\omega_1)+1}\right)[1+k(s/\omega_1)+k]\,[V_1(s)-V_2(s)] \quad (6.7\text{-}5)$$

零点可以表示为：

$$z_1=-\omega_1\left(1+\frac{1}{k}\right) \quad (6.7\text{-}6)$$

其中，k 值可选，以实现所需零点 z_1。注意，k 可以是负值，只要简单地把图 6.7-8（b）中 v_3/R_o 受控电流源的方向反过来即可。

例 6.7-3 运算放大器频率响应的零点建模

用图 6.7-8（b）的技术为运算放大器建模，要求差模电压增益为 100 000，极点在 100 rad/s，输出电阻为 100 Ω，零点在复频域的右半平面 10^7 rps。

解：

需要建模的传递函数为：

$$V_o(s) = \frac{10^5(s/10^7 - 1)}{(s/100 + 1)}$$

任意选择 R_1 为 100 kΩ，使 GAVS/R1 为 1。为得到 100 rps 的极点，$C_1 = 1/(100R_1) = 0.1\ \mu\text{F}$。为得到 10^7 rps 的零点 z_1，由 ω_1=100 rps 并根据式（6.7-6）可得 $k = -10^{-5}$。下面的输入文件验证了这个模型：

```
Example 6.7-3
VIN 1 0 DC 0 AC 1
XOPAMP1 1 0 2 LINFREQOPAMP
.SUBCKT LINFREQOPAMP 1 2 4
RID 1 2 1MEGOHM
GAVD/R1 0 3 1 2 1
R1 3 0 100KOHM
C1 3 0 0.1UF
GV3/RO 0 4 3 0 0.01
GAVD/RO 4 0 1 2 0.01
RO 4 0 100
.ENDS
.AC DEC 10 1 100MEG
.PRINT AC V(2) VDB(2) VP(2)
.PROBE
.END
```

这个仿真的渐近幅频特性曲线如图6.7-9所示。注意，虽然绘制频率响应时以赫兹（Hz）为单位，但是有一个 100 rps（15.9 Hz）的极点和一个 1.59 MHz（10 Mrad/s）的零点。除非检查相移，否则不可能知道零点是在复频域的左半平面还是右半平面。

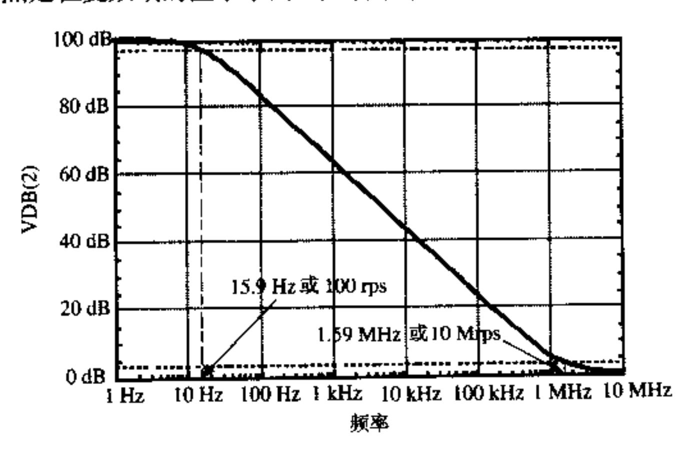


图 6.7-9 例 6.7-3 运算放大器模型的渐近幅频特性曲线

运算放大器的大信号、静态宏模型

在此前的运算放大器宏模型中，输入峰值为 1 V 和 1000 V 的正弦信号的频率响应是一样的。但是，我们知道运算放大器的输出电压和电流是有限制的。现在让我们考虑如何在仿真宏模型中包含运算放大器的大信号性能。

首先我们为运算放大器输出摆幅的限制建模。我们称这些限制为 V_{OH} 和 V_{OL}。用 SPICE 中的 pn 结二极管模型，其参数 $N = 0.0001$。限制输出电压在 V_{OH} 和 V_{OL} 之间的运算放大器宏模型如图 6.7-10 所示。此外，这个宏模型也定义了输入端的正负值（V_{IH} 和 V_{IL}）的限制。通常，$V_{IH1} = V_{IH2}$，$V_{IL1} = V_{IL2}$。这些值定义了运算放大器的输入共模电压范围。输入共模电压范围是运算放大器可以继续以大差模电压增益来放大差模信号的共模输入电压的范围。当任何一个二极管（D1 到 D4）导通而使电压源直接与节点 1 或节点 2 相连时，电阻 R_{LIM} 必定流过大电流。

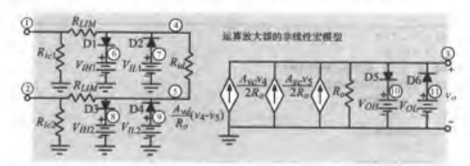


图 6.7-10　限制输入、输出电压的运算放大器宏模型

图 6.7-10 也包括了图 6.7-3 方式的共模增益。加一个电容与 R_o 并联，可以模拟放大器的差模和共模增益极点。另外，节点 4 和节点 5 的电压可以控制与电阻及电容并联的电流源。那么这个电路的电压可以控制输出部分的电流源。下面给出图 6.7-10 的子电路描述，参数用{ }来表示：

```
.SUBCKT NONLINOPAMP 1 2 3
RIC1 1 0 {R_icm}
RLIM1 1 4 0.1
D1 4 6 IDEALMOD
VIH1 6 0 {V_IH1}
D2 7 4 IDEALMOD
VIL1 7 0 {V_IL1}
RID 4 5 {R_id}
RIC2 2 0 {R_icm}
RLIM2 2 5 0.1
D3 5 8 IDEALMOD
VIH2 8 0 {V_IH1}
D4 9 5 IDEALMOD
VIL2 9 0 {V_IL2}
GAVD/RO 0 3 4 5 {A_vd/R_o}
GAVC1/RO 0 3 4 0 {A_vc/R_o}
GAVC2/RO 0 3 5 0 {A_vc/R_o}
RO 3 0 {R_o}
```

```
D5 3 10 IDEALMOD
VOH 10 0 {VOH}
D6 11 3 IDEALMOD
VOL 11 0 {VOL}
.MODEL IDEALMOD D N = 0.001
.ENDS
```

例 6.7-4 运算放大器电压限制的举例说明

利用图 6.7-10 的宏模型，画出同相电压放大器单位增益时 v_{OUT} 随 v_{IN} 变化的关系，要求 v_{IN} 从 −15 V 变化至+15 V。运算放大器的参数是 $A_{vd}(0) = 100\,000$、$R_{id} = 1\ \text{M}\Omega$、$R_{icm} = 100\ \text{M}\Omega$、$A_{vc}(0) = 10$、$R_o = 100\ \Omega$、$V_{OH} = -V_{OL} = 10\ \text{V}$、$V_{IH1} = V_{IH2} = -V_{IL1} = -V_{IL2} = 5\ \text{V}$。

解:

输入文件如下：

```
Example 6.7-4
VIN 1 0 DC 0
XOPAMP 1 2 2 NONLINOPAMP
.SUBCKT NONLINOPAMP 1 2 3
RIC1 1 0 100MEG
RLIM1 1 4 0.1
D1 4 6 IDEALMOD
VIH1 6 0 5V
D2 7 4 IDEALMOD
VIL1 7 0 -5V
RID 4 5 1MEG
RIC2 2 0 100MEG
RLIM2 2 5 0.1
D3 5 8 IDEALMOD
VIH2 8 0 5V
D4 9 5 IDEALMOD
VIL2 9 0 -5v
GAVD/RO 0 3 4 5 1000
GAVC1/2RO 0 3 4 0 0.05
GAVC2/2RO 0 3 5 0 0.05
RO 3 0 100
D5 3 10 IDEALMOD
VOH 10 0 10V
D6 11 3 IDEALMOD
VOL 11 0 - 10V
.MODEL IDEALMOD D N = 0.0001
.ENDS
.DC VIN -15 15 0.1
.PRINT V(2)
.PROBE
.END
```

仿真的输出波形如图 6.7-11 所示。

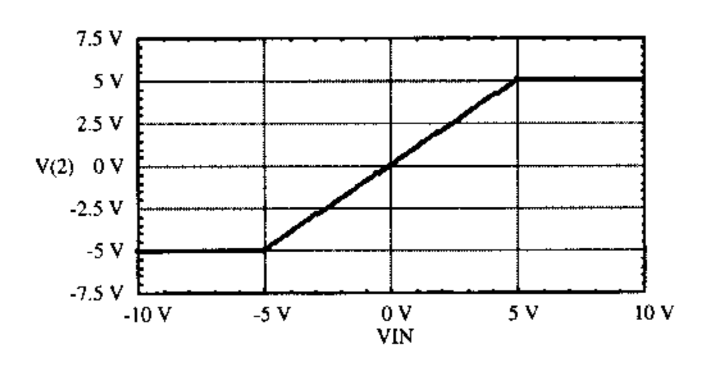


图 6.7-11 例 6.7-4 的仿真结果

图 6.7-12 的电路可以用来限制运算放大器的输出电流。当 I_o 的幅度小于 I_{Limit} 时，所有二极管由 I_{Limit} 正向偏置导通，I_o 流向输出。图中用 $0.5I_o$ 标注的电流说明了这一点。假如 I_o 是正的（源电流），当 $0.5I_o = 0.5I_{Limit}$（$I_o = I_{Limit}$）时，D_2 和 D_3 变成反偏且 I_o(源)$= I_{Limit}$。现在，假设 I_o 是负的（漏电流），当 $0.5I_o = 0.5I_{Limit}$ 时，D_1 和 D_4 反偏且 I_o(漏)$= I_{Limit}$。

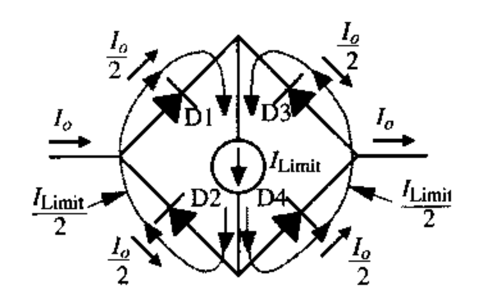


图 6.7-12 限流的宏模型

运算放大器输出电压和输出电流限制的宏模型如图 6.7-13 所示。在这个模型中我们忽略了频率响应和共模增益。当电压受到限制时，电流限制电路将限制电流输出。

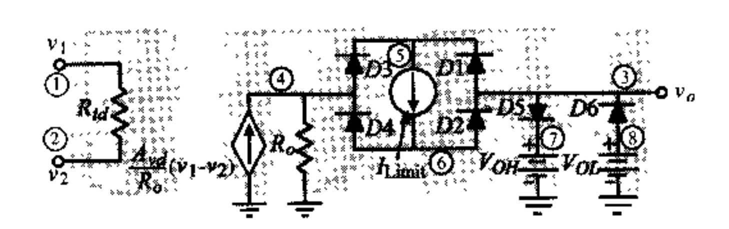


图 6.7-13 限制运算放大器输出电流和电压的宏模型

例 6.7-5 放大器电压传输曲线中电流限制的影响

利用图 6.7-13 的模型说明反相放大器电压增益传输曲线受电流限制的影响。设 $V_{OH} = -V_{OL} = 10\ \text{V}$，$V_{IH} = -V_{IL} = 10\ \text{V}$，最大输出电流是±20 mA，$R_1 = R_2 = R_L = 500\ \Omega$，这里 R_L 是输出负载电阻。此外，运算放大器是理想的。

解：

作为理想运算放大器，选择参数为：$A_{vd} = 100\,000$，$R_{id} = 1\ \text{M}\Omega$，$R_o = 100\ \Omega$，同时假设这些参数就是理想运算放大器参数。其他模型参数为：$V_{OH} = -V_{OL} = 10\ \text{V}$ 和 $I_{Limit} = \pm 20\ \text{mA}$。

仿真输入文件如下：

```
Example 6.7-5 - Influence of Current Limiting on the
* Amplifier Voltage Transfer Curve
VIN 1 0 DC 0
R1 1 2 500
R2 2 3 500
RL 3 0 500
XOPAMP 0 2 3 NONLINOPAMP
.SUBCKT NONLINOPAMP 1 2 3
RID 1 2 1MEGOHM
GAVD 0 4 1 2 1000
RO 4 0 100
D1 3 5 IDEALMOD
D2 6 3 IDEALMOD
D3 4 5 IDEALMOD
D4 6 4 IDEALMOD
ILIMIT 5 6 20MA
D5 3 7 IDEALMOD
VOH 7 0 10V
D6 8 3 IDEALMOD
VOL 8 0 -10V
.MODEL IDEALMOD D N = 0.00001
.ENDS
.DC VIN -15 15 0.1
.PRINT DC V(3)
.PROBE
.END
```

输出电压 v_3 随输入电压 v_{IN} 变化的仿真结果如图 6.7-14 所示。

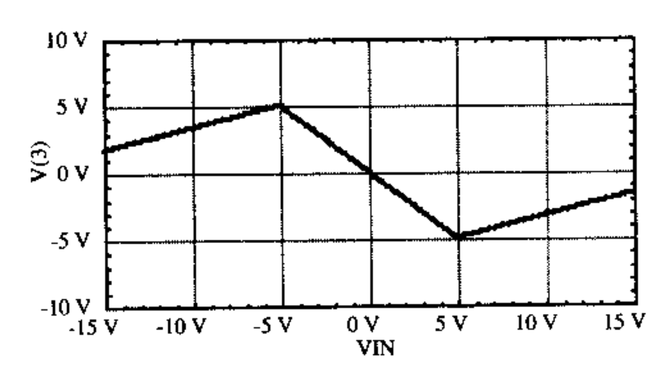


图 6.7-14　例 6.7-5 的结果

运算放大器的大信号动态宏模型

最后需要建模的大信号参数是摆率。此模型的建立依据这样一个事实：恒定电流流过电容会在电容上产生一个恒定速率变化的电压。如果我们将图 6.7-12 的限流电路插入图 6.7-4 的宏模型，与电容 C_1 串联，即可得到运算放大器摆率的模型，如图 6.7-15 所示。如果不考虑运算放大器摆率，那么电容和电阻 R_1 并联就形成一个极点。

能够流过电容 C_1 的最大电流被限制在 $\pm I_{SR}$。如果用 C_1 两端的电压 v_4-v_5 来控制输出电压，那么输出电压的变化率被限制为：

$$\frac{dv_o}{dt}=\frac{\pm I_{SR}}{C_1}=\text{摆率} \tag{6.7-7}$$

设计需要先选择 C_1 达到运算放大器极点的要求，然后确定 I_{SR} 的值来满足摆率的要求。

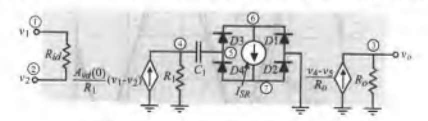


图 6.7-15　考虑摆率限制的运算放大器宏模型

例 6.7-6　同相电压放大器的摆率仿真

设同相电压放大器增益为 1，如果运算放大器的摆率是 10 V/μs，输入信号为：

$$v_{in}(t)=10\sin(4\times10^5\,\pi t)$$

通过仿真求输出电压。

解：

我们能够计算当频率为 159 kHz 时运算放大器将摆动。假设运算放大器参数为 $A_{vd}=100\,000$，$\omega_1=100$ rps，$R_{id}=1\ \mathrm{M\Omega}$，$R_o=100\ \Omega$。基于图 6.7-15 宏模型的仿真输入文件如下所示：

```
Example 6.7-6 - Simulation of slew rate limitation
VIN 1 0 SIN(0 10 200K)
XOPAMP 1 2 2 NONLINOPAMP
.SUBCKT NONLINOPAMP 1 2 3
RID 1 2 1MEGOHM
GAVD/R1 0 4 1 2 1
R1 4 0 100KOHM
C1 4 5 0.1UF
D1 0 6 IDEALMOD
D2 7 0 IDEALMOD
D3 5 6 IDEALMOD
D4 7 5 IDEALMOD
ISR 6 7 1A
GVO/RO 0 3 4 5 0.01
RO 3 0 100
.MODEL IDEALMOD D N = 0.0001
.ENDS
.TRAN 100NS 10US
.PRINT TRAN V(2) V(1)
.PROBE
.END
```

仿真结果如图 6.7-16 所示，图中将输入和输出波形绘制在一起。受摆率的影响，输出波形不等于输入波形。

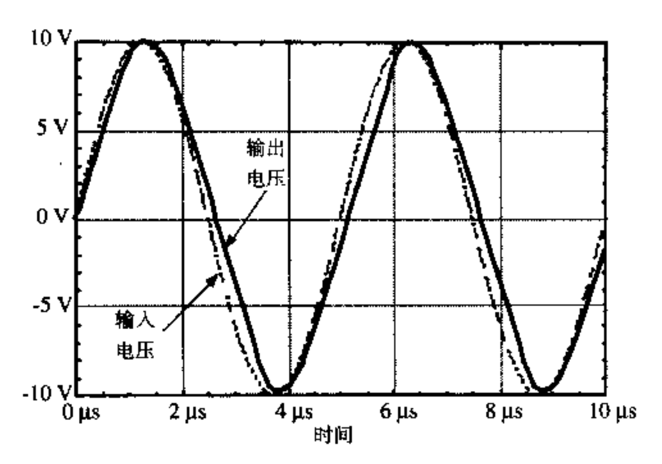


图 6.7-16 利用运算放大器摆率模型对例 6.7-6 的仿真结果

运算放大器的 SPICE 库模型

下面的模型是 PSPICE EVALIB 中的 LM324 和 uA741 运算放大器以及 LM111 电压比较器宏模型的范例。这些宏模型源自描述各部分的记录表。多数情况下比先前考虑的情况更为完整。这个运算放大器宏模型建立在室温情况下且不随温度而改变。库文件包含的是标准器件模型，不是最坏的器件模型。使用的宏模型类似于 Boyle et al.[20]的描述。

```
* connections: non-inverting input
*              | inverting input
*              | | positive power supply
*              | | | negative power supply
*              | | | | output
*              | | | | |
.subckt LM324  1 2 3 4 5
*
c1 11 12 2.887E-12
c2 6 7 30.00E-12
dc 5 53 dx
de 54 5 dx
dlp 90 91 dx
dln 92 90 dx
dp 4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb 7 99 poly(5) vb vc ve vlp vln 0 21.22E6 -20E6 20E6
+ 20E6 -20E6
ga 6 0 11 12 188.5E-6
gcm 0 6 10 99 59.61E-9
iee 3 10 dc 15.09E-6
hlim 90 0 vlim 1K
q1 11 2 13 qx
```

```
q2 12 1 14 qx
r2 6 9 100.0E3
rc1 4 11 5.305E3
rc2 4 12 5.305E3
re1 13 10 1.845E3
re2 14 10 1.845E3
ree 10 99 13.25E6
ro1 8 5 50
ro2 7 99 25
rp 3 4 9.082E3
vb 9 0 dc 0
vc 3 53 dc 1.500
ve 54 4 dc 0.65
vlim 7 8 dc 0
vlp 91 0 dc 40
vln 0 92 dc 40
.model dx d(Is = 800.0E-18 Rs = 1)
.model qx PNP(Is = 800.0E-18 Bf = 166.7)
.ends
```

```
* connections: non-inverting input
*              | inverting input
*              | | positive power supply
*              | | | negative power supply
*              | | | | output
*              | | | | |
.subckt uA741  1 2 3 4 5
*
c1 11 12 8.661E-12
c2 6 7 30.00E-12
dc 5 53 dx
de 54 5 dx
dlp 90 91 dx
dln 92 90 dx
dp 4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb 7 99 poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6
+ 10E6 -10E6
ga 6 0 11 12 188.5E-6
gcm 0 6 10 99 5.961E-9
iee 10 4 dc 15.16E-6
hlim 90 0 vlim 1K
q1 11 2 13 qx
q2 12 1 14 qx
r2 6 9 100.0E3
rc1 3 11 5.305E3
rc2 3 12 5.305E3
re1 13 10 1.836E3
re2 14 10 1.836E3
ree 10 99 13.19E6
ro1 8 5 50
```

```
ro2 7 99 100
rp 3 4 18.16E3
vb 9 0 dc 0
vc 3 53 dc 1
ve 54 4 dc 1
vlim 7 8 dc 0
vlp 91 0 dc 40
vln 0 92 dc 40
.model dx D(Is = 800.0E-18 Rs = 1)
.model qx NPN(Is = 800.0E-18 Bf = 93.75)
.ends
```

LM11 电压比较器的宏模型示例如下。比较器的库参数也是源自记录表。所用的宏模型是 MicroSim 公司在 PSPICE 中用“Parts”选项发展起来的。比较器为室温建模，不随温度变化。库文件包含的是标准器件模型，不是最坏的器件模型。复制比较器行为的细节可以在 Getreu et al.[21] 中找到。

```
* connections: non-inverting input
*              | inverting input
*              | | positive power supply
*              | | | negative power supply
*              | | | | open collector output
*              | | | | | output ground
*              | | | | | |
.subckt LM111  1 2 3 4 5 6
*
f1 9 3 vl 1
iee 3 7 dc 100.0E-6
vi1 21 1 dc .45
vi2 22 2 dc .45
q1 9 21 7 qin
q2 8 22 7 qin
q3 9 8 4 qmo
q4 8 8 4 qmi
.model qin PNP(Is = 800.0E-18 Bf = 833.3)
.model qmi NPN(Is = 800.0E-18 Bf = 1002)
.model qmo NPN(Is = 800.0E-18 Bf = 1000 Cjc = 1E-15 Tr =
+ 118.8E-9)
e1 10 6 9 4 1
vl 10 11 dc 0
q5 5 11 6 qoc
.model qoc NPN(Is = 800.0E-18 BF = 34.49E3 Cjc = 1E-15
+ Tf = 364.6E-12 Tr = 79.34E-9)
dp 4 3 dx
rp 3 4 6.122E3
.model dx D(Is = 800.0E-18 Rs = 1)
*
.ends
```

本节说明了如何在 SPICE 中用宏模型来验证运算放大器电路的性能。举例说明的方法构成了

运算放大器宏模型的基本概念，且可按照读者的意愿加以扩展。在某种程度上，运算放大器宏模型与运算放大器的实现无关。例如，本节讨论的宏模型对由 BJT 和 MOSFET 实现的运算放大器都适用，原因是宏模型考虑的是运算放大器性能的建模。多数情况下不同方法实现的运算放大器有相同的性能。

本节的要点总结如下：

- 用最简单的运算放大器宏模型做特定的仿真
- 所有情况相同时，选用节点最少的宏模型
- 用 SPICE 的 SUBCKT 功能来重复使用宏模型
- 使用前要确定宏模型的正确性
- 宏模型是一种既保证仿真的完备性又可减少仿真时间的好方法

6.8 小结

本章讨论了无缓冲 CMOS 运算放大器的设计、仿真和测试等问题。通常，设计运算放大器时考虑的首要问题是建立一个对工艺不敏感的直流环境，从而产生了器件比的定义和建立器件比之间的约束。然后选择直流电流值以达到交流性能，并确定了其余器件比。为了得到满意的频率响应，要对约束条件做进一步修改。这个设计简单 CMOS 运算放大器的过程看来非常简单。同时，推演了确保满足多数指标要求的两级 CMOS 运算放大器的初步设计过程。

运算放大器的一个重要性能是稳定性，主要体现在相位裕量上。本章讨论了几种补偿方法，利用这些方法可以使设计者即使在大电容负载时也能得到不错的相位裕量。运算放大器的稳定性对脉冲响应的建立时间也十分重要。利用米勒（Miller）补偿极点分离的方法与调零电阻一起抵消右半平面零点的影响是十分令人满意的方法。

6.3 节和 6.4 节的 CMOS 运算放大器设计给出了两级运算放大器或共源共栅运算放大器的初步设计。两级运算放大器给出了满足多数典型应用的性能要求。6.3 节的共源共栅结构可改进两级运算放大器的一些性能，例如增益、稳定性和电源抑制比（PSRR）等。如果运算放大器中所有的内部节点都是低阻抗的，那么在输出端并联一个到地的电容就可以达到补偿的目的。这种结构对大电容负载是自补偿的。虽然共源共栅运算放大器的输出电阻较大，但如果运算放大器驱动容性负载，那就完全没有问题了。

6.3 节和 6.4 节说明了设计者如何获得运算放大器性能的近似值。但是，还必须对运算放大器进行性能仿真和优化，检查并确保设计没有错误。优化设计意味着改变工艺参数，确保在给定工艺参数发生变化的条件下运算放大器仍可以达到指标要求。最后，完成制造后必须测试运算放大器的性能。所以，提出了适用于 CMOS 运算放大器的仿真和测试技术。此外，在 6.6 节中说明了如何建立一个更高层次的运算放大器模型，即“宏模型”，从而使仿真更有效。

本章提出了设计适用于大输出电阻运算放大器的原理和过程，这些信息是改进运算放大器性能的基础。运算放大器性能的提高将在下一章考虑。

习题

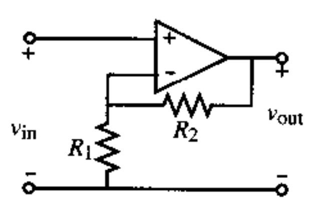


图 P6.1-1

6.1-1 用虚短接概念来求图 P6.1-1 中同相电压放大器的电压传递

函数。

6.1-2 假设输出通过负反馈回到输入，试说明当运算放大器电压增益达到无穷时，差分输入就成为虚短接端口。

6.1-3 试说明图 6.1-5 中设制受控源为 v_1/CMRR 其实是运算放大器共模行为的一个适当的模型。

6.1-4 试说明如何将运算放大器的 PSRR 影响加到图 6.1-5 所示运算放大器的非理想情况中去。

6.1-5 用两个分立的电流镜代替图 6.1-8 中的电流镜负载并说明怎样在输出级组合这些电流以得到推挽输出。怎样增加该结构的增益从而达到两级运算放大器的水平。

6.1-6 用电流镜负载替换图6.1-9中的 $I\rightarrow I$ 级，试说明如何增加该结构的增益从而达到两级运算放大器的水平。

6.2-1 试从传递函数式（6.2-9）中推导出式（6.2-10）中的主极点及式（6.2-11）中的输出极点表达式。

6.2-2 图6.2-7用渐近波特图示出了运算放大器加补偿前后的区别，试在实际频率响应曲线上求出相位裕量的近似值。

6.2-3 推导式（6.2-17）中增益带宽积（GB）的关系。

6.2-4 对于有两个极点和一个右半平面零点的运算放大器模型，试证明如果零点大于增益带宽积（GB）的 10 倍，为获得 45°的相位裕量，第二极点必须高于 1.22 倍增益带宽积（GB）。

6.2-5 对于一个三极无零运算放大器模型，试证明如果最高极点是 10 倍的 GB，为获得 60°的相位裕量，第二极点必须至少为 2.2 倍的 GB 值。

6.2-6 由式（6.2-40）推导式（6.2-37）给定的关系。

6.2-7 用物理概念解释为什么右半平面零点会出现在图 6.2-8 所示的采用米勒补偿的运算放大器中。并解释为什么右半平面零点对 CMOS 运算放大器的影响大于 BJT 运算放大器。

6.2-8 一个两级米勒补偿 CMOS 运算放大器有一个右半平面位于 20 倍 GB 的零点、一个由于米勒补偿产生的主极点、第二极点为 p_2，还有一个 $-3GB$ 的极点，试求：

（a）如果 GB 是 1 MHz，对应于 45°相位裕量的 p_2 值；

（b）假设（a）中的 $|p_2|=2GB$，用调零电阻抵消 p_2，$GB=1$ MHz，此时的相位裕量；

（c）用（b）的条件，设 C_L 增加到原来的 4 倍，求相位裕量。

6.2-9 推导式（6.2-56）。

6.2-10 在图 6.2-8 所示的两级运算放大器电路中，已知 $GB=1$ MHz，$|p_2|=5\ GB$，$z=3\ GB$，$C_L=C_2=20$ pF，采用表 3.1-2 中的参数值，设 M5 中的偏置电流是 40 μA、M7 中是 320 μA，只考虑两极点的运算放大器模型，试求 W_1/L_1、W_6/L_6 和 C_c。

6.2-11 在图 6.2-14 中，假设 $R_I=150\ \text{k}\Omega$，$R_{II}=100\ \text{k}\Omega$，$g_{mII}=500\ \mu\text{S}$，$C_I=1$ pF，$C_{II}=5$ pF，$C_c=30$ pF。求 R_z 的值和以下情况的极零点位置：（a）零点被移至无穷远；（b）零点抵消了第二极点。

6.3-1 用大信号模型参数和未在这里出现的漏极电流的直流值，表述式（6.3-1）~式（6.3-9）给定的所有关系。

6.3-2 推导表 6.3-2 中第 5 步给出的关系式。

6.3-3 试说明图 6.3-1 中 W/L 比之间的关系，它保证 $V_{SG4}=V_{SG6}$，由 $\frac{S_6}{S_4}=2\frac{S_7}{S_5}$ 给定，其中 $S_i=\frac{W_i}{L_i}$。

6.3-4 画一个类似图 6.3-1 的运算放大器草图，用 p 沟道输入器件。设每个电路的偏置电流都相同，列出所有这两个电路可能不同的特征，并说明其优劣程度（如果可能）。

6.3-5 用例 6.3-1 设计的运算放大器，假设输入晶体管 M1 和 M2 的体都接至−2.5 V。这将会如何

影响例 6.3-1 的运算放大器性能。使用例 6.3-1 的 W/L 值。只要性能有改变，求出新值并与旧值比较。

6.3-6　将例 6.3-1 的电路改成 p 沟道输入的两级运算放大器。两级电流分别与例 6.3-1 相同，重复例 6.3-1 的计算。

6.3-7　p 沟道输入 CMOS 运算放大器电路如图 P6.3-7 所示，负载电容 $C_L = 20$ pF，计算其开环时的低频差模增益、输出电阻、功耗、直流电源抑制比、输入共模范围、输出电压摆幅、摆率、共模抑制比和单位增益带宽。采用表 3.1-2 的模型参数。设计 M9 和 M10 的 W/L 比，给出 $1/g_{m6}$ 的电阻，使用 SPICE 仿真程序求出相位裕量，并求出空载和有 20 pF 负载时 1% 的建立时间。

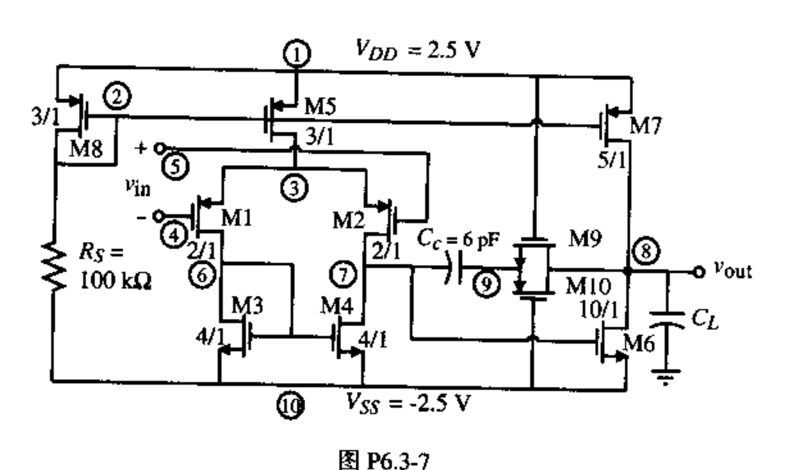


图 P6.3-7

6.3-8　设计图 P6.3-8 所示 CMOS 运算放大器电路中每只管子的 W 和 L 值以达到 4000 的差模增益值。设 $K'_N = 110\ \mu A/V^2$，$K'_P = 50\mu A/V^2$，$V_{TN} = -V_{TP} = 0.7$ V，$\lambda_N = \lambda_P = 0.01V^{-1}$，最小器件尺寸为 2 μm，选择最小可能的器件。设计 R_z 和 C_c 值得到 $GB = 1$ MHz 和抵消右半平面零点的结果，此运算放大器能够驱动多大的负载电容而且不减小相位裕量？运算放大器的摆率是多少？设 $V_{DD} = -V_{SS} = 2.5$ V，R_B=100 kΩ。

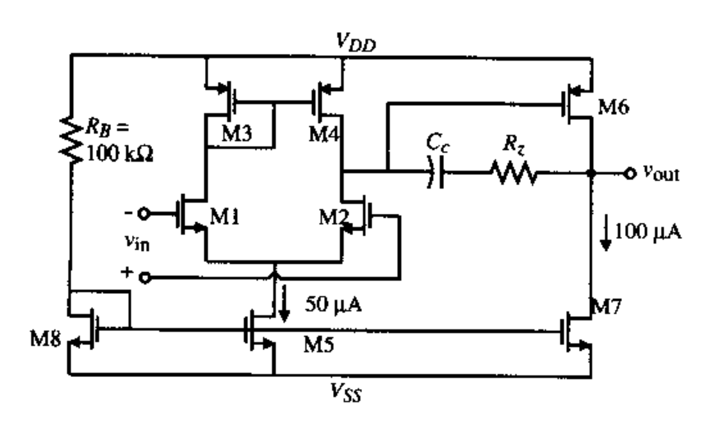


图 P6.3-8

6.3-9　用上题所给的电学模型参数设计图P6.3-8中的如下参数：W_3、L_3、W_4、L_4、W_5、L_5、C_c 和 R_z，要求直流电流增加到原来的 2 倍，并使 $W_1 = L_1 = W_2 = L_2 = 2$ μm 获得一个 5000 的低频

差模增益，1 MHz 的 *GB* 值。所有器件在正常工作条件下都应该处于饱和状态，而且 RHP 的影响可以被抵消。求这个运算放大器可以驱动多大的容性负载且不减小相位裕量和运算放大器的摆率。

6.3-10 运算放大器电路如图 P6.3-10 所示，设所有管子都工作在饱和区，试求：

（a）I_5、I_7和I_8的直流值；

（b）低频差模电压增益 $A_{vd}(0)$；

（c）*GB* 值（单位为 Hz）；

（d）正、负摆率；

（e）功耗；

（f）设开环单位增益是 1 MHz，求此时的相位裕量。

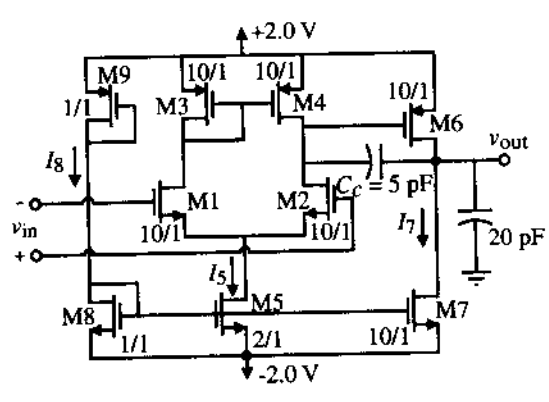


图 P6.3-10

6.3-11 简单 CMOS 运算放大器电路如图 P6.3-11 所示。采用下面的模型参数：

$K_N = 24\mu A/V^2$，$K'_P = 8\mu A/V^2$，$V_{TN} = -V_{TP} = 0.75$ V，$\lambda_N = 0.01\ V^{-1}$，$\lambda_P = 0.02\ V^{-1}$

试求：小信号差模电压增益 v_{out}/v_{in}、输出电阻 R_{out}、主极点 p_1、单位增益带宽 *GB*、摆率 *SR* 和直流功耗。

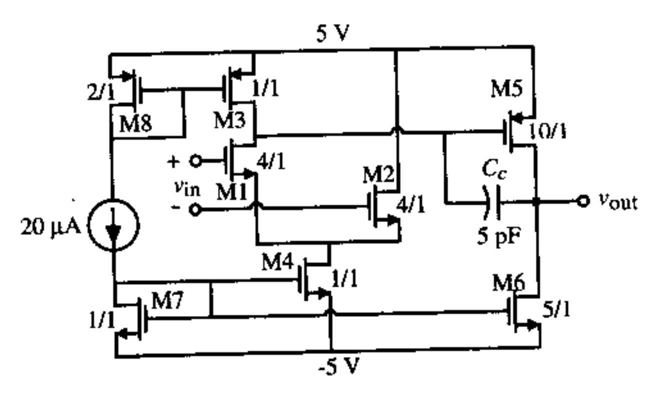


图 P6.3-11

6.3-12 在对数坐标中，纵轴范围为 10^{-3}~10^{+3}，横轴范围为 1~100 μA，画出标准两级 CMOS 运算放大器的低频增益 $A_v(0)$、单位增益带宽 *GB*、功耗 P_{diss}、摆率 *SR*、输出电阻 R_{out}、主极点 $|p_1|$的值和右半平面零点 *z* 的值作为 I_B 函数的变化曲线及所有参数均规格化至 I_B=1 μA 时的相应值（I_B 从 1 μA 变化到 100 μA）。假设 M5 的电流是 k_1I_B，输出电流（M6）是 k_2I_B。

6.3-13 用类似于式（6.3-32）的表示形式推导图 P6.3-13 中 M6A 管的 W/L，要求产生的 RHP 零点能抵消输出极点。用图P6.3-13的电路图和例 6.3-1 中 MOS 管的参数值，重复例 6.3-2 的计算。

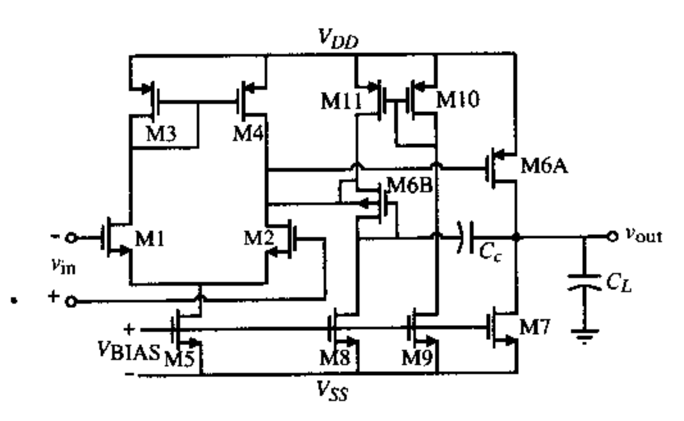


图 P6.3-13 用 MOS 二极管来实现调零电阻

6.3-14 用 5.2 节提到的观察法计算图 6.3-1 中两级运算放大器的小信号差模电压增益。

6.3-15 低电压 1.5 V 供电的 CMOS 运算放大器如图 P6.3-15 所示。所有器件沟道长度都是 1 μm，工作在饱和区。设计运算放大器每个管子的 W 值以达到以下要求：

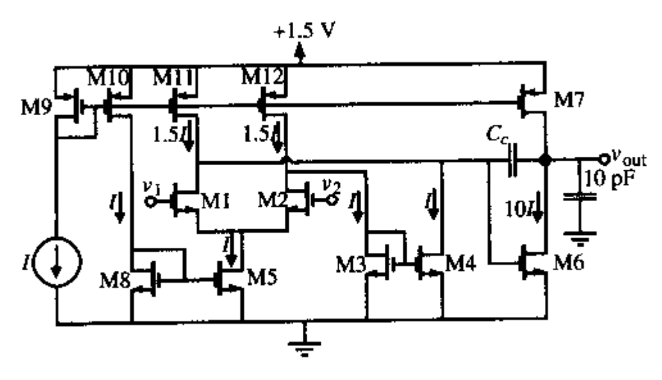


图 P6.3-15

摆率 = ±10 V/μs	V_{out}(最大) =1.25 V	V_{out}(最小) = 0.75 V
V_{ic} (最小) = 1 V	V_{ic} (最大) = 2 V	GB =10 MHz
当输出极点 = 2GB 和右半平面零点 = 10 GB 时，相位裕量 = 60°		
保持镜像极点 ≥ 10GB（C_{ox} = 0.5 fF/μm^2）		

设计必须满足甚至超过这些要求。这里忽略体效应，以微米为单位四舍五入总结 W 值并把其结果、C_c(pF)和 I (μA)填入下表。设计中采用下面的模型参数：

$K'_N = 24\ \mu A/V^2$，$K'_P = 8\ \mu A/V^2$，$V_{TN} = -V_{TP} = 0.75$ V，$\lambda_N = 0.01\ V^{-1}$，$\lambda_P = 0.02\ V^{-1}$。

C_c	I	W1=W2	W3=W4	W5=W8	W6	W7	W9=W10	W11=W12	P_{diss}

6.3-16 图 P6.3-16 中 CMOS 运算放大器已被设计、制造和测试。工作状况良好，除了用在单位增

益结构输出±1.5 V 的峰值时在其正弦正峰值处会出现振荡，如图中所示。试解释这是什么原因引起的？怎样才能解决这一问题？假设电参数为 $V_{TN}=-V_{TP}=0.7$ V，$K'_N=28\mu A/V^2$，$K'_P=8\mu A/V^2$，$\lambda_N=\lambda_P=0.01\ V^{-1}$，$\gamma_N=0.35V^{1/2}$，$\gamma_N=0.9V^{1/2}$，$2|\phi_F|=0.5$ V。

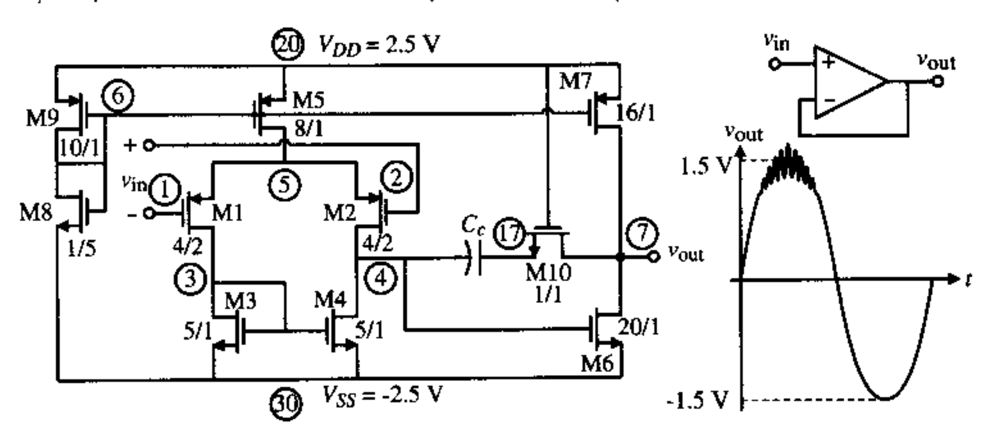


图 P6.3-16

6.4-1 试画出例 6.3-1 设计的两级运算放大器的 PSRR⁺和 PSRR⁻频率响应渐近波特图。

6.4-2 求图 P6.3-10 所示两级运算放大器的低频 PSRR 和正、负电源抑制比性能的所有极零点。

6.4-3 如果使用图 6.2-16（a）中的米勒补偿电路，试再分析图 6.4-2 的正电源抑制比，将结果中的低频幅度及所有极零点与图 6.4-2 中正 PSRR 情况进行比较。

6.4-4 在图 P6.4-4 所示的电路中，求 v_{out}/v_{ground}，确定低频增益和极零点。这表明交流地的扰动会影响两级运算放大器的噪声性能。

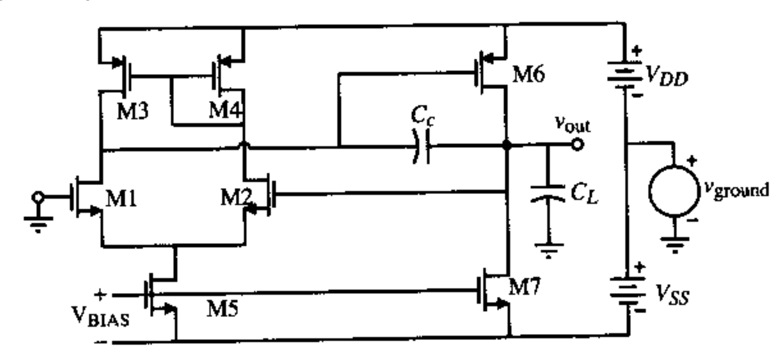


图 P6.4-4

6.4-5 p 沟道输入的两级运算放大器电路如图 P6.4-5 所示，重复图 6.4-2 和图 6.4-4 的分析。

6.5-1 在图 6.5-1（a）电路中，设 M1 和 M2 中的电流是 50 μA，NMOS 管的 W/L 值是 10，PMOS 管的是 5。求 V_{BIAS} 的值，使 M1 和 M2 的源漏间电压等于 V_{ds}(饱和)。设计 R 的值保持 M3 和 M4 的源漏电压等于 V_{sd}(饱和)。求图 6.5-1（a）的小信号电压增益 v_{o1}/v_{in} 的表达式。

6.5-2 在图 6.5-1（b）所示的电路中，如果 M1、M2、MC1 和 MC2 的 W/L 值是 10，M1 和 M2 中的电流是 50μA，求 MB1~MB5 的 W/L 值，使 M1 和 M2 的漏源电压等于 V_{ds}(饱和)。设 MB3 = MB4，MB5 的电流是 5 μA。求 M5 的电流。

6.5-3 在图 6.5-1（a）所示的电路中，假设输出未接负载电容，求从 MC2 和 MC4 的源极看进去的交流对地的小信号阻抗。假设这些节点的对地电容都是 0.2 pF。求 MC3 和 MC4 源极的

极点值。如果输出负载电容是10 pF，重复上述计算。

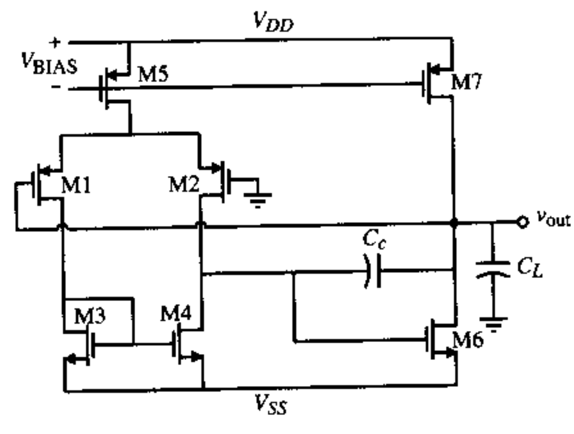


图 P6.4-5

6.5-4 对例6.5-1，再次计算增益达10 000时的 W_1 和 W_2 值。

6.5-5 求图6.5-1(a)电路的差模电压增益，假设输出取自MC2和MC4的漏极，令 $W_1/L_1 = W_2/L_2 = 10\mu m/1\mu m$, $W_{C1}/L_{C1} = W_{C2}/L_{C2} = W_{C3}/L_{C3} = W_{C4}/L_{C4} = 1\mu m/1\mu m$, $W_3/L_3 = W_4/L_4 = 1\mu m/1\mu m$, $I_5 = 100\ \mu A$。使用表3.1-2中的模型参数，忽略体效应。

6.5-6 讨论图6.5-2电路中M6栅极处极点对运算放大器米勒补偿的影响。绘制 C_c 由0变化到补偿值时的近似根轨迹图。

6.5-7 在图6.5-3所示的两级运算放大器电路中，第二级采用共源共栅放大器，试证明式(6.5-4)~式(6.5-8)。如果第二级的偏置电流是50 μA，$W_6/L_6 = W_{C6}/L_{C6} = W_{C7}/L_{C7} = W_7/L_7 = 1\ \mu m/1\ \mu m$，使用表3.1-2中的参数求运算放大器的输出电阻。

6.5-8 在图6.5-4所示的电路中，令M3 = M4 = M6 = M8，M9 = M10 = M11 = M12，证明式(6.5-9)~式(6.5-11)，给出全差模电压增益表达式。

6.5-9 内部补偿的共源共栅运算放大器电路如图P6.5-9所示。(a)试推导输入共模范围的表达式。(b)当 $I_{BIAS} = 80\ \mu A$，ICMR为−3.5~3.5 V时，求 W_1/L_1、W_2/L_2、W_3/L_2 和 W_4/L_4 的值。令 $K'_N = 25\ \mu A/V^2$，$K'_P = 11\ \mu A/V^2$，$|V_T| = 0.8–1.0\ V$。

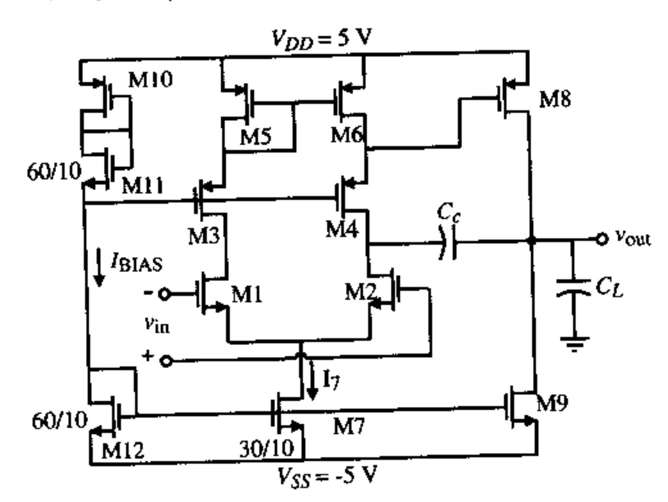


图 P6.5-9

6.5-10 电路如图 P6.5-9 所示，求小信号差模电压增益和共源共栅电路的输出电阻表达式。

6.5-11 当实际值为 $S_3=S_4=40$ 时，验证例 6.5-2（第 6 步）中输入共模范围的上限。

6.5-12 如果差分输入对管是 PMOS 管（亦即所有的 NMOS 管都换成 PMOS 管，而 PMOS 管换成 NMOS 管，同时电源电压也反过来），重复例 6.5-2。

6.5-13 图 P6.5-13 所示的电路为 5 V 电源供电的 CMOS 运算放大器电路。所有管子的沟道长度均为 1 μm，要求管子都工作在饱和区，设计 W 值，达到以下指标要求：

摆率 = ±10 V/μs	V_{out}(最大) = 4V	V_{out}(最小) = 1 V
V_{ic}(最小) = 1.5 V	V_{ic}(最大) = 4 V	GB = 10 MHz

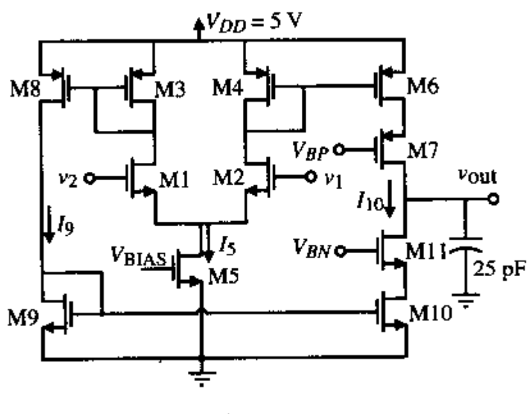


图 P6.5-13

设计应该达到或超过这些指标。忽略体效应，并将结果填入下表，包括：以微米为单位四舍五入的 W 值、偏置电流 I_5(μA)、功耗、差模电压增益 A_{vd}、V_{BP} 和 V_{BN}。

W1=W2	W3=W4=W6=W7=W8	W9=W10=W11	W5	I_5(μA)	A_{vd}	V_{BP}	V_{BN}	P_{diss}

6.5-14 如果差分输入对管是 PMOS 管（亦即所有的 NMOS 管都换成 PMOS 管，而 PMOS 管换成 NMOS 管，同时电源电压也反过来），重复例 6.5-3。

6.5-15 运算放大器电路如图 P6.5-15 所示。已知所有器件的沟道长度都是 1 μm，摆率是±10 V/μs，GB 是 10 MHz，最大输出电压是+2 V，最小输出电压是−2 V，输入共模范围是−1~+2 V。设计所有管子的 W 值。设计必须满足或超过这些指标。当计算最大或最小输出电压时，串联晶体管上的电压应等分。忽略体效应。完成设计后，再求小信号差模电压增益 $A_{vd}=v_{out}/v_{id}$（这里 $v_{id}=v_1-v_2$）和小信号输出电阻 R_{out}。

6.5-16 在图 P6.5-15 所示的电路中，从 M6 和 M7 的源极看进去的小信号阻抗将不同，这是根据第 5 章所学的共源共栅放大器的原理。假设节点（M6 和 M7 的源极）电容都相同，试判断这些极点对小信号差模频率响应的影响。

6.6-1 在图 6.6-1 中，如果开环增益为 5000 V/V，电源电压是±2.5 V，试求在测量开环响应之前多大的失调电压将会使此方法不适用？

6.6-2 推导图 6.6-2（a）中的闭环频率响应，验证图 6.6-2（b）中的幅率响应渐近波特图。画出

图 6.6-2（a）的闭环幅频响应波特图，已知低频增益是 4000 V/V，$GB=1$ MHz，$R=10$ MΩ，$C=10$ μF。

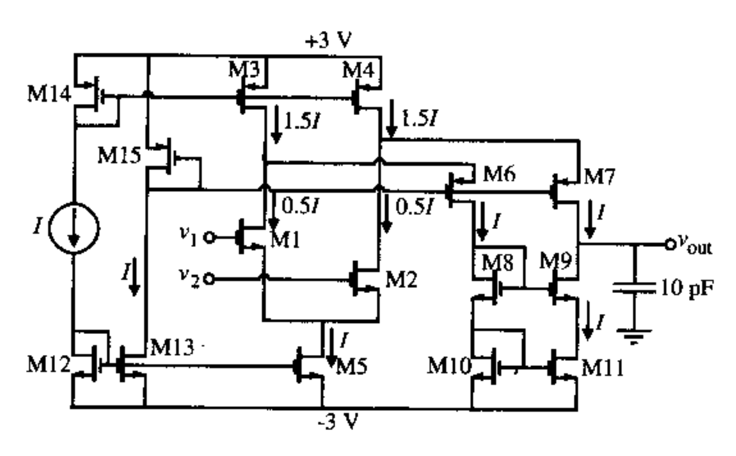


图 P6.5-15

6.6-3　为测试运算放大器的开环频率响应，说明应如何修改图 6.6-6 并说明测试过程。

6.6-4　证明式（6.6-1）和式（6.6-2）所给的关系式。

6.6-5　画出适合仿真以下运算放大器特性的电路结构图：（a）摆率；（b）瞬态响应；（c）ICMR；（d）输出电压摆幅。重复上述运算放大器特性的测试。有什么变化？为什么？

6.6-6　用两个同样的运算放大器，说明如何使用 SPICE 来得到一个电压，该电压正比于 CMRR，而不是 6.6 节中那种反比关系。

6.6-7　对 PSRR 重复习题 6.6-6。

6.6-8　用 SPICE 仿真例 6.5-2 的运算放大器，考虑 20 pF 的负载电容，用表 3.1-2 中的模型参数仿真以下特性：差模频率响应、功耗、相位裕量、输入共模范围、输出电压范围、摆率和建立时间。

6.6-9　用 SPICE 仿真例 6.5-3 的运算放大器，考虑 20 pF 的负载电容，用表 3.1-2 中的模型仿真以下特性：差模频率响应、功耗、相位裕量、输入共模范围、输出电压范围、摆率和建立时间。

6.6-10　图 P6.6-10 所示为一种仿真运算放大器 CMRR 的可行方案。求 v_{out}/V_{cm} 的值，并证明它近似等于 1/CMRR。在这个电路的实现中，可能会出现什么问题？

图 P6.6-10

6.6-11　试解释图 6.6-20（b）中运算放大器仿真的正阶跃响应过冲为什么小于负阶跃响应的过冲。采用例 6.3-1 中的值和表 6.6-1 及表 6.6-3 的信息。

6.7-1　为图 6.1-2 所示的运算放大器建立一个宏模型，要求为低频增益 $A_v(0)$、单位增益带宽 GB、输出电阻 R_{out} 和输出电压限制 V_{OH} 和 V_{OL} 建模。宏模型应该与 SPICE 兼容，而且应该只包括电阻、电容、受控源、独立电源和二极管。

6.7-2　为图 6.1-2 所示的运算放大器建立一个宏模型，要求为低频增益 $A_v(0)$，单位增益带宽 GB、输出电阻 R_{out} 和摆率 SR 建模。宏模型应该与 SPICE 兼容，而且应该只包括电阻、电容、受控源、独立电源和二极管。

6.7-3 为图 P6.7-3 建立一个运算放大器宏模型，要求有以下性能：

(a) $$A_{vd}(s)=\frac{A_{vd}(0)\left(\frac{s}{z_1}-1\right)}{\left(\frac{s}{p_1}+1\right)\left(\frac{s}{p_2}+1\right)}$$

其中，$A_{vd}(0)=10^4$，$z_1=10^6\,\text{rad/s}$，$p_1=10^2\,\text{rad/s}$，$p_2=10^7\,\text{rad/s}$；

(b) $R_{id}=1\ \text{M}\Omega$；

(c) $R_o=100\ \Omega$；

(d) $\text{CMRR}(0)=80\ \text{dB}$。

画出宏模型的示意图，确定定义模型参数 $A_{vd}(0)$、z_1、p_1、p_2、R_{id}、R_o 和 CMRR(0)的元件。宏模型应该有最少的节点数。

6.7-4 为图 P6.7-4 的差分电流放大器建立一个适合于 SPICE 的宏模型，要求满足以下性能：

$$i_{\text{OUT}}=A_i(s)[i_1-i_2]$$

其中

$$A_i(s)=\frac{\boldsymbol{GB}}{s+\boldsymbol{\omega_a}}=\frac{10^6}{s+100}$$

$$\boldsymbol{R_{\text{in1}}}=\boldsymbol{R_{\text{in2}}}=10\ \Omega$$

$$\boldsymbol{R_{\text{out}}}=100\ \text{k}\Omega$$

和

$$\textbf{Max}|\boldsymbol{di_{\text{OUT}}/dt}|=10\ \text{A}/\mu\text{s}$$

宏模型可以只用无源元件、独立和受控源、二极管（即没有开关）。画出宏模型的示意图，给出每个元器件与宏模型参数的关系（参数用粗体），要求用尽可能少的节点。

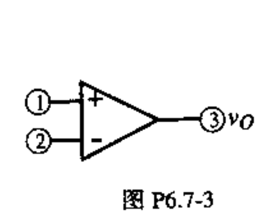


图 P6.7-3

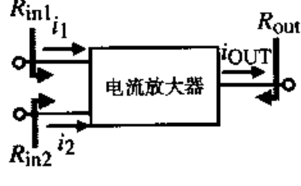


图 P6.7-4

参考文献

1. H. J. Carlin, "Singular Network Elements," *IEEE Trans. Circuit Theory,* Vol. CT-11, pp. 66–72, Mar. 1964.
2. A. S. Sedra and K. C. Smith, *Microelectronic Circuits,* 3rd ed. New York: Oxford University Press, 1991.
3. Y. P. Tsividis and P. R. Gray, "An Integrated NMOS Operational Amplifier with Internal Compensation," *IEEE J. Solid-State Circuits,* Vol. SC-11, No. 6, pp. 748–753, Dec. 1976.
4. W. J. Parrish, "An Ion Implanted CMOS Amplifier for High Performance Active Fitters," Ph.D. Dissertation, Univ. of Calif., Santa Barbara, 1976.
5. B. K. Ahuja, "An Improved Frequency Compensation Technique for CMOS Operational Amplifiers," *IEEE J. Solid-State Circuits,* Vol. SC-18, No. 6, pp. 629–633, Dec. 1983.
6. W. C. Black, D. J. Allstot and R. A. Reed, "A High Performance Low Power CMOS Channel Filter," *IEEE J. Solid-State Circuits,* Vol. SC-15, No. 6, pp. 929–938, Dec. 1980.

7. M. C. Jeng, "Design and Modeling of Deep-Submicrometer MOSFETs," ERL Memorandum ERL M90/90, University of California, Berkeley, 1990.
8. Y. Cheng and C. Hu, *MOSFET Modeling & BSIM3 User's Guide*. Norwell, MA: Kluwer Academic Publishers, 1999.
9. D. K. Su, M. J. Loinaz, S. Masui, and B. A. Wooley, "Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal IC's, *J. Solid-State Circuits*, Vol. 28, No. 4, pp. 420–430, Apr. 1993.
10. K. M. Fukuda, T. Anbo, T. Tsukada, T. Matsuura, and M. Hotta, "Voltage-Comparator-Based Measurement of Equivalently Sampled Substrate Noise Waveforms in Mixed-Signal ICs," *J. Solid-State Circuits*, Vol. 31, No. 5, pp. 726–731, May 1996.
11. Alan Hastings, *The Art of Analog Layout*. UpperSaddle River, NJ.: Prentice-Hall, Inc., 2001.
12. D. B. Ribner and M. A. Copeland, "Design Techniques for Cascode CMOS Op Amps with Improved PSRR and Common-Mode Input Range," *IEEE J. Solid-State Circuits*, Vol. SC-19, No. 6, pp. 919–925, Dec. 1984.
13. S. Masuda, Y. Kitamura, S. Ohya, and M. Kikuchi, "CMOS Sampled Differential, Push–Pull Cascode Operational Amplifier," *Proceedings of the 1984 International Conference on Circuits and Systems*, Montreal, Canada, May 1984, pp. 1211–1214.
14. G. G. Miler, "Test Procedures for Operational Amplifiers," Application Note 508, *Harris Linear & Data Acquisition Products*, 1977. Harris Semiconductor Corporation, Box 883, Melbourne, FL 32901.
15. W. G. Jung, *IC Op Amp Cookbook*. Indianapolis, IN: Howard W. Sams, 1974.
16. J. G. Graeme, G. E. Tobey, and L. P. Huelsman, *Operational Amplifiers—Design and Applications*. New York: McGraw-Hill, 1974.
17. W. M. C. Sansen, M. Steyaert, and P. J. V. Vandeloo, "Measurement of Operational Amplifier Characteristics in the Frequency Domain," *IEEE Trans. Instrum. Meas.*, Vol. IM-34, No. 1, pp. 59–64, Mar. 1985.
18. A. Connelly and P. Choi, *Macromodeling with SPICE* Englewood Cliffs, NJ.: Prentice-Hall, Inc., 1992.
19. *PSPICE Manual*. MicroSim Corporation, 20 Fairbanks, Irvine, CA 92718.
20. G. Boyle, B. Cohn, D. Pederson, and J. Solomon, "Macromodeling of Integrated Circuit Operational Amplifiers," *IEEE J. Solid-State Circuits*, Vol. SC-9, No. 6, 353–364 Dec. 1974.
21. I. Getreu, A. Hadiwidjaja, and J. Brinch, "An Integrated-Circuit Comparator Macromodel," *IEEE J. Solid-State Circuits*, Vol. SC-11, No. 6, pp. X–X, 826–833 Dec. 1976.

第7章　高性能CMOS运算放大器

在上一章中，我们着眼于研究与 CMOS 运算放大器设计有关的原理，介绍了通用无缓冲CMOS运算放大器的分析与设计。但是在许多应用中，无缓冲CMOS运算放大器的性能不能满足需要。本章将讨论性能经过改进的CMOS运算放大器。这些运算放大器将满足大多数设计的性能要求。

需要改进的性能一般包括更小的输出电阻、更大的输出信号摆幅、更高的转换速率、更大的增益带宽、更小的噪声、更低的功耗以及更小的输入失调电压。当然，这些特性不可能同时被满足。在很多情况下，仅仅采用图7.1-1所示的缓冲器就可以达到要求的性能。本章将讨论提高无缓冲CMOS运算放大器性能的一些缓冲器。

本章的第一个主题是减小运算放大器的输出电阻，以便驱动电阻性负载。这样的运算放大器被称为缓冲运算放大器。第一种方法是在源极跟随器中使用MOSFET来获得较低的输出电阻。众所周知，在不采用负反馈的情况下，最低的输出电阻为$1/g_m$。第二种方法是采用负反馈以获得10 Ω左右的输出电阻。遗憾的是，存在着两个问题。其一，增加了第三级并意味着需要补偿。其二，输出级偏置电流的控制。第三种方法是使用BJT作为源极跟随器来实现缓冲运算放大器。这将产生50 Ω左右的输出电阻，但是存在不对称的缺点，这是由于NPN和PNP双极型晶体管不可能同时得到。

本章的第二个主题是扩展运算放大器的频率特性。我们首先介绍两级运算放大器的基本频率极限。这个极限是输入电压转化为电流的跨导与决定主极点的电容的比值。我们将说明如何优化不同类型运算放大器的频率特性。第二种方法是使用开关运算放大器。这种方法用充电电容取代偏置电路，从而降低了寄生效应，提高了运算放大器的频率特性。可是这种方法还是受到了基本频率极限的限制。由于电流反馈将不会受到基本极限g_m/C的限制，因此第三种方法考虑电流反馈运算放大器，并给出一个GB超过500 MHz的运算放大器设计。第四种方法是采用并行通路的运算放大器。这种方法是将一个高增益、低频通路和一个低增益、高频通路组合在一起以获得大的带宽。

本章的第三个主题是差分输出运算放大器，并提醒读者注意差分信号处理在实现运算放大器时的重要性。阐述了如何实现差模输出和如何解决补偿和共模输出电压的稳定性问题。后续部分讨论低功耗运算放大器。在这些运算放大器中，晶体管通常工作在亚阈值区。微功率运算放大器的功耗非常小，若不采用特殊技术，输出电流也非常小。我们给出了提高输出电流的一些方法。这些方法采用环路增益小于1的正反馈，并且对任何需要大输出电流的运算放大器都适用。

本章的第四个主题是低噪声运算放大器。由于$1/f$噪声的原因，低噪声在CMOS运算放大器中显得尤其重要。噪声最小化的原理将通过举例来进行说明。在一个低噪声CMOS运算放大器中应用横向BJT取得了与最佳离散低噪声运算放大器同样好的结果。本节还提到了使用斩波来实现低噪声和低失调电压。

本章的最后部分讨论工作在低电源电压下的运算放大器。当然，那些工作在亚阈值区的运算放大器可以工作在低电源电压下，但是由于电流小的原因不会有良好的频率特性。低电源电压运

算放大器的设计是在低电源电压输入级、偏置级和增益级设计方法的基础上进行讨论的。这里给出了两个工作在 2 V 和 1 V 电源下的运算放大器实例。

本章的主题阐明了优化一个或多个性能指标的方法，这些方法通过牺牲其他性能来获得某一特定区域的高性能。这些说明了像运算放大器这样一个复杂电路的设计并不是惟一的，设计者除了选择不同的电路结构以外还有许多自由度可以用来加强特定应用电路的性能。

7.1　缓冲运算放大器

在前述章节中所提到的运算放大器具有较高的输出阻抗，被称为无缓冲运算放大器。这些放大器能够驱动一个中等的负载电容，但是却不能驱动低电阻负载。在本节中，我们将研究同时改进驱动大负载电容和低负载电阻能力的方法。我们的目的是在不显著增加运算放大器功耗的情况下实现上述目标。本节讨论的运算放大器能驱动高容性和低阻性输出负载。

使用 MOSFET 的缓冲运算放大器

在没有负反馈的情况下，使用 MOSFET 的最低输出电阻大约是 $1/g_m$。实现此输出电阻，用做电流漏和电流源的运算放大器如图 7.1-1 所示。该运算放大器使用了一个推挽源极跟随器输出级，从而实现了低输出电阻。该运算放大器具有高频和高摆率的性能[1]。输出缓冲器由晶体管 M17~M22 组成。无缓冲运算放大器主要由差分跨导输入级和电流放大器级联构成。电压增益通过 M10 和 M15 的漏极节点的高阻实现。由于除了上述节点以外的其他节点都是低阻抗，因此无缓冲放大器的频率响应特性很好。通过 C_c 引入一个主极点从而起到了补偿放大器的作用。输出级被用来缓冲负载并提供较低的输出电阻。如果输出采用甲乙类偏置，则小信号输出电阻为：

$$r_{out}\approx\frac{1}{g_{m21}+g_{m22}} \tag{7.1-1}$$

输出电阻可以小于 1000 Ω，这取决于输出器件的尺寸和它们的偏置电流。

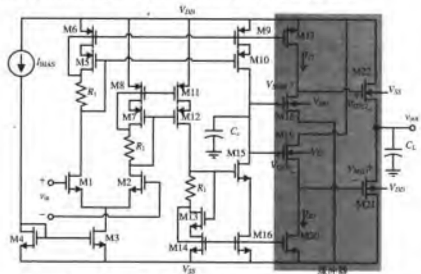


图 7.1-1　适合驱动阻性和容性负载的低输出电阻 CMOS 运算放大器

晶体管 M17 和 M20 为晶体管 M18 和 M19 提供有源偏置，M22 和 M21 分别与 M18 和 M19 呈互补型。理想情况下，M18 和 M22、M19 和 M21 的栅极电压相互补偿，因此在输入电压为 0 时，输出电压也为 0。M21 和 M22 的偏置电流可通过 M18、M22、M21 和 M19 组成的栅-源环进行控制。当 $I_{BIAS}=50\ \mu A$ 时，测得的空载低频增益大约为 65 dB。当 C_L 为 1 pF 时，测得的单位增益带宽大约是 60 MHz。尽管没有测量带有一个负载电容的摆率，但它应该比较大，因为输出器件能连续开启以提供足够的电流使得源级"跟随"栅极。M21 和 M22 的体-源极电压的影响将使输出电压无法被拉到接近 V_{DD} 或者 V_{SS}，且仍然提供很大的输出电流。一个大电容负载将在输出级引入极点，最终使得闭环结构的稳定性变坏。

另一种能为小负载电阻提供很大功率的方法如图 7.1-2 所示，此运算放大器可以给 100Ω 的负载提供 160 mW 的功率，而静态功耗仅为 7 mW[2]。该放大器由三级组成：第一级是一个如图 5.2-5 所示的差分放大器。输出驱动器包括一个交叉级和一个输出级。由 M1、M3 和 M2、M4 组成的两个反相器构成交叉级。这一级的目的是提供增益、补偿和驱动两个输出晶体管 M5 和 M6。输出级是一个在特定负载电阻上具有单位增益的跨导放大器。

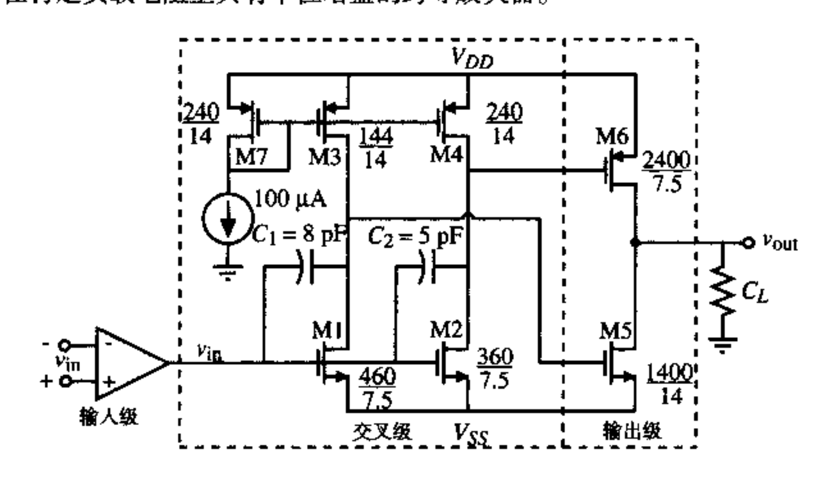


图 7.1-2 一个具有低阻抗驱动能力的 CMOS 运算放大器

图 7.1-3 定性地给出了两个反相器的直流传输函数。其中的两条曲线反映了 M1、M3 和 M2、M4 反相器的电压传输特性，并且分别是输出器件 M5、M6 的驱动电压。交叉电压定义如下：

$$V_C = V_B - V_A \tag{7.1-2}$$

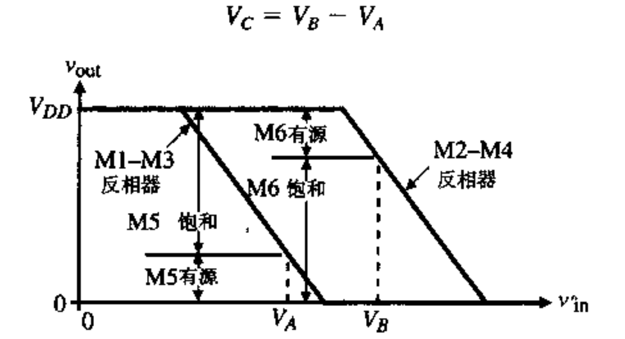


图 7.1-3 交叉反相器的理想电压传输特性

这里的 V_B 和 V_A 分别是反相器的 M5 和 M6 截止的输入电压。为了达到较低的静态功耗，V_C 必须接近于零，但又不能太小，以防止产生过大的交叉失真。必须仔细地设计 V_C，以防止在摆动过程

中输出波形中出现“小干扰”。一种既满足交叉失真又保证 $V_C \geq 0$ 的方法是采用成比例的反相器，达到与输出级的驱动相匹配。因此，可由 M1 和 M3、M2 和 M4 的适当比值实现 V_C尽量小的正值。在最坏情况下，正常工艺变化所产生的 V_C最大值在 0 mV 和 110 mV 之间。

使用输出缓冲器可使无缓冲运算放大器驱动大电容或小电阻，但需要重新考虑补偿。图 7.1-4 给出缓冲运算放大器的常用结构。没有补偿的无缓冲运算放大器通常有两个极点p'_1和p'_2。缓冲器将引入另一个极点p'_3。在没有补偿的情况下，运算放大器的开环电压增益可表示为：

$$\frac{V_{out}(s)}{V_{in}(s)}=\frac{-A_{vo}}{\left(\frac{s}{p'_1}-1\right)\left(\frac{s}{p'_2}-1\right)\left(\frac{s}{p'_3}-1\right)} \tag{7.1-3}$$

这里的p'_1和p'_2是未补偿的无缓冲运算放大器的两个极点，p'_3是输出级引入的极点。我们可以假设$|p'_1|<|p'_2|<|p'_3|$。需要指出的是，$|p'_3|$将随着 C_L、R_L的增加而减小。如果米勒补偿应用在第二级和第三级，将产生如图 7.1-5（a）中方块所示的新极点。这种方法的潜在问题是p'_2和p'_3的根轨迹在 C_c增加时弯向 $j\omega$ 轴，导致较小的相位裕量。

如果米勒补偿应用在第二级附近，那么将产生如图 7.1-5（b）所示的闭环根。然而与图 7.1-5（a）所示情况不同，输出极点p'_3没有向负实轴的左侧移动。选择哪种方法取决于所接的负载和相位裕量。和两级运算放大器的做法相同，可采用调零技术来控制零点。

图 7.1-2 所示的放大器使用的补偿方法如图 7.1-5（b）所示。可是由于输出级工作在乙类，因此需要两个补偿电容，一个用于 M1、M3 反相器，另一个用于 M2、M4 反相器。这种结构的好处是输出负载将不会使 p_2 移回原点。当然，为了使这种补偿能正确地工作，p_3 必须落在 p_2 的上面。对于较小的 R_L，这个要求可以得到满足。随着 R_L的增加，输出级的单位增益频率变得更大，p_3将沿着负实轴向远离原点的方向移动。因此，对于阻性输出负载，放大器是有条件稳定的。

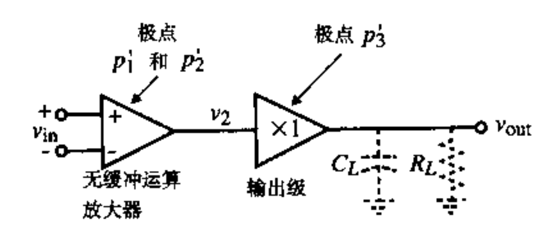


图 7.1-4　缓冲运算放大器中无补偿极点的来源

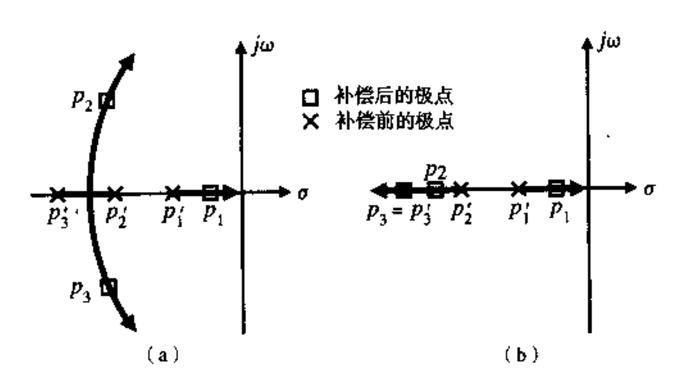


图 7.1-5　米勒补偿运算放大器极点的根轨迹。（a）米勒补偿用于第二级和第三级；（b）米勒补偿仅用于第二级

图 7.1-2 所示的 CMOS 运算放大器采用标准 CMOS 工艺制造，其中 NMOS 和 PMOS 的最小栅长分别为 5.5 μm 和 7.5 μm。性能见表 7.1-1。放大器仅消耗 7 mW 的静态功耗，并能提供 160 mW 的峰值输出功率。

表 7.1-1 图 7.1-2 所示 CMOS 运算放大器的性能

技术参数	值
供电电压	±6 V
静态功耗	7 mW
输出摆动（负载为 100 Ω）	8.1 Vpp
开环增益（负载为 100 Ω）	78.1 dB
单位增益带宽	260 kHz
1 kHz 电压噪声谱密度	1.7 μV/$\sqrt{Hz}$
1 kHz PSRR	55 dB
1 kHz CMRR	42 dB
输入失调电压（典型值）	10 mV

为了得到比图 7.1-1 更低的输出电阻，必须采用并联负反馈。所用的概念已示于图 5.5-11 中。使用一个 MOS 输出级的并联负反馈缓冲 CMOS 运算放大器的简化原理图如图 7.1-6 所示[3]。这个例子由一个无缓冲运算放大器和一个负反馈输出级组合而成。如果 M8 被短路，M8A 到 M13 被忽略，则输出级本质上就是图 5.5-11 所示的电路。无缓冲运算放大器的输出驱动反相器（M16 和 M17），反相器驱动误差放大器的反相端，接下来驱动输出器件 M6 和 M6A。在大多数情况下，无缓冲运算放大器是一个简单的跨导差分放大器。M16 和 M17 组成第二级反相器，电容 C_c 作为运算放大器前两级的米勒补偿。放大器 A1 和晶体管 M6 组成单位增益放大器用于输出电压摆幅的正半周。同样，放大器 A2 和晶体管 M6A 组成单位增益放大器用于输出电压摆幅的负半周。由于输出放大器工作在甲乙类方式，负半周电路的操作是正半周电路的反镜像。在每个电路中，实现类似功能的元件用标记 A 来表示其为输出摆幅的负半周。

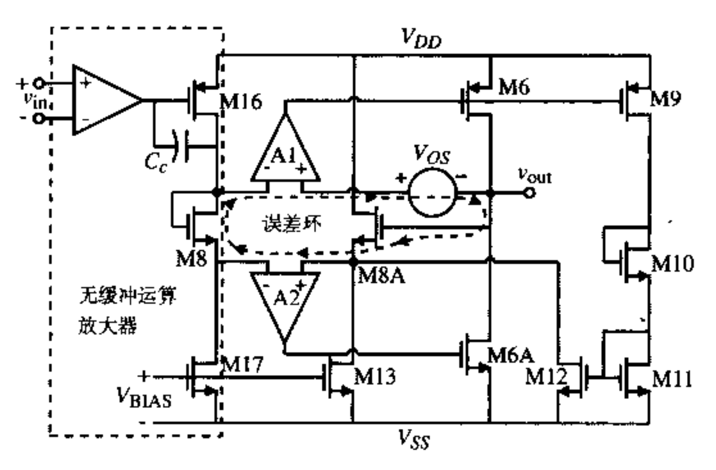


图 7.1-6 简化的低输出电阻缓冲运算放大器的原理图

图 7.1-7 给出了放大器 A1 的电路。可以看出这是一个简单的两级运算放大器，其第二级反相器的电流漏型负载由放大器 A2 的输出级提供。输出驱动 M6 中的电流主要由电流镜来控制。电

流镜是由正单位增益放大器中的差分放大器形成，M6的电流与负单位增益放大器设置在负输出驱动器件 M6A 中的电流相匹配。但是，如果在放大器 A1 和 A2 之间发生失调（图 7.1-6 中的 V_{OS}），输出驱动 M6 和 M6A 之间的电流平衡将不再存在，流过这些器件的电流将不再受控。由晶体管 M8、M9、M10、M11、M12 和 M8A 构成的反馈环在 A1 和 A2 之间产生失调电压 V_{OS} 时起着稳定 M6 和 M6A 中电流的作用。反馈环的工作方式如下：假设存在着如图 7.1-6 所示的失调电压，失调电压的增加引起 A1 输出的增加，使 M6 和 M9 中的电流减小。M9 电流的减小将通过镜像的作用使 M8A 的电流减小，进而使得 M8A 的栅源电压减小，这将抵消由 M8、V_{OS} 和 M8A 组成的误差环内的失调电压的增加。这样，M6 和 M6A 中的电流就达到了平衡。

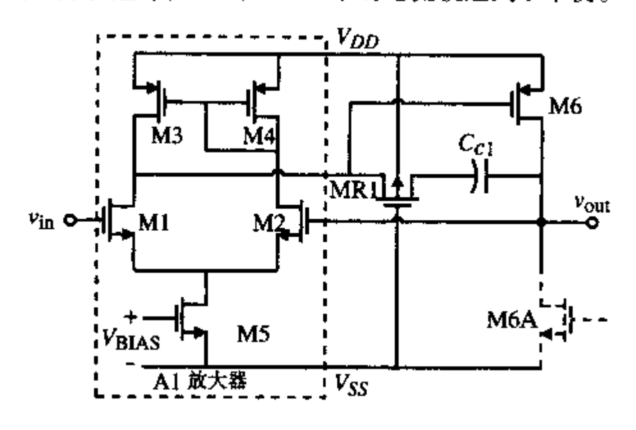


图 7.1-7　正输出级，单位增益放大器

由于输出级电流反馈不是单位增益，晶体管 M6 和 M6A 中的电流将会发生变化。放大器 A1 和 A2 间的失调可以使直流电流随着温度和工艺变化产生 2:1 的变化。假设 v_{OUT} 接地，放大器 A1、A2 间的任一失调可以折算为 A1 输入之间的差值，输出电流的变化量 ΔI_O 可以被估算出来，结果如下：

$$\Delta I_O = -g_{m6A}A_2\left(V_{OS}-\left(\frac{2\beta_9\beta_{12}}{\beta_{8A}\beta_6\beta_{11}}\right)^{1/2}\left\{\left[I_{B1}\left(\frac{\beta_6\beta_{11}}{\beta_9\beta_{12}}+\frac{\beta_5\beta_6}{2\beta_7\beta_3}\right)+\Delta I_O\right]^{1/2}-\left[I_{B1}\left(\frac{\beta_6\beta_{11}}{\beta_9\beta_{12}}+\frac{\beta_5\beta_6}{2\beta_7\beta_3}\right)\right]^{1/2}\right\}\right) \quad (7.1\text{-}4)$$

其中 $I_{B1}=I_{17}$，并且 β 等于 $K'(W/L)$ 或 $\mu_o C_{ox}(W/L)$。

由于晶体管 M6 能提供很大的电流，因此必须保证该管在输出电压摆幅负半周期间处于截止状态。对于大的负摆幅，晶体管 M5 的漏极被拉到 V_{SS}，使误差放大器 A1 的电流源被关断。由于偏置被断开，晶体管 M6 的栅极悬浮并趋向 V_{SS}，使晶体管 M6 导通。图7.1-8给出了图7.1-6所示输出放大器的完整电路图。此电路采用了一种在负电压摆幅大的情况下使晶体管 M6 保持截止的方法。当 M5 截止时，晶体管 M3H 和 M4H 分别将 M3 和 M4 的漏极上拉，结果使晶体管 M6 截止，消除了差分放大器中任何可能浮动的节点。晶体管 M3HA 和 M4HA 为负半周电路提供了正摆幅保护。其工作过程和上面描述的负摆幅保护电路相似。这种摆幅保护电路将使功率放大器的阶跃响应特性变差，因为单位增益放大器不工作时是完全截止的。

在设计放大器时应同时考虑短路保护。从图 7.1-8 中可以看到，晶体管 MP3 能感应到 M6 的

输出电流，当输出电流过大时，由 MP3 和 MN3 组成的偏置反相器断开，从而使晶体管 MP5 导通。一旦 MP5 导通，晶体管 M6 的栅极电压被拉向正电源 V_{DD}。因此，M6 中的电流被限制在 60 mA 左右。同样，晶体管 MN3A、MP3A、MP4A、MN4A 和 MN5A 提供电流漏的短路保护。

图7.1-8所示运算放大器是采用第 6 章讨论的方法进行补偿的。每个放大器（A1 或 A2）都是通过包含调零电阻（MR1 和 MR2）的米勒方法（C_{c1} 和 C_{c2}）进行补偿的。如 6.2 节所述，C_c 用做第二级的补偿。

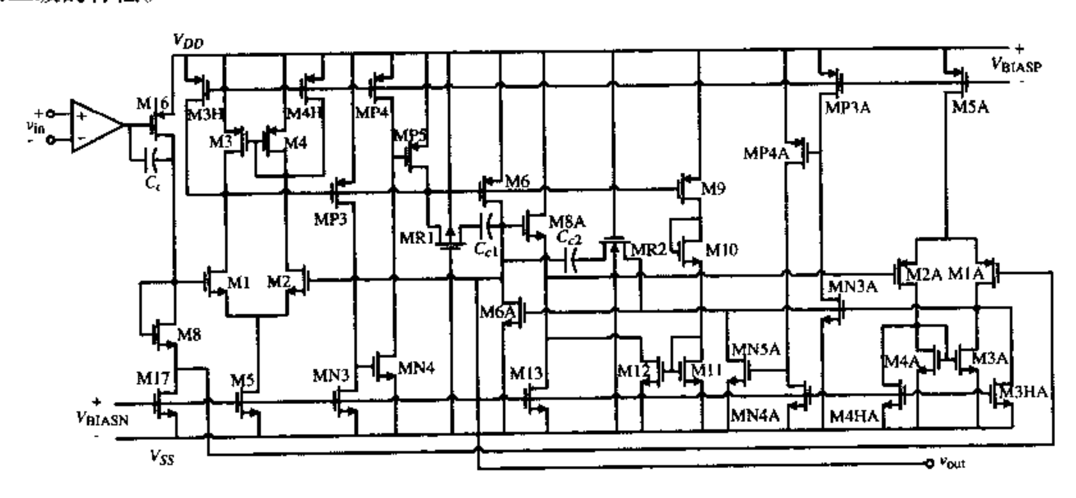


图 7.1-8 使用了并联负反馈的低输出电阻缓冲运算放大器的完整原理图

整个放大器可以驱动 300 Ω和 1000 pF 的接地负载。单位增益带宽约为 0.5 MHz，并受到 1000 pF 负载电容的限制。输出级大约有1 MHz 的带宽。这个放大器的性能归纳在表 7.1-2 中。图 7.1-8 中的器件尺寸在表 7.1-3 中给出。

表 7.1-2 图 7.1-8 所示运算放大器的性能特性

技术参数	仿真结果	测量结果
功耗	7.0 mW	5.0 mW
开环增益	82 dB	83 dB
单位增益带宽	500 kHz	420 kHz
输人失调电压	0.4 mV	1 mV
$PSRR^+(0)/PSRR^-(0)$	85 dB/104 dB	86 dB/106 dB
$PSRR^+(1\ kHz)/PSRR^-(1\ kHz)$	81 dB/98 dB	80 dB/98 dB
$THD(V_{in}=3.3V_{PP})$		
$R_L=300\ \Omega$	0.03%	0.13% (1 kHz)
$C_L=1000\ pF$	0.08%	0.32% (4 kHz)
$THD(V_{in}=4.0V_{PP})$		
$R_L=15\ k\Omega$	0.05%	0.13% (1 kHz)
$C_L=200\ pF$	0.16%	0.20% (4 kHz)
建立时间（0.1%）	3 μs	<5 μs
摆率	0.8 V/μs	0.6 V/μs
1 kHz 时的 1/f 噪声	—	$130\ nV/\sqrt{Hz}$
宽带噪声	—	$49\ nV/\sqrt{Hz}$

表 7.1-3　图 7.1-8 所示运算放大器的器件尺寸

晶体管/电容	μm/μm 或 pF	晶体管/电容	μm/μm 或 pF
M16	184/9	M8A	481/6
M17	66/12	M13	66/12
M8	184/6	M9	27/6
M1, M2	36/10	M10	6/22
M3, M4	194/6	M11	14/6
M3H, M4H	16/12	M12	140/6
M5	145/12	MP3	8/6
M6	2647/6	MN3	244/6
MRC	48/10	MP4	43/12
C_C	11.0	MN4	12/6
M1A, M2A	88/12	MP5	6/6
M3A, M4A	196/6	MN3A	6/6
M3HA, M4HA	10/12	MP3A	337/6
M5A	229/12	MN4A	24/12
M6A	2420/6	MP4A	20/12
C_F	10.0	MN5A	6/6

图 7.1-9 给出了应用上述并联负反馈概念来实现低输出电阻的更简单的方法。图 7.1-9 所示的电路仅仅是具有单级放大器开环增益的单位增益缓冲器。Blackman 的阻抗关系式[4]可用来表示该放大器的输出电阻为：

$$R_{\text{out}} = \frac{R_o}{1 + LG} \tag{7.1-5}$$

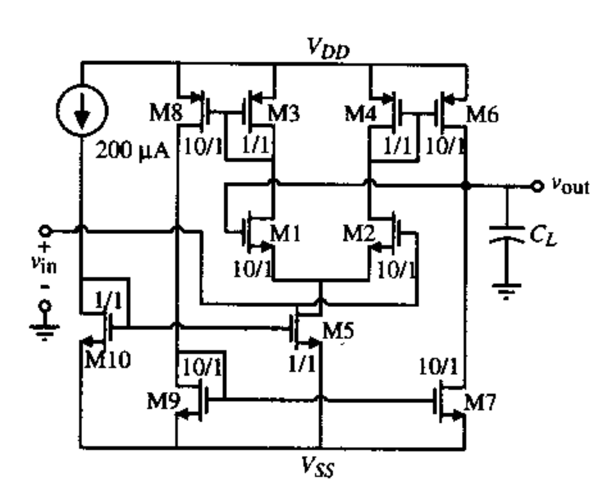


图 7.1-9　简单的并联负反馈缓冲器

其中 R_o 表示反馈环开路时的输出电阻，LG 是反馈环的环路增益。R_o 为：

$$R_o = \frac{1}{g_{ds6} + g_{ds7}} \tag{7.1-6}$$

经观察，环路增益可以写成：

$$|LG| = \frac{1}{2}\frac{g_{m2}}{g_{m4}}(g_{m6} + g_{m8})R_o \tag{7.1-7}$$

因此，图 7.1-9 的输出电阻为：

$$R_{\text{out}} = \frac{1}{(g_{ds6} + g_{ds7})\left[1 + \left(\frac{g_{m2}}{g_{m4}}\right)(g_{m6} + g_{m8})R_o\right]} \tag{7.1-8}$$

例 7.1-1　使用图 7.1-9 所示并联负反馈缓冲器的低输出电阻

根据表 3.1-2 模型参数求图 7.1-9 电路的输出电阻。

解：

输出晶体管 M6 和 M7 的电流是 1 mA，于是 R_o 为：

$$R_o = \frac{1}{(\lambda_N + \lambda_P)\,1\text{ mA}} = \frac{1000}{0.09} = 11.11\text{ k}\Omega$$

为了计算环路增益，我们计算：

$$g_{m2} = \sqrt{2K_N' \cdot 10 \cdot 100\ \mu\text{A}} = 469\ \mu\text{S}$$
$$g_{m4} = \sqrt{2K_N' \cdot 1 \cdot 100\ \mu\text{A}} = 100\ \mu\text{S}$$
$$g_{m6} = \sqrt{2K_P' \cdot 10 \cdot 1000\ \mu\text{A}} = 1\text{ mS}$$

因此，由式（7.1-7）得到环路增益为：

$$|LG| = \frac{1}{2}\frac{469}{100}2 \cdot 11.11 = 52.1$$

由式（7.1-8）求解输出电阻 R_{out}，得：

$$R_{\text{out}} = \frac{11.11\text{ k}\Omega}{1 + 52.1} = 209\ \Omega$$

在上述计算中假设负载电阻很大，不会影响环路增益。

使用 BJT 的缓冲运算放大器

在标准的 CMOS 工艺中，衬底双极型晶体管是可利用的。当采用射极跟随结构时，可以用来降低运算放大器的输出电阻。由于 BJT 的跨导比中等宽长比的 MOSFET 大很多，因此输出电阻将更低。一个采用 p 阱 CMOS 技术形成的衬底 NPN 晶体管如图 7.1-10 所示。

图 7.1-11 给出了一个采用 NPN 衬底 BJT 输出级的两级运算放大器。输出级如虚线框中所示。它由一个 MOS 跟随器和一个 BJT 跟随器级联组成。MOS 跟随器（M8、M9）是必要的，有如下两个原因：第一，输出电阻包含 BJT 基极到交流地的任何电阻除以 $1+\beta_F$。这个电阻大于仅由 BJT

产生的输出电阻。对于图 7.1-11，小信号输出电阻可以写成：

$$R_{out} \approx \frac{1}{g_{m10}} + \frac{1}{g_{m9}(1+\beta_F)} \qquad (7.1\text{-}9)$$

其中，β_F 是 BJT 基极到集电极的电流增益。如果 Q10、M11 的电流为 500 μA，M8、M9 为 100 μA，$W_9/L_9=100$，β_F 为 100，则图 7.1-11 的输出电阻为 58.3 Ω。其中式（7.1-9）的第一项为 51.6 Ω，第二项为 6.7 Ω。没有 MOS 跟随器时，输出电阻将超过 1000 Ω。使用 MOS 跟随器的第二个原因是，如果 BJT 直接耦合到 M6 和 M7 的漏级，则第二级的负载为 $r_\pi+(1+\beta_F)R_L$，这将使整个运算放大器的增益减小。

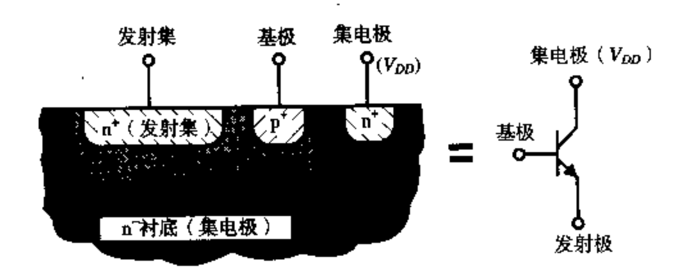


图 7.1-10　p 阱 CMOS 工艺中 NPN 衬底 BJT 管的示意图

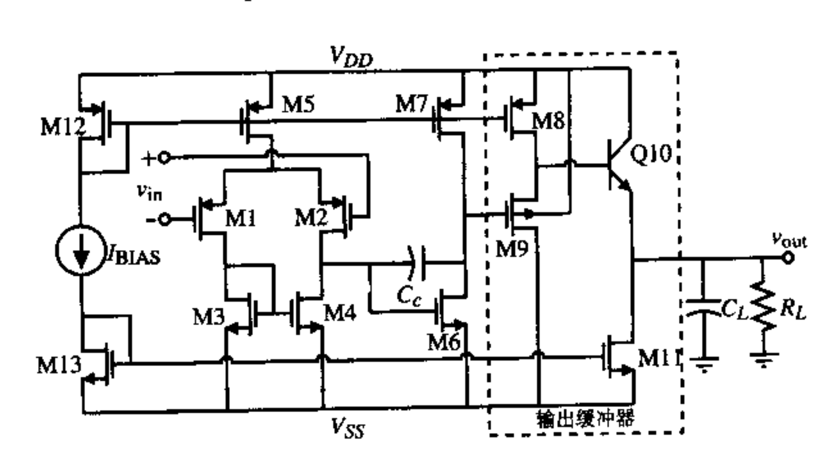


图 7.1-11　含甲类 BJT 输出缓冲级的两级运算放大器

我们将发现 BJT 跟随器不能将输出电压拉向 V_{DD}。如果 R_L 很大，图 7.1-11 的最大输出电压为：

$$v_{OUT}(\text{最大}) = V_{DD} - V_{SD8}(\text{饱和}) - v_{BE10} = V_{DD} - \sqrt{\frac{2K'_P}{I_8(W_8/L_8)}} - V_t \ln\left(\frac{I_{c10}}{I_{s10}}\right) \qquad (7.1\text{-}10)$$

注意，如果 R_L 很小，则 I_{c10} 将很大，使得 v_{out}(最大)减小。如果输出电流太大，M8 将无法提供足够的基极电流。电流的限制引起最大电压的限制。假设这个电流漏被设计为当 Q10 截止时吸进必需的电流，则最小输出电压等于 V_{DS11}(饱和)。

图 7.1-11 所示 BJT 缓冲运算放大器的摆率受到从 C_c 和 C_L 吸进或向其提供的电流大小的限制。受 C_c 限制的摆率等于 I_5/C_c，受 C_L 限制的摆率等于 I_{11}/C_L。对于很大的摆率，这两个电流都必须取得很大，这就增加了功耗。而且，甲类输出缓冲将引起非对称摆率。提供给 C_L 的电流远大于可以吸进的电流（I_{11}）。

使用MOS跟随器M8-M9之后，这个放大器的增益等于两级运算放大器乘以MOS跟随器增益和输出BJT跟随器增益。这个增益可表示为：

$$\frac{v_{out}}{v_{in}}=\left(\frac{g_{m1}}{g_{ds2}+g_{ds4}}\right)\left(\frac{g_{m6}}{g_{ds6}+g_{ds7}}\right)\left(\frac{g_{m9}}{g_{m9}+g_{mbs9}+g_{ds8}+g_{\pi10}}\right)\left(\frac{g_{m10}R_L}{1+g_{m10}R_L}\right) \qquad (7.1\text{-}11)$$

其中，我们假设R_L小于r_{ds11}。可以看出，增益由四级级联组成。这里产生了一个补偿的难题，因为每级输出都有一个极点。图7.1-11选择的补偿方法是仅对前两个极点进行补偿，并忽略两级跟随器的极点。这可能引起稳定性问题，尤其在C_L变得很大或者增益带宽设计得较大的情况下。

例 7.1-2 设计图 7.1-11 所示的甲类缓冲运算放大器

使用表3.1-2中的参数及BJT的参数$I_S=10^{-14}$A和$\beta_F=100$，设计满足以下技术指标的甲类缓冲运算放大器。假设沟道长度为1 μm。

$V_{DD}=2.5$ V　　$V_{SS}=-2.5$ V　　$A_{vd}(0)\geq 5000$ V/V

摆率≥10 V/μs　　$GB=5$ MHz　　ICMR = −1~2 V

$R_{out}\leq 100\ \Omega$　　$C_L=100$ pF　　$R_L=500\ \Omega$

解：

由于上述设计指标和例6.3-1两级运算放大器设计指标类似，因此我们可以将该例题中的结论用于前两级的设计。然而，我们必须将例6.3-1的结论转换为PMOS输入级。转换的结果为$W_1/L_1=W_2/L_2=6$ μm/1 μm，$W_3/L_3=W_4/L_4=7$ μm/1 μm，$W_5/L_5=11$ μm/1 μm，$W_6/L_6=43$ μm/1 μm 和 $W_7/L_7=34$μm/1μm（见题6.3-6）。I_{BIAS}取30 μA，W_{12}和W_{13}取44 μm。

两个跟随器的设计如下：先设计满足摆率指标的BJT跟随器。对于100 pF的电容，需要的电流为1 mA。因此，我们希望I_{11}为1 mA，这意味着W_{11}必须等于44 μm×(1000 μA/30 μA) = 1467 μm。1 mA的偏置电流通过BJT意味着输出电阻将为0.0258 V/1 mA或25.8 Ω，该值小于100 Ω。1000 μA流入BJT将需要MOS跟随器级提供10 μA的电流。因此，我们将M8的偏置电流选为100 μA。如果$W_{12}=44$ μm，则$W_8=44$ μm×(100 μA/30 μA) = 146 μm。如果$1/g_{m10}$是25.8 Ω，则我们可以使用式（7.1-9）设计g_{m9}为：

$$g_{m9}=\frac{1}{\left(R_{out}-\dfrac{1}{g_{m10}}\right)(1+\beta_F)}=\frac{1}{(100-25.8)(101)}=133.4\ \mu S$$

对于确定的g_{m9}，求解M9管W/L得0.809。选M9管的W/L为10以确保M9管对输出电阻的影响足够小，且使增益更接近1。这将有利于满足这样一个现实，即式（7.1-9）忽略了体对这一电阻的影响[见式（5.5-18）]。这给出了M9管跨导为469 μS。

为了计算MOS跟随器的电压增益，我们需要求出g_{mbs9}。该值可这样计算：

$$g_{mbs9}=\frac{g_{m9}\gamma_N}{2\sqrt{2\phi_F+V_{BS9}}}=\frac{469\cdot 0.4}{2\sqrt{0.7+2}}=57.1\ \mu S$$

其中我们假设了V_{BS9}的值近似为−2 V，因此，

$$A_{MOS}=\frac{469\ \mu S}{469\ \mu S+57.1\ \mu S+4\ \mu S+5\ \mu S}=0.8765\ V/V$$

BJT 跟随器的电压增益为：

$$A_{BJT} = \frac{500}{25.8 + 500} = 0.951 \text{ V/V}$$

因而，运算放大器增益为：

$$A_{vd}(0) = (7777)(0.8765)(0.951) = 6483 \text{ V/V}$$

这就满足了设计指标。这个放大器的功耗为：

$$P_{diss} = 5 \text{ V} (30\ \mu\text{A} + 30\ \mu\text{A} + 95\ \mu\text{A} + 100\ \mu\text{A} + 1000\ \mu\text{A}) = 6.27 \text{ mW}$$

减小甲类缓冲运算放大器功耗的方法之一是使用甲乙类模式，用有源驱动晶体管取代电流漏 M11。这将允许在电流漏和电流源的容量之间更容易达到平衡。为了达到这个目的，我们可以通过连接图 7.1-11 中 M11 和 M6 的栅极得到图 7.1-12，其中 M11 被标记为 M9。我们还取消了 MOS 跟随器，这使得该运算放大器不太适合驱动小阻值的 R_L。如果需要，可以重新加上 MOS 跟随器。因而，除 Q8 和 M9 之外，图 7.1-12 是一个两级运算放大器。

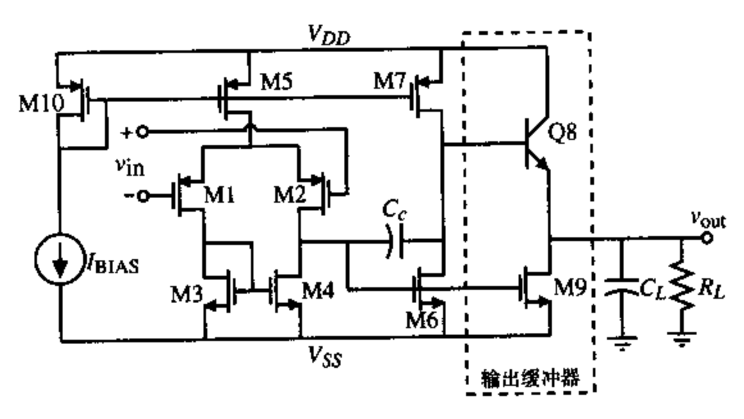


图 7.1-12　甲乙类两级运算放大器，BJT 输出缓冲级

除摆率以外，这个电路的大信号性能和图 7.1-11 类似。在我们分析摆率时，假设输出电压为中等大小，这是最好的情况。显然，当电源相互接近时，由于电流驱动能力的减弱，摆率将变差。图 7.1-12 的正摆率可表示为：

$$SR^+ = \frac{I^+_{OUT}}{C_L} = \frac{(1 + \beta_F)I_7}{C_L} \tag{7.1-12}$$

其中，假设摆率由 C_L 而不是运算放大器的内部电容决定。设 $\beta_F = 100$，$C_L = 1000$ pF，以及 M7 的偏置为 95 μA，则正摆率为 8.6 V/μs。通过假设 M9 栅极电压可以取到 $V_{DD}-1$ V 来确定负摆率。因此，负摆率为：

$$SR^- = \frac{\beta_9(V_{DD} - 1\text{ V} + |V_{SS}| - V_{T0})^2}{2C_L} \tag{7.1-13}$$

假设$(W/L)_9$为 60，$K'_N = 110\ \mu\text{A/V}^2$，采用±2.5 V 电源和 1000 pF 的负载电容，则负摆率为 35.9 V/μs。负向输出有更大摆率的原因是电流没有受到限制，而正向输出时电流会受到 I_7 的限制。M9 的 W/L 为 60 意味着 Q8 和 M9 的静态电流为 95 μA × (60/43) = 133 μA。

图 7.1-12 电路的小信号特性用图 7.1-13 所示的模型来推导。用附录 A 给出的技术对表示 BJT 增益的受控源进行化简，结果是 BJT 变成包含米勒补偿电容 C_c 和输入电容 C_π 的三节点电路。描述这一模型的近似节点方程给出如下：

$$g_{mI}V_{in} = (G_I + sC_c)V_1 - sC_cV_2 + 0V_{out} \tag{7.1-14}$$

$$0 = (g_{mII} - sC_c)V_1 + (G_{II} + g_\pi + sC_c + sC_\pi)V_2 - (g_\pi + sC_\pi)V_{out} \tag{7.1-15}$$

$$0 \cong g_{m9}V_1 - (g_{m8} + sC_\pi)V_2 + (g_{m8} + sC_\pi)V_{out} \tag{7.1-16}$$

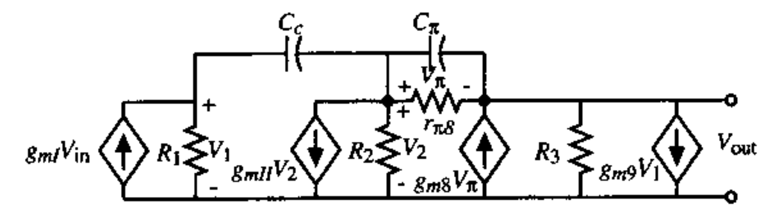


图 7.1-13 图 7.1-12 的交流模型

最后一个方程中，假设 g_{m8} 大于 g_π 和 G_3。采用 5.3 节和 6.2 节所描述的方法，电压传输函数可近似表示为：

$$\frac{V_9(s)}{V_{in}(s)} = A_{v0}\frac{\left(\frac{s}{z_1} - 1\right)\left(\frac{s}{z_2} - 1\right)}{\left(\frac{s}{p_1} - 1\right)\left(\frac{s}{p_2} - 1\right)} \tag{7.1-17}$$

其中：

$$A_{v0} = \frac{-g_{mI}g_{mII}}{G_IG_{II}} \tag{7.1-18}$$

$$z_1 = \frac{1}{\frac{C_c}{g_{mII}} - \frac{C_\pi}{g_{m8}}\left[1 + \frac{g_{m9}}{g_{mII}}\right]} \tag{7.1-19}$$

$$z_2 = -\frac{g_{m8}}{C_\pi} + \frac{g_{mII}}{C_c}\left[1 + \frac{g_{m9}}{g_{mII}}\right] \tag{7.1-20}$$

$$p_1 = \frac{-G_IG_{II}}{g_{mII}C_c}\left[\frac{1}{1 + \frac{g_{m9}}{\beta_F g_{mII}} + \frac{C_\pi}{C_c}\left(\frac{G_IG_{II}}{g_{m8}g_{mII}}\right)}\right] \tag{7.1-21}$$

$$p_2 \cong \frac{-g_{m8}g_{mII}}{(g_{mII} + g_{m9})C_\pi} \tag{7.1-22}$$

从上述的结果中可以看出 BJT 输出级的影响。低频的差模增益没有改变。BJT 的出现使得 RHP 零点更远离原点，这将有助于系统稳定。第二个零点通常是一个 LHP 零点，同样可以用来提高稳定性。如果式（7.1-21）括号中的值接近 1，主极点 p_1 本质上就是简单的两级无缓冲运算放大器的主极点，这种情况经常是成立的。第二个极点将大于单位增益带宽。可是在上述分析中，忽略了 Q8 的基极和集电极的并联电容，因此我们可以认为在更完整的分析中 p_2 将被修正。

在输出级中使用 BJT 的主要目的是为了减小小信号输出电阻。这个电阻在 V_{in} 设为 0 后可由图 7.1-13 计算出来。结果是：

$$r_{out}=\frac{r_{\pi 8}+R_2}{1+\beta_F} \tag{7.1-23}$$

输出级 BJT 带来的好的结果依赖于较小的 R_2，这就需要图 7.1-11 所示的 MOS 跟随器。如果 M7 和 M6 的电流是 95 μA，R_2的值大约是 117 kΩ，如果 β_F 是 100，输出电阻大约是 1.275 kΩ。当驱动例如 100 Ω的小电阻负载时，这个值并不像希望的那样小。

设计者必须牢记的另一点是基极直流电流的影响。如果集电极电流是133 μA，那么 1.3 μA 就是所需要的 M7 漏极电流，从而使得 M6 的漏极电流小于 1.3 μA。在静态条件下，这个结果并不显著。可是，这将成为由 Q8 到负载的输出电流限制。

图 7.1-12 的最大输出电压可以用两种方法确定。第一种是在 M9 关断时向负载 R_L 提供的最大电流，结果如下：

$$V_{OUT}(\text{最大}) \approx (1+\beta_F)I_7R_L \tag{7.1-24}$$

如果 I_7 和 R_L 足够大，输出将由式（7.1-10）决定。另一种情况是最大的输出正电压将会比接近于 V_{ss} 的最大输出负电压更受限制。这是由于 M9 能吸进的电流比 BJT 可以提供的电流更大。

图 7.1-12 所示缓冲运算放大器的设计，除 M9 和 Q8 以外的所有元件都可以采用两级运算放大器的设计方法来设计。M9 应设计成能吸进的电流满足式（7.1-13）给出的最大负摆率的要求。惟一可以设计的 BJT 参数是发射极面积，这对晶体管的性能只有很小的影响。因此，通常我们选择的尺寸应足够大，以便于散热，但又不能太大以避免产生较大的器件电容。

图 7.1-12 所示的运算放大器在小负载电阻上产生输出电压的能力如图 7.1-14 所示。图 7.1-14 给出了以负载电阻为参变量的第一级输出（M6 的栅极）到放大器输出的电压传输函数。仿真结果给出缓冲器中 Q8 和 M9 的电流为 133 μA，M7 的电流为 95 μA，M6 的电流为 94 μA。Q8 的基极电流为 1.5 μA。这些电流对应着零输出电压。从第一级输出到运算放大器输出的小信号电压增益为−55.8 V/V（R_L=1000 Ω）和−4.8 V/V（R_L=50 Ω）。有趣的是，BJT 很难将输出电压拉到上电源，而 MOSFET 几乎能把输出电压拉到低的电源值上。这里出现的一个问题是，当负载电流变大时需要增加来自 M7 的基极电流。当基极电流受到限制时，输出电流同样受到限制，进而限制了输出电压。这个电路的另一个问题是输出严重失真，原因是正向和负向摆幅的输出电阻不同。

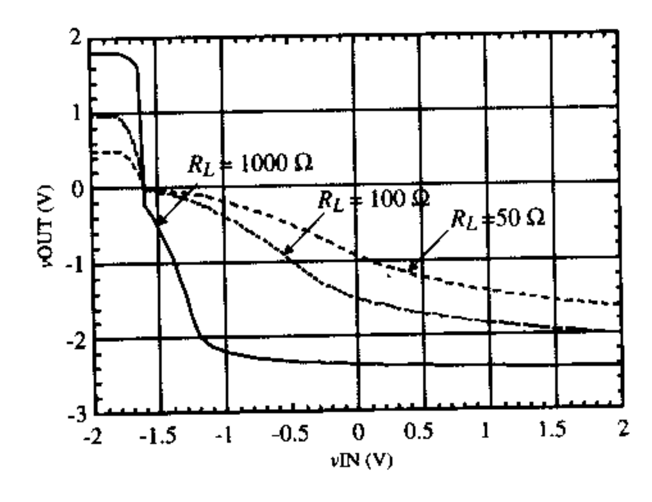


图 7.1-14　图 7.1-12 中 R_L 对输出电压的影响

例 7.1-3 图 7.1-12 输出缓冲器的性能

使用上面给出的图 7.1-12 所示输出级（两级运算放大器输出级和缓冲级）的晶体管电流，求出当 $R_L = 50\ \Omega$时的小信号输出电阻和最大输出电压。使用例 7.1-2 中的 W/L 的值并假设 NPN 型 BJT 的参数为 $\beta_F = 100$，$I_S = 10\,\text{fA}$。

解：

小信号输出电阻由式（7.1-23）给出，其值为：

$$r_{\text{out}} = \frac{r_{\pi 8} + r_{ds6} \| r_{ds7}}{1 + \beta_F} = \frac{19.668\ \text{k}\Omega + 116.96\ \text{k}\Omega}{101} = 1353\ \Omega$$

显然，图 7.1-11 的 MOS 缓冲器将会减小这个值。

式（7.1-10）给出的最大输出电压仅在负载电流很小时才有效。如果不是这样，那么更好的方法是假设 M7 中的所有电流都变成 Q8 的基极电流，然后使用式（7.1-24）。运用式（7.1-24），我们计算出 v_{OUT}(最大)为 $101 \cdot 95\ \mu\text{A} \cdot 50\ \Omega$即 0.48 V，这非常接近图 7.1-14 给出的使用表 3.1-2 中参数的仿真结果。

本节阐明了如何减小运算放大器的输出电阻以驱动低电阻负载。若仅用 MOSFET 实现低输出电阻，则必须使用并联负反馈。如果用 BJT 作为输出跟随器，应使从 BJT 基极到交流地的电阻越小越好。这是非常重要的，这样才会使式（7.1-23）中的 R_2 小于 $r_{\pi 8}$。当输出级加到两级运算放大器上后，补偿将变得更加复杂。成功补偿的关键是确保缓冲级的根要高于两级运算放大器的 GB。

7.2 高速/高频 COMS 运算放大器

运算放大器是模拟电路中的一个模块，就像数字电路中的门一样，有各种不同的应用。为了实现其通用性，可采用反馈使得传输函数仅由反馈元件而不是由运算放大器来确定。可是随着频率的增加，运算放大器的增益不断减小并最终使得传输函数与运算放大器有关。这种情况在图 7.2-1 中已经出现，其中增益为−10。我们看到该放大器−3 dB 的带宽大约是 $GB/10$。因此，如果传输函数的频带很大，那么这个运算放大器的增益带宽将同样很大。本节的目标就是研究具有大增益带宽的运算放大器。

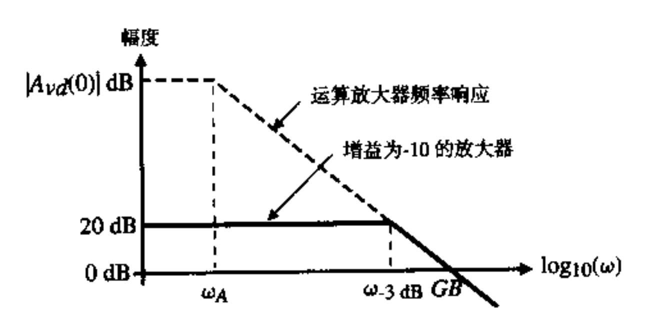


图 7.2-1 GB 对采用运算放大器的放大器频率响应的影响示意图

扩展传统运算放大器的增益带宽

理解究竟是什么决定了 GB 的值是非常重要的。式（6.2-17）说明了两级运算放大器的单位增

益带宽 GB 等于低频增益和主极点 ω_A 的幅度的乘积。更通用的 GB 表达式是输入级跨导除以所有决定主极点的电容的比，表达式为：

$$GB = \frac{g_{mI}}{C_A} \tag{7.2-1}$$

对于两级运算放大器，C_A 就是跨接在第二级两端的电容 C_c。在折叠共源共栅型的运算放大器中，C_A 是从输出到地的电容。因此，对于一个高频运算放大器，必须使输入级跨导增大和产生主极点的电容减小。

为了达到上述效果，所有其他高阶极点的幅度必须大于 GB。如果不满足这个条件，则运算放大器的稳定性会变差，并且−3 dB 频率会像图7.2-2 所示的那样减小。事实上，−3 dB 频率将会比图7.2-2 中两条粗线的交点略微偏左。同样，一种实用的判断运算放大器稳定性的经验方法是闭环响应和运算放大器响应在相交处的斜率差值等于 20 dB/十倍频。如果这个斜率差是图7.2-2 所示的每十倍频40 dB，则运算放大器的稳定性将很差。当设计的 GB 值较高时，高阶极点就会产生相应的限制。这意味着为了实现更高的频率响应必须增大高阶极点。

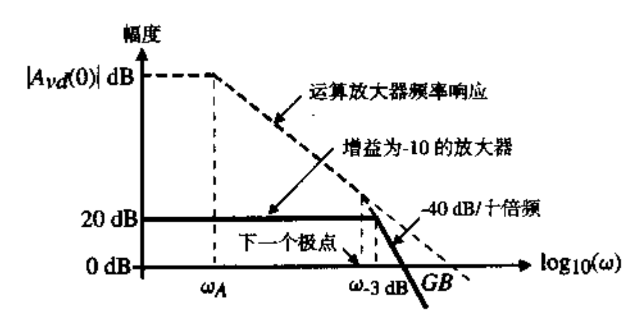


图 7.2-2　下一个高阶极点对使用运算放大器的放大器频率响应的影响示意图

如果高阶极点不限制 GB 的增加，则 MOSFET 运算放大器的实际值将由 g_{mI} 的最大值和决定主极点的最小电容来确定。1 mA/V 的输入跨导和 1 pF 的电容将给出 159 MHz 的单位增益带宽。在这种情况下，双极型工艺的优点十分明显：可以很容易实现 20 mA/V 的跨导，从而使 BJT 运算放大器的 GB 在 1 pF 时达到 3.18 GHz。无论采用哪种工艺，实现这些值的关键在于高阶极点大于 GB 的程度。

用于高频的两级运算放大器的设计可以采用调零电阻补偿法来消除主极点高端的最近一个极点。下面列出 6.2 节中对采用调零电阻补偿两级运算放大器推导出的极点和零点。接下来，我们忽略和 p_3 有关的 LHP 零点。

$$p_1 = \frac{-g_{m1}}{A_v C_c} \quad \text{（主极点）} \tag{7.2-2}$$

$$p_2 = \frac{-g_{m6}}{C_L} \quad \text{（输出极点）} \tag{7.2-3}$$

$$p_3 = \frac{-g_{m3}}{C_{gs3} + C_{gs4}} \quad \text{（镜像极点）} \tag{7.2-4}$$

$$p_4 = \frac{-1}{R_z C_I} \quad \text{（调零极点）} \tag{7.2-5}$$

$$z_1 = \frac{-1}{R_z C_c - C_c/g_{m6}} \quad \text{（调零零点）} \tag{7.2-6}$$

该方法将重点处理输出极点、调零极点和镜像极点。其中最小极点由调零零点抵消(参见例 6.3-2)。下一个最小极点等于 $GB/2.2$（以给出 60°的相位裕量），这也就定义了 GB。最后，主极点将被设计成该 GB 值。图 7.2-3 在$|p_2|<|p_4|<|p_3|$的假设下给出了设计过程。图中示出了无调零（用虚线画出）和为抵消 p_2 而加有调零的运算放大器。下面的例子将说明增加两级运算放大器带宽的方法。

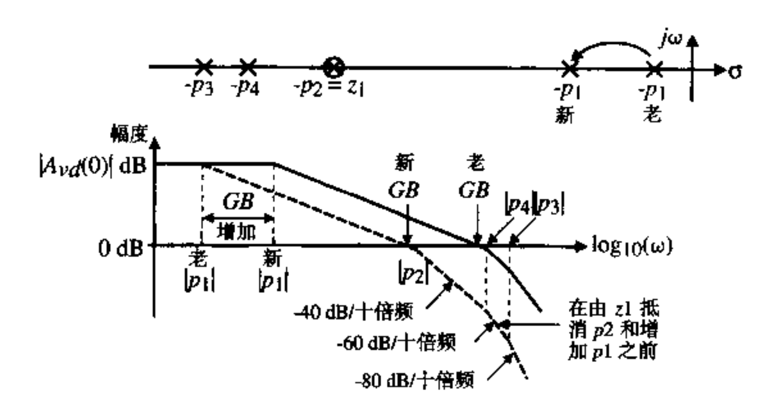


图 7.2-3　用调零零点抵消$-p_2$极点来扩展增益带宽的示意图

例 7.2-1　增加例 6.3-1 中设计的两级运算放大器的增益带宽

使用例 6.3-1 中设计的两级运算放大器，并应用上述方法来尽可能地增加增益带宽。

解：

我们必须首先找到 p_2、p_3 和 p_4 的值。由例 6.3-2，我们得到 $p_2 = -94.25\times10^6$ rad/s。在例 6.3-1 求出 $p_3 = -2.81\times109$ rad/s。为求 p_4，我们必须求出 C_I，C_I 为运算放大器第一级的输出电容。C_I 包括下述电容：

$$C_I = C_{bd2} + C_{bd4} + C_{gs6} + C_{gd2} + C_{gd4}$$

使用 6.3 节中描述的方法来估算源/漏面积，其中 L1+L2+L3 = 3 μm。因而，对于两个体-漏极电容（M2 和 M4），我们得到 M2 源/漏面积为 9 μm²，M4 为 45 μm² 及 M2 的源/漏周长为 12 μm，M4 为 36 μm。由表 3-2，我们可以写出：

$$C_{bd2} = (9\ \mu\text{m}^2)(770\times10^{-6}\ \text{F/m}^2) + (12\ \mu\text{m})(380\times10^{-12}\ \text{F/m})$$
$$= 6.93\ \text{fF} + 4.56\ \text{fF} = 11.5\ \text{fF}$$
$$C_{bd4} = (45\ \mu\text{m}^2)(560\times10^{-6}\ \text{F/m}^2) + (36\ \mu\text{m})(350\times10^{-12}\ \text{F/m})$$
$$= 25.2\ \text{fF} + 12.6\ \text{fF} = 37.8\ \text{fF}$$
$$C_{gs6} = \text{CGDO}\times2\ \mu\text{m} + 0.67\,(C_{ox}\cdot W_6\cdot L_6)$$
$$= (220\times10^{-12})(94\times10^{-6}) + (0.67)(24.7\times10^{-4})(94\times10^{-12})$$
$$= 20.7\ \text{fF} + 154.8\ \text{fF} = 175.5\ \text{fF}$$
$$C_{gd2} = (220\times10^{-2})(3\times10^{-6}) = 0.66\ \text{fF}$$
$$C_{gd4} = (220\times10^{-12})(15\times10^{-6}) = 3.3\ \text{fF}$$

因此，

$$C_I = 11.5\ \text{fF} + 37.8\ \text{fF} + 175.5\ \text{fF} + 0.66\ \text{fF} + 3.3\ \text{fF} = 228.8\ \text{fF}$$

尽管使用反向偏置可以减小 C_{bd2} 和 C_{bd4}，我们还是利用原值来提供裕量。事实上，我们应该使整个电容扩大一倍来确保其中包括了版图的寄生效应。因此，取 C_I 为300 fF。在例 6.3-2 中，R_z 为 4.591 kΩ，得到 $p_4 = -0.726\times10^9$ rad/s。

使用调零零点 z_1 抵消 p_2 使 p_4 成为下一个最小极点。若下一个最小极点大于新 GB 的 10 倍，GB 的值可以由 $|p_4|$ 除以 2.2 得到。尽管 p_3 大概比 p_4 大 4 倍，还是让我们选择 GB 为 p_4 除以 2.2，得到新 $GB = 0.330\times10^9$ rad/s，即 52.5 MHz。补偿电容或者 g_{m1}（g_{m2}）是由关系式 $GB = g_{m1}/C_c$ 确定的，并满足这个 GB 值。如果我们选择 g_{m1} 来重新设计，那么它将变大从而使得 C_{bd2} 变大。在本例中，C_{bd2} 并不重要，但是如果 M2 变大，这将影响 p_4 的位置，从而引起重复求解。于是，新的 C_c 值由 g_{m1}/GB = 286 fF 给出。我们要记住，C_{gd6} 的值是 20.7 fF。当 C_c 开始接近 C_{gd6} 时，这个方法将不起作用。

本例中，我们把例 6.3-1 中的增益带宽由 5 MHz 扩展到了 52.5 MHz。这个方法成功的前提是我们知道所需电容的值，并且没有其他小于 10GB 的根。我们还假设没有复数根。

上述过程同样可以应用到图 6.5-7 所示的共源共栅放大器，因为所有的极点都远大于主极点。式（6.5-20）~式（6.5-26）给出了主极点和其他高阶极点的近似值。我们发现有 6 个极点的幅值大于主极点（p_{out}）。在这种情况下，无法用调零零点来抵消下一个最小极点。为了得到最大的GB值，我们必须找出 6 个极点中幅值最小的极点，并当下一个更大的极点大于新 GB 的 10 倍时，GB 被设为这个极点的幅值除以 2.2。因而，输入级跨导和输出电容可以根据需要的 GB 进行设计。接下来的例子说明如何扩展例 6.5-3 中折叠共源共栅运算放大器的增益带宽。

例 7.2-2　提高例 6.5-1 中折叠共源共栅运算放大器的增益带宽

使用例6.5-1 中设计的折叠共源共栅运算放大器，运用上述方法尽可能提高增益带宽。假设漏/源面积等于 2 μm 乘以晶体管的宽度，并且所有与电压有关的电容上的电压为零。

解：

折叠共源共栅运算放大器的非主极点由式（6.5-21）~式（6.5-26）给出。为了方便起见，我们在这里将其列出：

$$p_A \approx \frac{-1}{R_A C_A} \approx \frac{-g_{m6}}{C_A} \qquad \text{（图 6.5-7 中 M6 源极的极点）}$$

$$p_B \approx \frac{-1}{R_B C_B} \approx \frac{-g_{m7}}{C_B} \qquad \text{（图 6.5-7 中 M7 源极的极点）}$$

$$p_6 \approx \frac{1}{(R_2 + 1/g_{m10})C_6} \qquad \text{（图 6.5-7 中 M6 漏极的极点）}$$

$$p_8 \approx \frac{-g_{m8}}{C_8} \qquad \text{（图 6.5-7 中 M8 源极的极点）}$$

$$p_9 \approx \frac{-g_{m9}}{C_9} \qquad \text{（图 6.5-7 中 M9 源极的极点）}$$

$$p_{10} \approx \frac{-g_{m10}}{C_{10}} \qquad \text{（图 6.5-7 中 M10、M11 栅极的极点）}$$

让我们依次求出这些极点的值。对于 p_A，电阻 R_A 约等于 g_{m6}，C_A 由下式给出：

$$C_A = C_{gs6} + C_{bd1} + C_{gd1} + C_{bd4} + C_{bs6} + C_{gd4}$$

由例 6.5-3，得 g_{m6}=774 μS，组成 C_A 的电容可以由表 3.2-1 的参数求出：

$$C_{gs6} = (220 \times 10^{-12} \cdot 80 \times 10^{-6}) + (0.67)(80 \times 10^{-6} \cdot 10^{-6} \cdot 24.7 \times 10^{-4}) = 149\ \text{fF}$$

$$C_{bd1} = (770 \times 10^{-6})(35.9 \times 10^{-6} \cdot 2 \times 10^{-6}) + (380 \times 10^{-12})(2 \cdot 37.9 \times 10^{-6}) = 84\ \text{fF}$$

$$C_{gd1} = (220 \times 10^{-12} \cdot 35.9 \times 10^{-6}) = 8\ \text{fF}$$

$$C_{bd4} = C_{bs6} = (560 \times 10^{-6})(80 \times 10^{-6} \cdot 2 \times 10^{-6}) + (350 \times 10^{-12})(2 \cdot 82 \times 10^{-6}) = 147\ \text{fF}$$

$$C_{gd4} = (220 \times 10^{-12})(80 \times 10^{-6}) = 17.6\ \text{fF}$$

因而，

$$C_A = 149\ \text{fF} + 84\ \text{fF} + 8\ \text{fF} + 147\ \text{fF} + 17.6\ \text{fF} + 147\ \text{fF} = 0.553\ \text{pF}$$

因此，

$$p_A = \frac{-774 \times 10^{-6}}{0.553 \times 10^{-12}} = -1.346 \times 10^6\ \text{rad/s}$$

对于极点 p_B，与该节点相关联的电容为：

$$C_B = C_{gs7} + C_{bd2} + C_{gd2} + C_{bd5} + C_{bs7} + C_{gd5}$$

C_B 的值和 C_A 相同，假设 g_{m6} 和 g_{m7} 相同，使得 $p_B = p_A = -1.346 \times 10^6$ rad/s。

对于极点 p_6，与该节点相关联的电容为：

$$C_6 = C_{bd6} + C_{gd6} + C_{gs8} + C_{gs9}$$

上述多个电容计算如下：

$$C_{bd6} = (560 \times 10^{-6})(80 \times 10^{-6} \cdot 2 \times 10^{-6}) + (350 \times 10^{-12})(2 \cdot 82 \times 10^{-6}) = 147\ \text{fF}$$

$$C_{gs8} = (220 \times 10^{-12} \cdot 36.4 \times 10^{-6}) + (0.67)(36.4 \times 10^{-6} \cdot 10^{-6} \cdot 24.7 \times 10^{-4}) = 67.9\ \text{fF}$$

$$C_{gs9} = C_{gs8} = 67.9\ \text{fF} \qquad C_{gd6} = C_{gd5} = 17.6\ \text{fF}$$

因此，

$$C_6 = 147\ \text{fF} + 17.6\ \text{fF} + 67.9\ \text{fF} + 67.9\ \text{fF} = 0.300\ \text{pF}$$

对于例 6.5-3，R_2=2 kΩ，$g_{m6} = 744.6 \times 10^{-6}$。因此，$p_6$ 可以表示为：

$$-p_6 = \frac{1}{\left(2 \times 10^3 + \dfrac{10^6}{744.6}\right)\left(0.300 \times 10^{-12}\right)} = 0.966 \times 10^6\ \text{rad/s}$$

接下来我们考虑极点 p_8。与该极点相关联的电容为：

$$C_8 = C_{bd10} + C_{gd10} + C_{gs8} + C_{bs8}$$

这些电容为：

$$C_{bs8} = C_{bd10} = (770 \times 10^{-6})(36.4 \times 10^{-6} \cdot 2 \times 10^{-6}) + (380 \times 10^{-12})(2 \cdot 38.4 \times 10^{-6}) = 85.2 \text{ fF}$$

$$C_{gs8} = (220 \times 10^{-12} \cdot 36.4 \times 10^{-6}) + (0.67)(36.4 \times 10^{-6} \cdot 10^{-6} \cdot 24.7 \times 10^{-4}) = 67.9 \text{ fF}$$

以及

$$C_{gd10} = (220 \times 10^{-12})(36.4 \times 10^{-6}) = 8 \text{ fF}$$

电容 C_8 为:

$$C_8 = 67.9 \text{ fF} + 8 \text{ fF} + 85.2 \text{ fF} + 85.2 \text{ fF} = 0.246 \text{ pF}$$

使用习题 6.5-3 中的 g_{m8} 值 774.6 μS 可求出极点 p_8，即 $p_8 = 3.149 \times 10^9$ rad/s。

极点 p_9 的电容和电容 C_8 相同。因此，由于 g_{m9} 也是 774.6 μS，极点 p_9 等于 p_8，且 $-p_9 = 3.149 \times 10^9$ rad/s。

最后，与 p_{10} 相关联的电容为:

$$C_{10} = C_{gs10} + C_{gs11} + C_{bd8}$$

这些电容为:

$$C_{gs10} = C_{gs11} = (220 \times 10^{-12} \cdot 36.4 \times 10^{-6}) + (0.67)(36.4 \times 10^{-6} \cdot 10^{-6} \cdot 24.7 \times 10^{-4}) = 67.9 \text{ fF}$$

$$C_{bd8} = (770 \times 10^{-6})(36.4 \times 10^{-6} \cdot 2 \times 10^{-6}) + (380 \times 10^{-12})(2 \cdot 38.4 \times 10^{-6}) = 85.2 \text{ fF}$$

因此，

$$C_{10} = 67.9 \text{ fF} + 67.9 \text{ fF} + 85.2 \text{ fF} = 0.221 \text{ pF}$$

得到极点 p_{10} 为 $-744.6 \times 10^{-6}/0.246 \times 10^{-12} = -3.505 \times 10^9$ rad/s。

这些极点概括如下:

$$p_A = -1.346 \times 10^9 \text{ rad/s} \qquad p_B = -1.346 \times 10^9 \text{ rad/s} \qquad p_6 = -0.966 \times 10^9 \text{ rad/s}$$

$$p_8 = -3.149 \times 10^9 \text{ rad/s} \qquad p_9 = -3.149 \times 10^9 \text{ rad/s} \qquad p_{10} = -3.505 \times 10^9 \text{ rad/s}$$

这些极点中最小的是 p_6。由于 p_A 和 p_B 没有比 p_6 大很多，让我们以 p_6 除以 5（而不是 2.2）作为新的 GB 从而得到 200×10^6 rad/s。因此，新的 GB 值是 $200/2\pi$，即 32 MHz。这个主极点的幅值为:

$$p_{\text{dominant}} = \frac{GB}{A_{vd}(0)} = \frac{200 \times 10^6}{7464} = 26796 \text{ rad/s}$$

产生这个极点的负载电容为:

$$C_L = \frac{1}{p_{\text{dominant}} \cdot R_{\text{out}}} = \frac{1}{26.796 \times 10^3 \cdot 19.4 \text{ M}\Omega} \approx 1.9 \text{ pF}$$

因此，例6.5-3中折叠共源共栅运算放大器的负载电容可以在不牺牲相位裕量的情况下降低到 1.9 pF。这对应于 32 MHz 的单位增益带宽。这些极点靠得很近使得除以 2.2 变得不再合适。习题 7.2-2 说明了如何选择合适的值来保持相同的稳定性。

开关运算放大器

从上面的讨论中我们可以发现，为了使式（7.2-1）有效，运算放大器的所有高阶根必须比要求的 GB 值大。这就给出了一个难以克服的频响限制。为了减少高阶根的数量，必须使电路尽量简单。

一种简化电路的方法是开关运算放大器。开关运算放大器使用动态偏置来简化偏置电路，因此减少了高阶根的数量。图7.2-4展示了采用开关和电容实现偏置的简单动态偏置反相器。这样的电路仅在有限的时间周期内工作，并且需要“刷新”。这种类型的放大器仅限于诸如开关电容电路的数据采样的应用。

在相位ϕ_1期间，动态反相器建立偏置条件。M1 和 M2 被接成两个串联的 MOS 二极管。M2 的源-栅电位由偏置电容 C_B 建立。同时，放大器的偏置电压加在接地电容 C_{OS} 上。在第二个相位ϕ_2期间，输入与 C_{OS} 串联连接。因此，作用于 M1 栅极上的电压是所需的直流偏置与输入信号的叠加，C_B 使 M2 成为 M1 的电流源负载。

开关放大器代表着动态偏置的概念，但是因为太简单而不能有效地减小连续时间放大器的寄生效应。图 7.2-5 所示的动态偏置共源共栅放大器是一个采用开关放大器减小寄生效应的范例[5]。NMOS 晶体管 M1、M2 和 PMOS 晶体管 M3、M4 组成了推挽共源共栅输出级。6 个开关与电容 C_1 和 C_2 组成运算放大器的差分输入级。NMOS 晶体管 M5、M6 和 PMOS 晶体管 M7、M8 产生运算放大器的偏置电压。M1、M2、M3 和 M4 的沟道长度分别与 M5、M6、M7 和 M8 相等。因此，当 V_{B1} 和 V_{B2} 分别加在 M1 和 M4 的栅极上时，推挽共源共栅输出级将得到适当偏置。

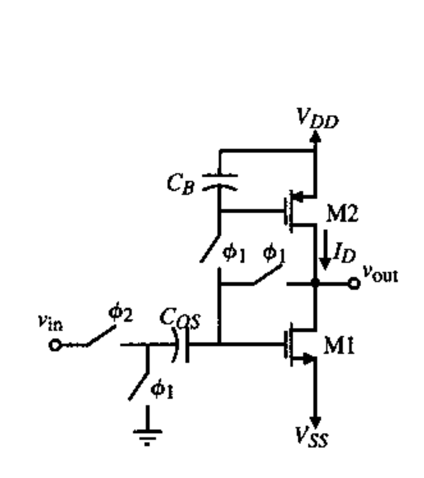


图 7.2-4 一个动态偏置反相放大器的示意图

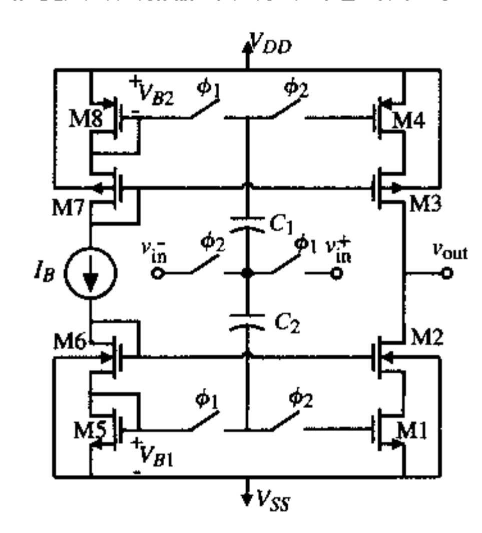


图 7.2-5 简单的动态推挽共源共栅运算放大器原理图

动态运算放大器的基本工作原理解释如下。如图 7.2-6（a）所示，在相位ϕ_1，$C1$ 和 $C2$ 以v_{IN}^+为参考由偏置电压充电。然后如图 7.2-6（b）所示，电容以v_{IN}^-为参考，施加到 M1 和 M4 的栅极。注意，加在这些栅极上的电压包括必要的直流偏置电压和差分输入电压。

图 7.2-5 的优点是，采用一种甲乙类的推挽工作方式，实现了低功耗条件下的快速建立时间。推挽共源共栅级的输入电压摆幅受到电源电压的限制，因为对于体 CMOS 开关，大电压摆幅将引起开关端扩散结变为正向偏置。最大的输入电压摆幅大约等于偏置电压 V_{B1} 和 V_{B2}。如果动态运算放大器必须工作在两个时钟相位上，则电路规模简单加倍，如图 7.2-7 所示。

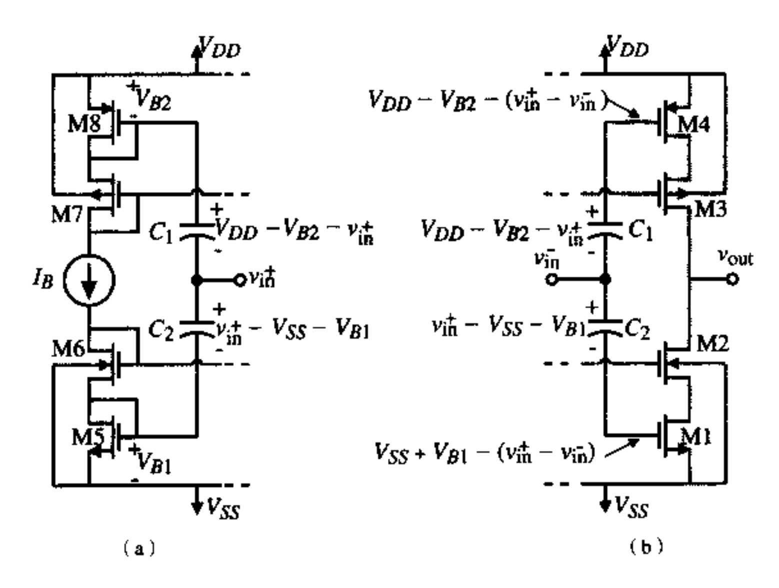


图 7.2-6 （a）时钟相位为ϕ_1时的等效电路；（b）时钟相位为ϕ_2时的等效电路

当图 7.2-7 所示的运算放大器采用 1.5 μm、n 阱、双层多晶硅和双层金属 CMOS 工艺制造时，在 2.2 pF 负载电容下得到的增益带宽为 127 MHz。低频增益为 51 dB。对于 5 V 电源，共模输出范围是 1.5~3.5 V。在 5 pF 负载电容下的建立时间为 10 ns。对于正负电源，在 100 kHz 时 PSRR 都是 33 dB。对于 1 kHz 的 Δf，100 kHz 时等效输入噪声为 $0.1\ \mu V/\sqrt{Hz}$。功耗为 1.6 mW。这个电路达到高性能的关键是采用了动态电路技术来简化电路并使用了高速工艺。图7.2-8揭示了如何通过把 M1 和 M2（M3 和 M4）之间的漏-源面积减小到 0 来使寄生电容达到最小，这里利用了双层多晶硅工艺形成一个双栅MOSFET。如果没有双层多晶硅工艺，那么共源共栅的公共漏/源面积可以通过仔细地设计版图来达到最小化。

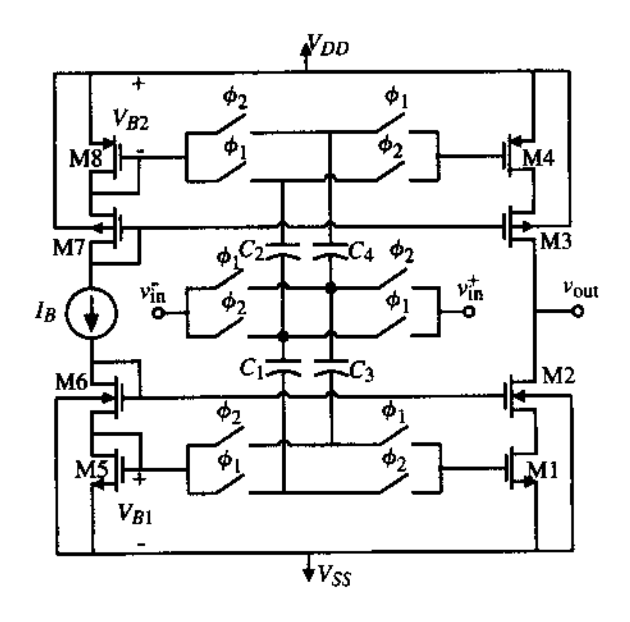


图 7.2-7　可在双时钟相位上操作的图 7.2-5 的变形电路

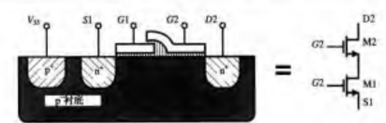


图 7.2-8 采用双多晶硅工艺最小化 M1 和 M2 间漏源到体的电容

流反馈运算放大器

电流反馈的运算放大器有一个重要特性，就是当它用来做电压放大器时可增加带宽。这一特点来源于闭环电压增益函数的 3 dB 频率点保持常数，因而成为具有高单位增益带宽的电压放大器。虽然公式（5.4-5）验证了这一特性，但我们在这里采用差分结构来重新推导它。我们来考虑如图 7.2-9 所示的具有电流反馈的电流放大器的反相电压放大器。

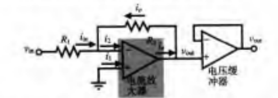


图 7.2-9 采用电流负反馈电流放大器的反相电压放大器

假设电流放大器差分电流增益由式（5.4-4）给出，具有低频电流增益 A_i 和主极点 $-\omega_A$。电流放大器输出电流 i_o 可写为：

$$i_o = A_i(s)(i_1 - i_2) = -A_i(s)(i_{in} + i_o) \tag{7.2-7}$$

闭环电流增益 i_o/i_{in} 可表示为：

$$\frac{i_o}{i_{in}} = \frac{-A_i(s)}{1 + A_i(s)} \tag{7.2-8}$$

然而，$v_{out} = i_o R_2$ 且 $v_{in} = i_{in} R_1$。解得电压增益为：

$$\frac{v_{out}}{v_{in}} = \frac{i_o R_2}{i_{in} R_1} = \left(\frac{-R_2}{R_1}\right)\left(\frac{A_i(s)}{1 + A_i(s)}\right) \tag{7.2-9}$$

注意，公式（7.2-9）是公式（5.4-3）的反相形式。将公式（5.4-4）带入公式（7.2-9）得：

$$\frac{v_{out}}{v_{in}} = \left(\frac{-R_2}{R_1}\right)\left(\frac{A_o}{1 + A_o}\right)\left(\frac{\omega_A(1 + A_o)}{s + \omega_A(1 + A_o)}\right) \tag{7.2-10}$$

我们发现电压增益为：

$$A_v(0) = \frac{-R_2 A_o}{R_1(1 + A_o)} \tag{7.2-11}$$

−3 dB 频率点为：

$$\omega_{-3\,dB} = \omega_A(1 + A_o) \tag{7.2-12}$$

这与 5.4 节的结果一致。

我们注意到，如果电流放大器的低频电流增益 A_o 远大于 1，图 7.2-9 的电压增益是 $-R_2/R_1$。换

句话说，如果 A_o 不大于 1，电压增益会减小，但不是频率的函数。通常，所用的电流放大器的增益为 1（$A_o=1$），这时只需将增益乘以 $\frac{1}{2}$。

电流反馈的优点是−3 dB 频率不是 R_2 或 R_1 的函数。这一优点可以从图（7.2-10）看出，其中−3 dB 频率是恒定的，与 R_2/R_1 的值无关。因此放大器的单位增益带宽是式（7.2-11）和式（7.2-12）的乘积：

$$GB = |A_v(0)|\omega_{-3\,\mathrm{dB}} = \frac{R_2 A_o \omega_A}{R_1} = \frac{R_2}{R_1} GB_i \tag{7.2-13}$$

其中，GB_i 是电流放大器的单位增益带宽。如果 GB_i 恒定，增加 R_2/R_1（电压增益）可增加电压放大器单位增益带宽。这恰恰是实际中用到的，且只受电流放大器高阶极点或 R_2/R_1 比的限制[6]。特别要注意的是，电流放大器有非零的输入电阻 R_i，当 R_1 的值接近这个值时，上面的关系就不再有效了。

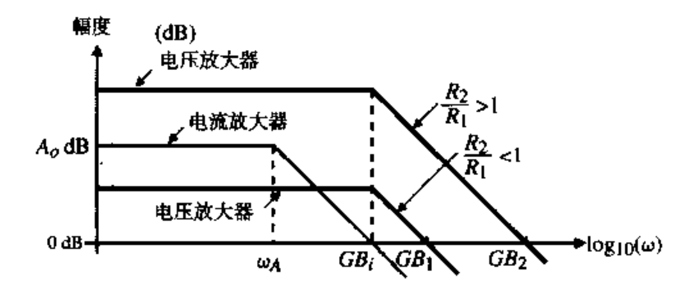


图 7.2-10　电压放大器单位增益带宽（GB_1 和 GB_2）大于电流放大器单位增益带宽（GB_i）的示意图

起先人们以为，通过电流反馈获得的好处将会在输出端的电压缓冲器中失去。然而，电压缓冲器的−3 dB 频率等于运算放大器的 GB，此值必须大于电压放大器的 GB（图 7.2-10 中的 GB_1 和 GB_2）。如果不是这种情况，则会出现第二个极点，且电压放大器的斜率将增加，实际的 GB 值将小于式（7.2-13）预测的值。

实现图 7.2-9 概念的简单例子如图 7.2-11 所示。电流放大器增益为 1，电阻 R_2/R_1 比为 20，产生电压增益−10 V/V。主极点 ω_A 为 R_2 与电流放大器输出端到地之间的电容 C_o 乘积的倒数。若 R_2 维持恒定，R_1 变化，那么 R_2/R_1 变化，而 ω_A 保持恒定。若我们假设电流放大器的输入电阻（$1/g_{m1}$）小于 R_1，则电压放大器的单位增益带宽为：

$$GB = \frac{R_2(1)}{R_1}\left(\frac{1}{R_2 C_o}\right) = \frac{1}{R_1 C_o} \tag{7.2-14}$$

如果 $R_1 = 10\ \mathrm{k\Omega}$ 和 $C_o = 500\ \mathrm{fF}$，则单位增益带宽为 31.83 MHz。

遗憾的是，有一个问题限制了图 7.2-11 电路的有效性：R_1 必须大于电流放大器的输入电阻（$1/g_{m1}$），而 R_2 必须小于电流放大器的输出电阻 $1/(g_{ds2}+g_{ds6})$。使 g_{m1} 增大，必然会增大 $g_{ds2}+g_{ds6}$。这会限制 R_2/R_1 的比值或闭环增益。电流放大器的输入和输出电阻可以分开，以获得低的电压增益，但结果是需要大的宽长比，这会导致 GB 减小（见习题 7.2-5）。图 7.2-11 的另一种电路可避免此问题，如图 7.2-12 所示。

图 7.2-12 有更好的适应性，可以满足高 GB 的要求。第一个要求是 R_3 远小于 R_1。这一要求的原因可以从式（7.2-14）看出。为获得高 GB，R_1 应当小，但是 R_3 限制了 R_1 的最小值。因此，我们选择 $R_1 = 10R_3$。第二个要求是保持连接 M4 和 M6 的漏极（以及 M12 的栅极）电容 C_o 尽可能

地小。为了满足此要求，M4、M6 和 M12 的尺寸一定要小。除此之外，我们假设电流放大器的输出电阻（与 C_o 相同的节点）远大于 R_2。这在图 7.2-12 中很容易得到满足。下面的例子说明用图 7.2-12 来获得一个增益为−10、−3 dB 频率为 50 MHz 的电压放大器。

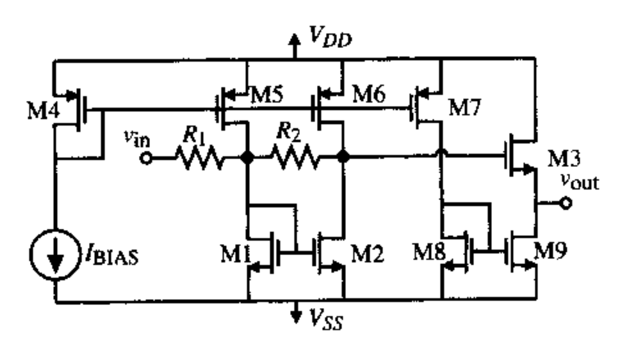


图 7.2-11 图 7.2-9 的一个简单的 MOSFET 应用

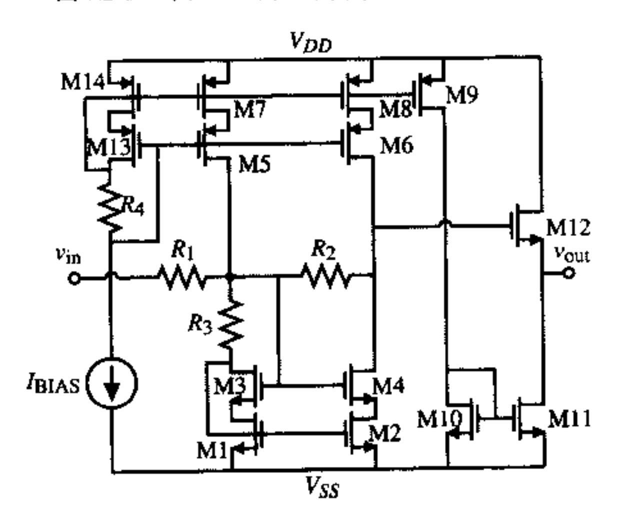


图 7.2-12 图 7.2-11 的一种实际电路

例 7.2-3 设计使用电流反馈的高 *GB* 电压放大器

设计如图 7.2-12 的电压放大器以获得−10 V/V 的增益和 500 MHz 的 *GB*，其相应的−3 dB 频点为 50 MHz。

解：

由于我们知道了增益的大小，让我们假设 C_o 为 100 fF。为了获得 500 MHz 的 GB，R_1 应为 3.2 kΩ 和 R_2 = 32 kΩ。因此，R_3 必须小于 300 Ω。R_3 由 $\Delta V/I$ 决定，其中 ΔV 是 M1~M4 的饱和电压。因此，我们可以写出：

$$R_3 = \frac{\Delta V}{I} = \left(\frac{2}{IK'(W/L)}\right)^{1/2} = 300\ \Omega \rightarrow 22.2 \times 10^{-6} = K' I \frac{W}{L}$$

或者 I 和 W/L 的乘积应当为 0.202。这里有一个问题，如果为了最小化 C_o，需使 W/L 很小，电流就要很大。如果选择 W/L= 200 μm/1 μm，将得到 1 mA 的电流。可是，M4 和 M6 用这个 W/L 会产生大于 100 fF 的 C_o。这个问题的解决方案是选择 M1、M3、M5 和 M7 的 W/L 为 200，而 M2、

M4、M6 和 M8 的 W/L 要小于 200。我们选择 M2、M4、M6 和 M8 的 $W/L = 20\ \mu m/1\ \mu m$，这时这些晶体管的电流为 100 μA。可是，根据式（7.2-10）我们应乘以 R_2/R_1 的比值 1/11。我们选择 R_2 为 R_1 的 110 倍，即 352 kΩ。

现在选择 M12 的 W/L 为20 μm/1 μm，由此可以计算 C_o。假设所有受电压影响的电容都是零偏置。接下来，假设扩散区为2 μm 乘 W，C_o 可以写为：

$$C_o = C_{gd4} + C_{bd4} + C_{gd6} + C_{bd6} + C_{gs12}$$

计算这些电容需要的信息见表 3.2-1。各电容为：

$$C_{gd4} = C_{gd6} = \text{CGDO} \times 10\ \mu\text{m} = (220 \times 10^{-12})(20 \times 10^{-6}) = 4.4\ \text{fF}$$

$$C_{bd4} = \text{CJ} \times \text{AD}_4 + \text{CJSW} \times \text{PD}_4$$

$$= (770 \times 10^{-6})(20 \times 10^{-12}) + (380 \times 10^{-12})(44 \times 10^{-6}) = 15.4\ \text{fF} + 16.7\ \text{fF} = 32.1\ \text{fF}$$

$$C_{bd6} = (560 \times 10^{-6})(20 \times 10^{-12}) + (350 \times 10^{-12})(44 \times 10^{-6}) = 26.6\ \text{fF}$$

$$C_{gs12} = (220 \times 10^{-12})(20 \times 10^{-6}) + (0.67)(20 \times 10^{-6} \cdot 10^{-6} \cdot 24.7 \times 10^{-4}) = 37.3\ \text{fF}$$

因此，

$$C_o = 4.4\ \text{fF} + 32.1\ \text{fF} + 4.4\ \text{fF} + 26.6\ \text{fF} + 37.3\ \text{fF} = 105\ \text{fF}$$

注意，如果我们不减小 M2、M4、M6 和 M8 的 W/L，那么 C_o很容易超过 100 fF。由于 105 fF 很接近我们期望的 100 fF，因此让我们保留 R_1 和 R_2 的值。如果这个值与期望值差别很大，则可以调整 R_1 和 R_2的值使 GB 为 500 MHz。我们还必须检查以确保输入极点大于 500 MHz（见习题 7.2-6）。

通过假设 I_{BIAS}= 100 μA 和流过 M9~M12 的电流为100 μA，可以完成设计。即，$W_{13}/L_{13} = W_{14}/L_{14}$ = 20 μm/1 μm 且 W_9/L_9~W_{12}/L_{12} 也是 20 μm/1 μm。图 7.2-13 给出了这一设计仿真时的频率响应。−3 dB 频率接近 38 MHz 且 GB 大概是 300 MHz。−2 dB 的增益损失是由源极跟随器损失造成的。实际上由于 R_3 的存在，R_1 要大于 3.2 kΩ。第二个极点略大于 1 GHz。为了得到这样的结果，必须使用±3 V 电源将输入直流偏置在−1.7 V。期望的−3 dB 频率和仿真结果的差异就是因为 R_1 大于 3.2 kΩ且实际电容略大于本例计算得到的值。

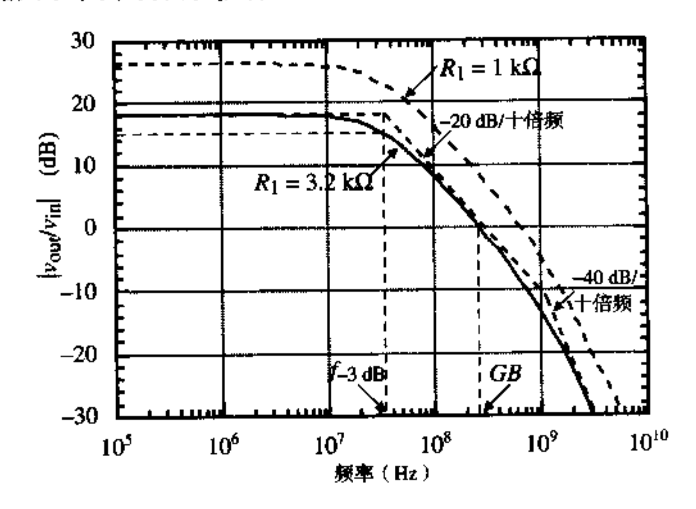


图 7.2-13 例 7.2-3 中图 7.2-12 电路的幅频响应仿真

图 7.2-13 同样给出了 R_1 减小到 1 kΩ时幅频响应的情况。增益是以前的两倍多（26.4 dB），新的−3 dB 频率为 32 MHz。新的单位增益带宽为 630 MHz！这反映了电流反馈在增加闭环增益的同时可以增加 GB 值的能力。

采用如图5.4-5（a）所示具有很低的输入电阻即$1/(g_m^2 r_{ds})$的电流放大器/电流镜似乎是很合理的。这样的放大器的输入电阻很容易达到 10 Ω。问题是如果采用并联负反馈环来产生低电阻，在高频时环路增益减小，就会产生比图 7.2-12 更糟的结果，那里并没有使用反馈。

使用电流反馈是一种产生大 GB 电压放大器的有效方法。式（7.2-14）是获得大 GB 的关键公式。R_1 和 C_o 在高频时应尽可能小。电压相加放大器可以通过增加电阻来实现，例如连接在另一个输入电压和电流放大器输入端之间的 R_1。此外，如果要考虑稳定性的话，通过使用其他外部负反馈路径，高 GB 电压放大器可以用来实现高频缓冲放大器。

并行路径运算放大器

另一种获得高 GB 运算放大器的方法是将一个高增益、低频运算放大器和一个低增益、高频运算放大器并联应用，以获得一个高 GB 的运算放大器。这个概念如图 7.2-14 所示[7]。思路是用低频运算放大器实现低频时的高增益。但是，这个运算放大器具有高阶极点，这将使得放大器为有条件稳定。一个运算放大器的有条件稳定是指在某些反馈值时反馈放大器不稳定。这经常发生在小的闭环增益的时候。低增益放大器用来扩展高增益运算放大器第二极点（p_2）上方的斜率为−20 dB/十倍频。结果产生一个主极点在 p_1、GB 为$|p_1|$和$|A_{vd1}(0)\cdot A_{vd2}(0)|$ 乘积的运算放大器。

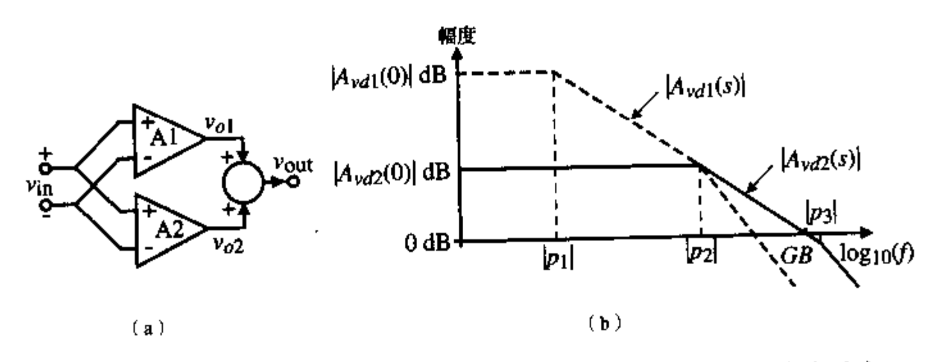


图 7.2-14 （a）用并联放大器方法实现高 GB；（b）（a）所对应的幅频响应

为了正确使用这种技术，两个放大器增益的符号应当是相同的，即同时为正或同时为负。如果不同，就会在右半平面出现零点，并影响稳定性。图 7.2-15 更详细地给出了如何使用三级放大器实现这个想法。这一技术称为多路嵌套米勒补偿[7]。通过两路相加产生左平面零点来抵消高增益路径的第二个高阶极点，使−20 dB/十倍频斜率延伸到低增益路径的第二个高阶极点。需要注意的是，米勒补偿产生的右半平面零点得以抵消，且极零点对不会产生慢的时间常数问题。对于感兴趣的读者，用于图 7.2-15 的分析公式和其他结构在 Eschauzier 和 Huijsing 文中[7]有详细论述。

这一节给出了一些扩展运算放大器频率响应的方法。在所有的放大器中，频率响应都受到单位增益带宽的限制。在绝大多数的 MOSFET 运算放大器中，单位增益带宽是用输入跨导和产生主极点的电容的比值给出的。采用 CMOS 技术来获得超过 100 MHz 的单位增益带宽是很困难的。在许多应用中，运算放大器用负反馈来实现低增益放大器。如果采用电流反馈，我们已经看到

GB 的限制实际上是可以突破的。任何扩展带宽的方法是否成功，取决于高阶极点的位置和它们对方法的影响。

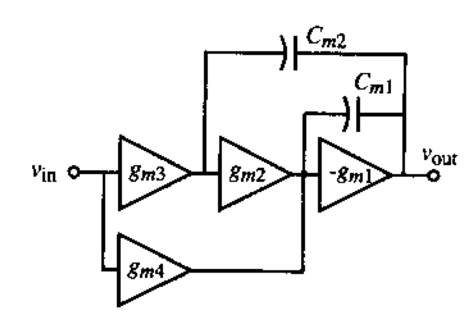


图 7.2-15　多路嵌套米勒补偿放大器的例子

7.3　差分输出运算放大器

在绝大多数集成电路运算放大器的应用中都希望有差分信号。差分信号具有抵消不需要的共模信号或噪声以及与单端信号相比信号摆幅增加一倍的优点。差分工作是减小时钟馈通影响的好方法。为了处理差分信号，运算放大器要有差分输入和差分输出。在我们以前的研究中，我们仅仅考虑了差分输入、单端输出的运算放大器。这一节，我们来讨论具有差分输入和差分输出的运算放大器的实现。

差分信号处理的考虑

差分信号处理的优点之一是共模信号抑制特性。这在 5.2 节中已用共模抑制比的概念进行了证明。我们看到差分输入运算放大器的共模输入信号的抑制得益于差模输入信号。这种抑制受到每边差分信号处理电路匹配的影响。同样重要的是差分信号的偶次谐波也会得到抑制。因为差分信号具有奇对称性，偶次谐波在奇对称匹配程度内被抵消。

差分操作的另一个优点是相对于单端信号而言信号幅度增加了一倍，如图7.3-1所示，这在电源很低并要求很大的动态范围时变得更加重要。v_1 和 v_2 是单端信号，而 $v_1 - v_2$ 是差分信号。

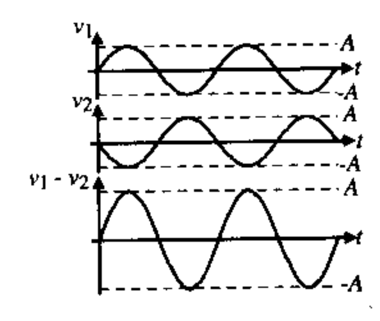


图 7.3-1　差分信号是单端信号幅度两倍的示意图

除了差模信号以外，还要考虑共模信号。如果共模信号不为零，那么差模信号就会受到限制。为了使用差模，必须提供一些共模稳定方法。对于运算放大器输入端信号，不存在这样的问题，因为输入信号定义了共模信号。但是在运算放大器输出端，共模因受失配和负载的影响可能是任何值。图 7.3-2 给出了当共模信号不为零时，差模信号具有峰–峰值 $V_{DD} + |V_{SS}|$ 所发生的情况。因

此提供共模稳定结构十分必要。我们在介绍完各种类型的差分输入、差分输出运算放大器之后研究稳定性实现方法。

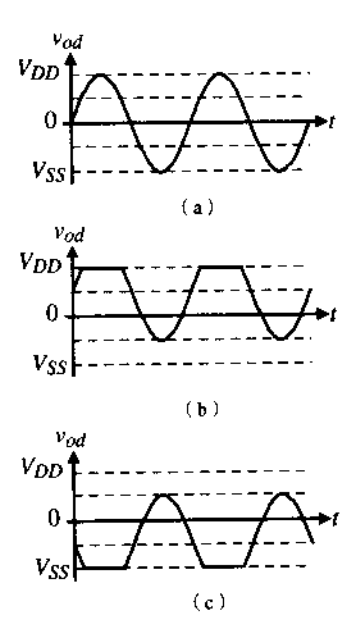


图 7.3-2 共模信号对差模信号的影响示意图。(a) CM = 0；(b) CM = 0.5V_{DD}；(c) CM = 0.5V_{SS}

差分输入、差分输出运算放大器

差分输出运算放大器很容易由单端输出运算放大器实现。例如，考虑图6.3-1中的两级运算放大器。我们将它称之为两级米勒运算放大器以区别于其他类型的运算放大器。在图6.3-1所示的运算放大器中，我们注意到从差分信号到单端信号的转换点出现在第一级的电流镜处。因为我们不想转换为单端信号，因此电流镜用两个电流源负载代替。除非沟道电导很大，我们可能采用图 5.2-15 所示的电路来解决差分输入级的直流电流冲突。为了完成设计，我们只需简单地将第二级复制两次，如图 7.3-3 所示。注意，每一个第二级都是用自己的米勒电容 C_c 连同调零电阻 R_z 进行补偿。

差分输入输出电压增益和单端输出时完全相等。输入输出电压的下标这样来选择，v_{i1} 加正电压，v_{o1} 输出正电压，v_{o2} 输出负电压。同样 v_{i2} 加正电压，v_{o1} 输出负电压，v_{o2} 输出正电压。输出共模范围 OCMR 为：

$$\mathrm{OCMR} = V_{DD} + |V_{SS}| - V_{SDP}(\text{饱和}) - V_{DSN}(\text{饱和}) \tag{7.3-1}$$

其中，V_{SDP} (饱和) 是 M6 和 M7 的饱和电压，V_{DSN} (饱和) 是 M8 和 M9 的饱和电压。最大的峰-峰值输出电压不可能大于运算放大器的 OCMR。

如图 7.3-3 所示的两级米勒运算放大器采用与单端两级米勒运算放大器相同的补偿技术。在差分应用中，负载电容被差分地连接在图 7.3-3 所示的两个输出端之间。如果我们将这个负载电容 C_L 分解为两个相等的串联电容 $2C_L$ 且中点接地，那么就得到了单端等效电路。这个步骤如图 7.3-4 所示。使用单端负载电容 $2C_L$ 允许我们使用前面阐述的单端输出两级米勒运算放大器的补偿方法。

图 6.5-7 所示的折叠共源共栅运算放大器可以用与两级米勒运算放大器相同的方法将其转换

为差分输出，结果如图7.3-5所示。差分输出运算放大器的优点之一是它们是平衡的，即从源级耦合输入对的漏极看过去的负载相同。同样，差分电压增益也与单端输出相同。

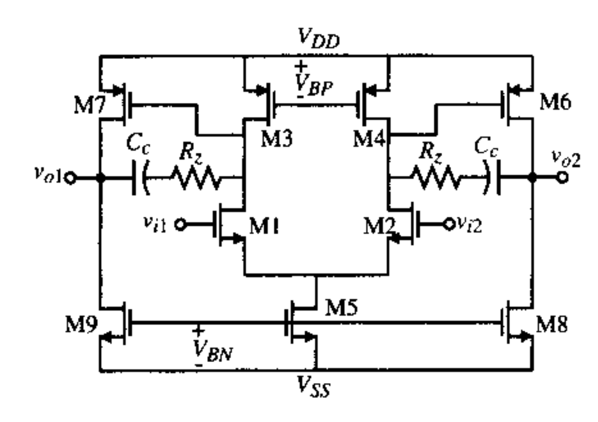


图 7.3-3　差分输入差分输出两级米勒运算放大器

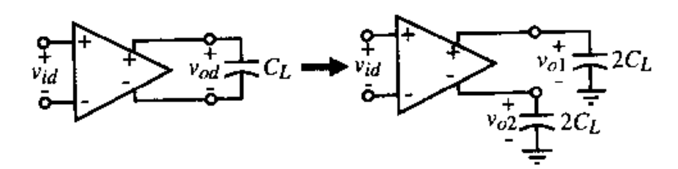


图 7.3-4　双端输出到单端输出的转换

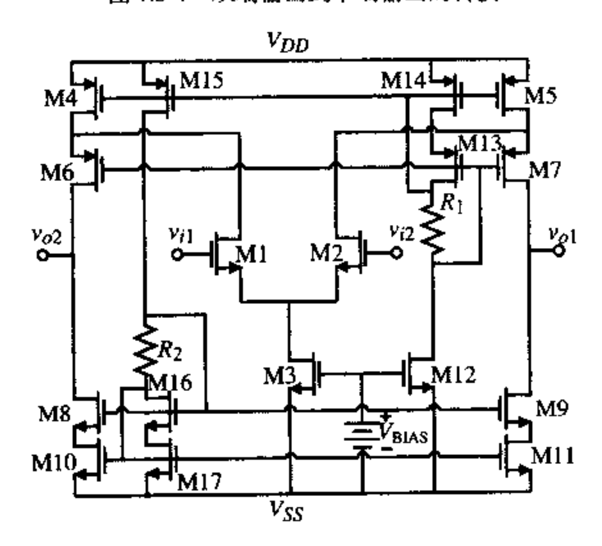


图 7.3-5　差分输出、折叠共源共栅运算放大器

输出共模范围为：

$$\text{OCMR} = V_{DD} + |V_{SS}| - 2V_{SDP}(\text{饱和}) - 2V_{DSN}(\text{饱和}) \qquad (7.3\text{-}2)$$

其中，V_{SDP}(饱和)是 M4 到 M7 的饱和电压，V_{DSN}(饱和)是 M8 到 M11 的饱和电压。通过负载电容实现补偿，负载电容通常为差分连接。图7.3-4可用于确定差分输出每边的主极点。当负载电容很小和输入跨导很大时，这个运算放大器的单位增益带宽可以做得很大。

由于平衡的信号路径，差分输出运算放大器输入共模范围一般大于单端输出运算放大器。通

常，输入差分放大器的负载是电流源或电流漏，这时的输入共模范围一般超过电源电压。对图 7.3-3 和图 7.3-5 所示的电路，最大共模输入电压是 $V_{DD}+V_T$。

如果我们用第一级合适的输出来驱动电流漏或电流源，图7.3-3所示两级米勒运算放大器输出可以是推挽的。图 7.3-6 给出了这种类型的差分输出运算放大器[8]。这种运算放大器有着和图 7.3-3 同样的输出共模范围。主要差别是在静态条件下输出级电流很小（且不好确定）。在输入信号有大的变动时，输出能够有效地从负载吸收电路或向负载注入电流。补偿略微不同于图 7.3-3，这时第二级增益增加了 1 倍（如果输出晶体管满足 $K_NW/L = K_PL/W$）。这使米勒补偿可以用 C_c 的一半实现。

一个两级折叠共源共栅运算放大器如图 7.3-7 所示[9, 10]。第二级是采用米勒补偿的甲类放大器。输出共模范围由式（7.3-1）给出。折叠共源共栅运算放大器输出电阻被减小以防止增益太大。增益基本上等于两级米勒运算放大器的增益。

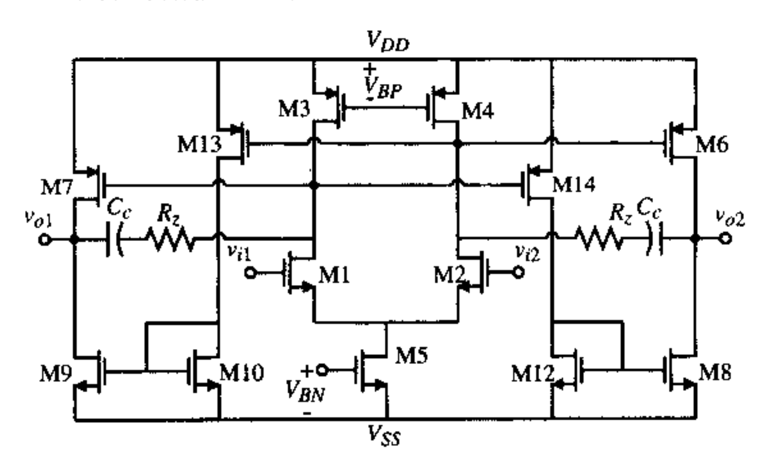


图 7.3-6 带有推挽输出级的差分输入和差分输出两级米勒运算放大器

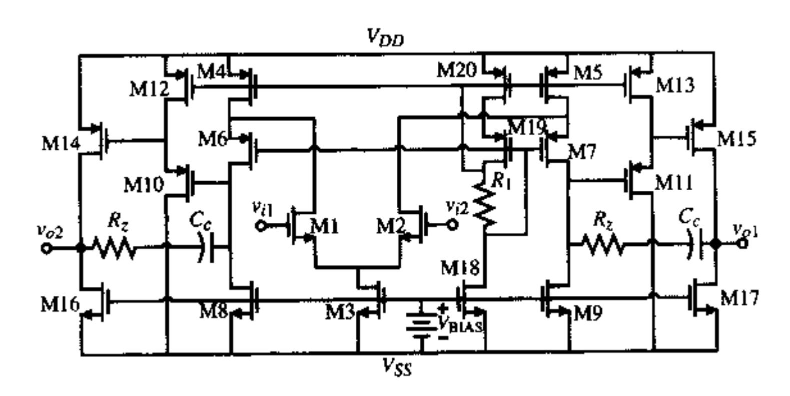


图 7.3-7 两级差分输出折叠共源共栅运算放大器

另一个有用的差分输出运算放大器是采用图6.5-4 所示的共源共栅输出级。这种类型的运算放大器差分输出如图 7.3-8 所示并称之为非折叠共源共栅运算放大器。因为差分输入对驱动 MOS 二极管（M3 和 M4），正的输入共模电压将小于前面的运算放大器。

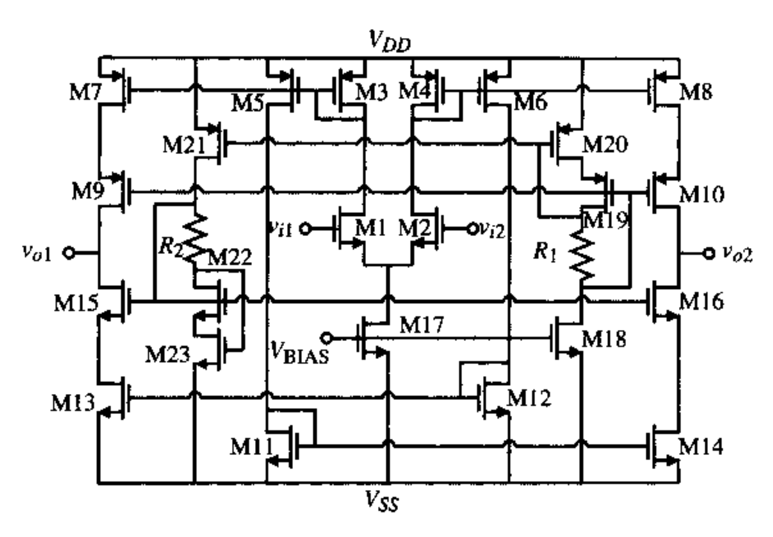


图 7.3-8　差分输出非折叠共源共栅运算放大器

需要考虑的最后一个差分输入、差分输出运算放大器使用一种不常用的差分放大器结构[11]。事实上，所有的运算放大器输入级都使用了源极耦合对，这使得这类放大器在电压输入放大器中独树一帜。这种差分输入电路被称为交叉耦合差分输入级，如图 7.3-9 所示。

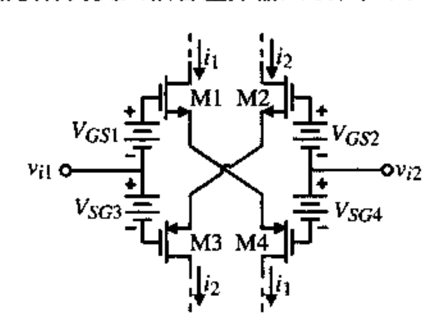


图 7.3-9　交叉耦合差分输入级

交叉耦合差分输入级的工作原理可以通过写出差分输入 v_{i1} 和 v_{i2} 之间的电压回路来理解。这里有两个回路，表示为：

$$v_{i1} - v_{i2} = -V_{GS1} + v_{GS1} + v_{SG4} - V_{SG4} = V_{SG3} - v_{SG3} - v_{GS2} + V_{GS2} \tag{7.3-3}$$

然而，总的栅源电压包括直流分量 V_{GS} 和交流分量 v_{gs}。采用这样的符号，式（7.3-3）可表示为：

$$v_{i1} - v_{i2} = v_{id} = (v_{sg1} + v_{gs4}) = -(v_{sg3} + v_{gs2}) \tag{7.3-4}$$

所以，差分输入信号交叉地施加在 M1、M4 和 M2、M3 的栅源上。如果所有晶体管的 $K'W/L$ 相等，那么差分输入电压可以平均分配到两个栅源上。正的 v_{id} 会增加 i_1，减小 i_2。这些小信号电流可表示为：

$$i_1 = \frac{g_{m1}v_{id}}{2} = \frac{g_{m4}v_{id}}{2} \tag{7.3-5}$$

$$i_2 = -\frac{g_{m2}v_{id}}{2} = -\frac{g_{m3}v_{id}}{2} \tag{7.3-6}$$

我们注意到图7.3-9的小信号性能和源极耦合差分输入对相同。事实上，交叉耦合差分输入级就是两个交叉连接的源极耦合差分对，其中一个晶体管是NMOS，另一个是PMOS。完整的运算放大器如图7.3-10所示。我们看到交叉耦合差分输入级产生的电流流向推挽共源共栅负载产生出与两级运算放大器相同增益。

图7.3-10的输入共模范围远小于前面介绍的其他放大器。负的输入共模电压是：

$$V_{icm}(最小) = V_{SS} + V_{GS6} + V_{DS4}(饱和) + V_{GS1} = V_{SS} + 2V_T + 3V_{ON} \quad (7.3\text{-}7)$$

其中，$V_{GS} = V_T + V_{ON}$，$2V_T + 3V_{ON}$可达2 V。增益和两级运算放大器相同，且补偿由每个输出端的接地电容完成。

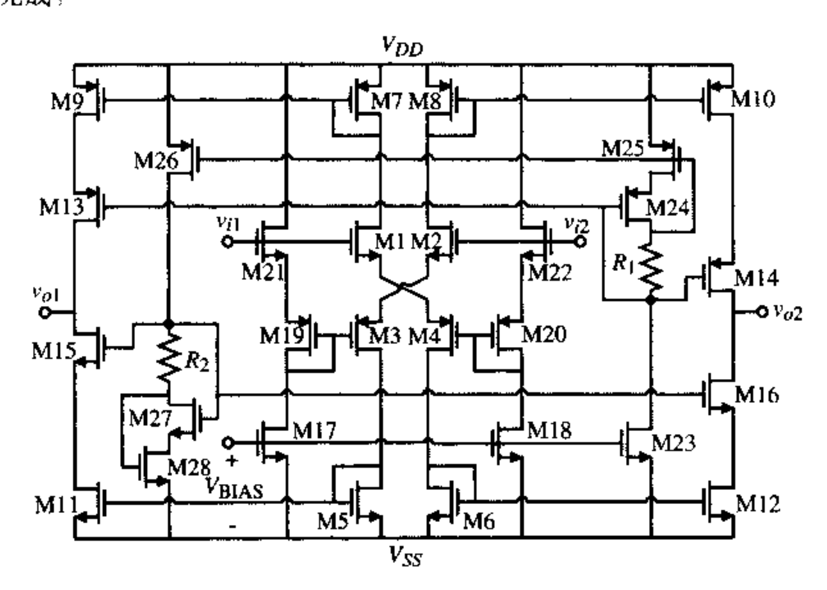


图7.3-10 采用交叉耦合差分输入级的甲乙类差分输出运算放大器

共模输出电压稳定性

共模稳定的目的是将共模电压保持在信号摆幅的极限之间（通常为电源电压）。这可以通过内部和外部的共模反馈实现。内部共模反馈方法的概念如图7.3-11所示。这个电路给出上述讨论的6个差分输入、差分输出运算放大器的每个输出端的模型。对于非推挽（甲乙类）运算放大器，低端的受控电流源可以被独立电流源取代，这是图7.3-3两级米勒运算放大器、图7.3-5折叠共源共栅运算放大器、图7.3-7两级差分输出折叠共源共栅运算放大器中相应的情况。

图7.3-11中共模反馈电路是通过检测M1和M2栅极的共模电压产生作用的。如果共模电压要减少，则M1和M2的源栅电压就增加。这使得更多的电流注入到电流源、R_{o1}和R_{o2}的上端连接处。假设条件平衡，电流分成两部分并流过R_{o1}、R_{o2}、R_{o3}和R_{o4}。相对于V_{SS}的R_{o3}和R_{o4}上的压降增加并抵制共模电压减小。图7.3-12示出了如何将这种共模反馈稳定的方法用于图7.3-3所示的两级米勒运算放大器中。可见应当增加电源电压以调节共模反馈晶体管M10和M11。这同样导致正的输出电压摆幅的减小。

图7.3-11的稳定技术通常满足绝大多数情况的需要，但它的缺点是没有参考值。它仅仅抑制变化。一种把共模输出电压驱动到期望值的方法如图7.3-13所示。在这种情况下，M3和M4使它们的栅极具有期望的共模输出电压V_{ocm}。这将产生图中所示的电流I_{ocm}。如果M1和M2的栅极被

置为当前的差分输出电压 v_{o1} 和 v_{o2}，那么它们会产生一个电流 I_5。这个电流镜像复制为 I_6，如果 M1 到 M4 相互匹配，则当 v_{o1} 和 v_{o2} 的共模值等于 V_{ocm} 时，I_{ocm} 等于 I_6。如果 v_{o1} 和 v_{o2} 的共模值大于 V_{ocm}，I_6 将大于 I_{ocm}，且校正电路上的电压就会减小。如果 v_{o1} 和 v_{o2} 的共模值小于 V_{ocm}，I_6 将小于 I_{ocm}，且校正电路上的电压就会增加。正确地选择校正电路，共模稳定能以共模输出电压的期望值为参考（见习题 7.3-6）。由于共模稳定技术是一种负反馈形式，因此必须小心以确保高增益环的稳定。如果差分输出运算放大器的输出采用共源共栅结构，共模环增益可以容易地等效为两级运算放大器。

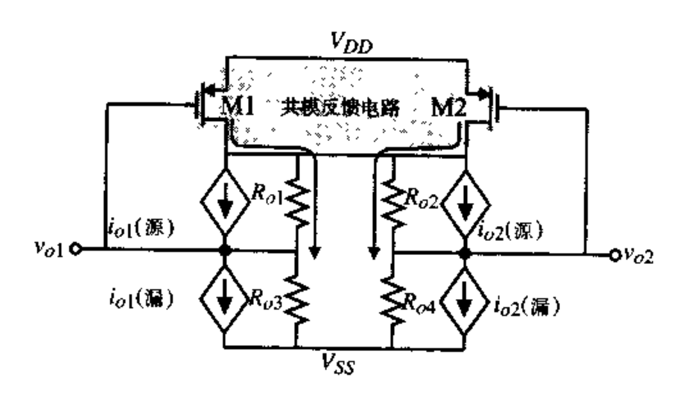


图 7.3-11　差分输出运算放大器的输出模型和共模反馈的实现

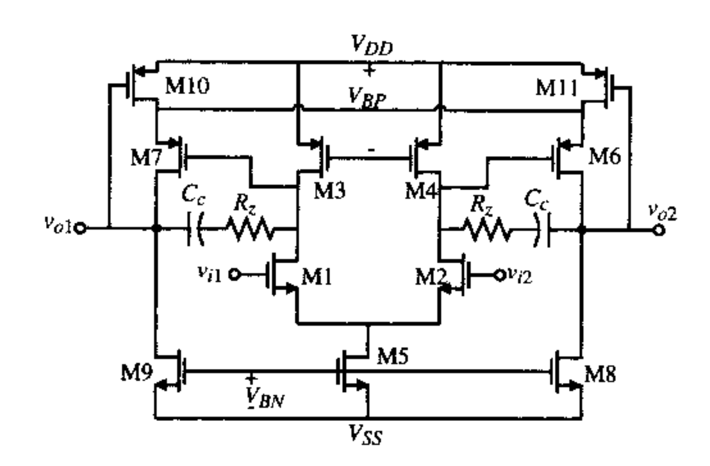


图 7.3-12　带有共模稳定的两级米勒差分输入差分输出运算放大器

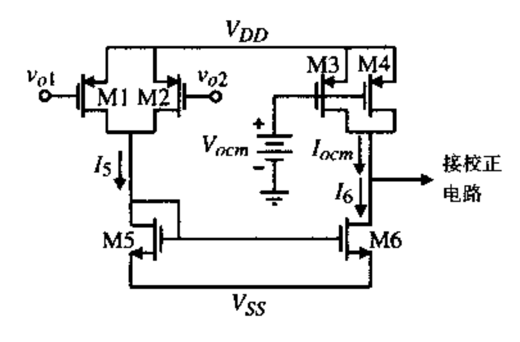


图 7.3-13　修正为期望的共模电压 V_{ocm} 的共模稳定结构

上述共模输出电压稳定方法应用在运算放大器的内部。在很多应用中可使用外电路来稳定共模输出电压。这对于开关电容电路很有吸引力。图 7.3-14 给出了差分输出运算放大器是如何通过外部方法来实现稳定的[12]。

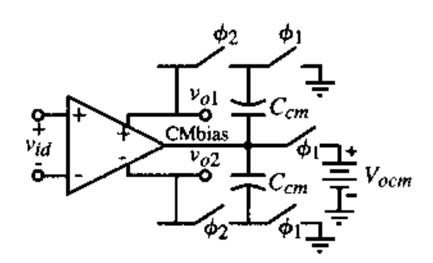


图 7.3-14 一种外部输出共模电压稳定结构

在这种类型的电路中，运算放大器只在ϕ_2相位内使用。记为 CMbias 的运算放大器端口为输入端口，用来确定共模输出电压。在ϕ_1相位内，两个电容 C_{cm} 被充电至期望的输出共模电压 V_{ocm}。注意，在这个相位内 V_{ocm} 和 CMbias 是连接在一起的。在ϕ_2相位内，已被充电至 V_{ocm} 的电容 C_{cm} 被连接在差分输出端和 CMbias 节点之间。即使可能存在差分输出电压，加到 CMbias 节点上的平均电压仍是 V_{ocm}。这里假设相位周期足够小，以至于 C_{cm} 上的电压不变。

还有许多其他共模输出电压稳定技术，但是其基本原理和上述相同。绝大多数使用运算放大器的集成电路的实现采用差分输出运算放大器来增加信号的摆幅和消除奇次谐波。此外，来自开关电荷注入的公共噪声也被大大减小。虽然我们将继续研究各种类型的采用单端输出的运算放大器，但读者必须记住这样做的目的是为了简化，而并非一定是实现某一特殊运算放大器的实际形式。

7.4 微功耗运算放大器

在这一节中，主要考虑低功耗的运算放大器。这种类型的运算放大器基本上工作在弱反型区。工作在弱反型区的运算放大器很有用[13~17]，这是因为它们工作时不仅具有低的电源电流，同时具有很低的电源电压。我们在这一节的首要任务是推导工作在弱反型区晶体管的小信号方程。这有助于理解一些采用微功耗技术工作的基本放大器结构。本节介绍的产生高过驱动电流的技术同样可用于强反型电路中。

工作在弱反型的两级米勒运算放大器

首先考虑模拟在很低电流密度下工作的晶体管大信号特性的方程。假设工作在饱和区，亚阈值漏极电流已由式（3.5-5）给出，即：

$$i_D = \frac{W}{L} I_{DO} \exp\left(\frac{qv_{GS}}{nkT}\right) \tag{7.4-1}$$

由这个方程可以很容易地推出跨导为：

$$g_m = \frac{I_D}{nkT/q} \tag{7.4-2}$$

结果很有趣：它表示了跨导和漏极电流之间的线性关系式。而且，跨导与器件尺寸无关。这

两个特点可以区分亚阈区和强反型区。在强反型区，跨导 g_m 和漏极电流 I_D 之间呈平方律关系，并且是器件尺寸的函数。事实上，工作在弱反型区的 MOS 器件的跨导与双极型晶体管很相似。

式（7.4-1）表明漏极电流与漏源电压无关。如果是这种情况，则器件的输出阻抗应为无穷大（这显然不正确）。i_D 和 v_{DS} 的依赖关系可以用和强反型区模型相同的方法近似，其中漏极电流用 $1+\lambda v_{DS}$ 项来修正。注意，提取出的弱反型 λ 并不一定同强反型的值相同。在弱反型中输出电阻的表达示为：

$$r_o \cong \frac{1}{\lambda I_D} \tag{7.4-3}$$

像跨导一样，输出电阻与器件的宽长比 W/L（恒定电流）无关。由于λ是沟道长度的函数，因此这是设计者控制工作在弱反型区单级增益（$g_m r_o$）的惟一参数。记住这些，考虑图 7.4-1 所示的简单运算放大器。这个放大器的直流增益是：

$$A_{vo} = g_{m2}g_{m6}\left(\frac{r_{o2}r_{o4}}{r_{o2}+r_{o4}}\right)\left(\frac{r_{o6}r_{o7}}{r_{o6}+r_{o7}}\right) \tag{7.4-4}$$

放大器的增益用器件参数可表示为：

$$A_{vo} = \frac{1}{n_2 n_6 (kT/q)^2 (\lambda_2+\lambda_4)(\lambda_6+\lambda_7)} \tag{7.4-5}$$

增益带宽 g_{m1}/C 为：

$$GB = \frac{I_{D1}}{(n_1 kT/q)C} \tag{7.4-6}$$

值得注意的是，运算放大器的直流增益与 I_D 无关，而 GB 却不是。这成为限制工作在弱反型的运算放大器动态性能的主要因素。因为直流电流小，GB 也小。放大器的摆率为：

$$SR = \frac{I_{D5}}{C} = 2\frac{I_{D1}}{C} = 2GB\left(n_1\frac{kT}{q}\right) = 2GBn_1V_t \tag{7.4-7}$$

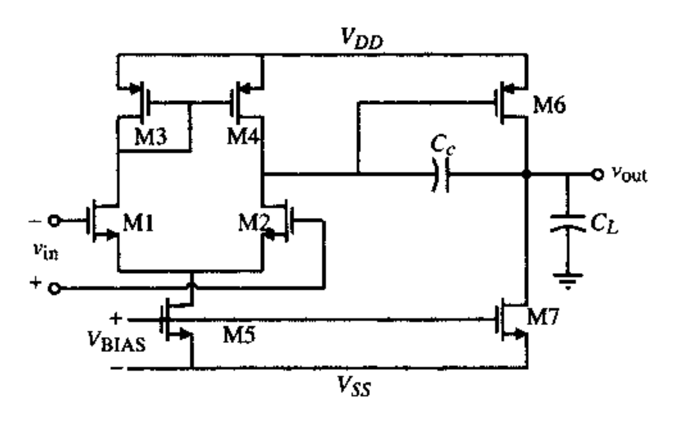


图 7.4-1　工作在弱反型区的两级米勒运算放大器

例 7.4-1　亚阈运算放大器增益和 *GB* 的计算

计算如图 7.4-1 所示运算放大器的增益、GB 和 SR。电流 I_{D5} 为 200 nA，器件长度为 1 μm，

p 沟道和 n 沟道晶体管的 n 值分别为 1.5 和 2.5，补偿电容为 5 pF，采用表 3.1-2 的数据。假设温度为 27℃。

解：

根据公式（7.4-5），增益为：

$$A_v = \frac{1}{(1.5)(2.5)(0.026)^2(0.04 + 0.05)(0.04 + 0.05)} = 48\,701\ \text{V/V}$$

增益带宽为：

$$GB = \frac{100 \times 10^{-9}}{2.5(0.026)\,(5 \times 10^{-12})} = 307\,690\ \text{rps} \cong 49.0\ \text{kHz}$$

$$SR = (2)(307\,690)(2.5)(0.026) = 0.04\ \text{V}/\mu\text{s}$$

其他工作在弱反型区的运算放大器

考虑如图 7.4-2 所示的电路是上面所讨论的两级运算放大器的另一种结构。第一级的差分增益是：

$$A_{vo} = \frac{g_{m2}}{g_{m4}} \tag{7.4-8}$$

这个增益用器件参数可表示为：

$$A_{vo} = \frac{I_{D2}n_4V_t}{I_{D4}n_2V_t} = \frac{I_{D2}n_4}{I_{D4}n_2} \cong 1 \tag{7.4-9}$$

第一级产生的增益很小。但是，第二级可以提供一定量的增益。电路的总增益可以在假设 M3—M8、M4—M6 和 M9—M7 为电流镜的情况下计算。因此：

$$A_{vo} = \frac{g_{m1}(S_6/S_4)}{(g_{ds6} + g_{ds7})} = \frac{(S_6/S_4)}{(\lambda_6 + \lambda_7)n_1V_t} \tag{7.4-10}$$

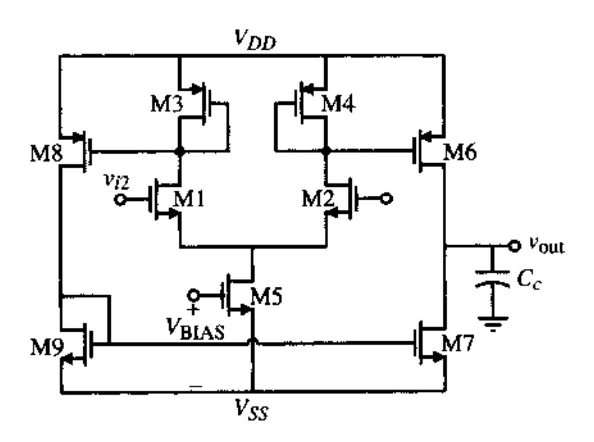


图 7.4-2　工作在弱反型条件下的推挽输出运算放大器

在室温（V_t = 0.0259 V）和典型器件长度条件下，可以得到 60 dB 左右的增益。增益带宽可表示为：

$$GB = \frac{g_{m1}}{C}\left(\frac{S_6}{S_4}\right) = \frac{g_{m1}b}{C} \tag{7.4-11}$$

其中，系数 b 是 W_6/L_6 和 W_4/L_4（W_8/L_8 和 W_3/L_3）的比值。如果要用这个基本电路得到更高的增益，可以做两件事情。第一是将器件 M3 和 M4 上的电流降低一些，使它们的跨导低于输入器件，这样就给出第一级大于 1 的增益。用这种方法只能得到较小的改进。另一种提高增益的方法是用图 7.4-3 所示的共源共栅放大器代替输出级。这个放大器的增益是：

$$A_{vo} = \left(\frac{I_5}{2I_7}\right)\frac{b/n_n}{V_t^2(\lambda_p^2 n_p + \lambda_n^2 n_n)} \tag{7.4-12}$$

简单的计算表明这个共源共栅放大器的增益大于 80 dB，而且所有的增益都是在输出级得到的。

增加弱反型工作的输出电流

迄今为止，所介绍的放大器的缺点是其无法在静态条件下保持微功耗的同时提供大的输出电流。对于这个问题，文献[13]中介绍了一个有趣的解决办法。其基本思想是如图 7.4-4 所示在差分输入电压处增加一个尾电流（在输出端通过镜像得到）。图 7.4-4 电路由图 7.4-3 所示虚线内的电路和在输入差分信号时为增加尾电流 I_5 所需的电路组成。

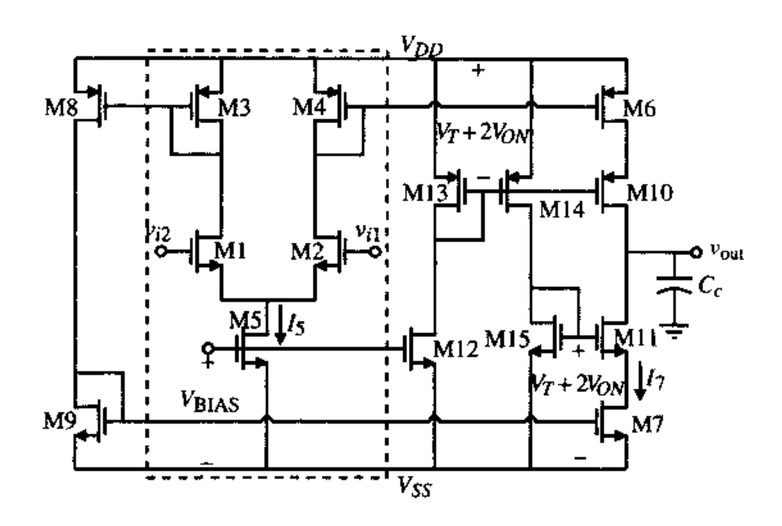


图 7.4-3　图 7.4-2 中运算放大器在弱反型下使用共源共栅输出以改善增益

假设晶体管 M18 至 M21 与 M3 和 M4 相同，M22、M23、M24、M25、M26 和 M27 全部相同。进一步假设 M28 和 M29 通过下面的式子相关联：

$$\frac{W_{28}}{L_{28}} = A\left(\frac{W_{26}}{L_{26}}\right) \tag{7.4-13}$$

$$\frac{W_{29}}{L_{29}} = A\left(\frac{W_{27}}{L_{27}}\right) \tag{7.4-14}$$

在静态条件下，电流 i_1 和 i_2 相等，因此 M24 中的电流和 M19 提供的电流相等。所以 M26 和 M28 中都没有电流。同样，M29 中也没有电流。因此，没有附加电流提供给差分级。但是，如果 $v_{i1}>v_{i2}$，则 $i_2>i_1$，并且提供给差分级的尾电流增加 $A(i_2-i_1)$。如果 $v_{i2}>v_{i1}$，则 $i_1>i_2$，尾电流增加 $A(i_1-i_2)$。

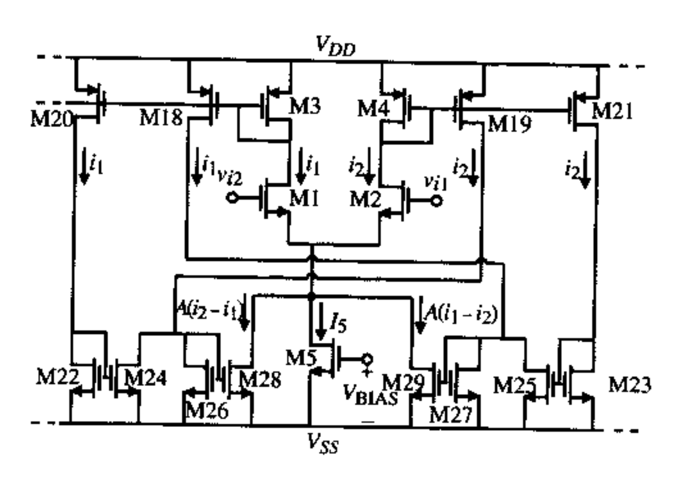


图 7.4-4 动态偏置差分放大器输入级

我们可以通过假设 v_{IN} 解出输出电流的值，v_{IN} 等于 $v_{i1}-v_{i2}$，是一个正值，因此 $i_2>i_1$，我们可以写出：

$$i_1 + i_2 = I_5 + A(i_2 - i_1) \tag{7.4-15}$$

由弱反型漏极电流关系式和 v_{IN} 的定义，我们可以把 i_2/i_1 表示为：

$$\frac{i_2}{i_1} = \exp\left(\frac{v_{IN}}{nV_t}\right) \tag{7.4-16}$$

如果我们定义输出电流为 b 的 i_2-i_1 倍，则可以把输出电流 i_{OUT} 写为：

$$i_{OUT} = \frac{bI_5\left(\exp\left(\frac{v_{IN}}{nV_t}\right) - 1\right)}{(1 + A) - (A - 1)\exp\left(\frac{v_{IN}}{nV_t}\right)} \tag{7.4-17}$$

在图 7.4-3 中，b 是 M5 与 M4 的比值（也是 M7 等于 M6 时 M8 与 M3 的比值）。图 7.4-5 给出了对应于不同参数 A 的归一化输出电流和输入电压的曲线。这个结构在需要非常低的静态电流和需要较大瞬时电流以驱动在采样数据滤波应用中的电容时是非常有用的。

图 7.4-4 的性能增强是负反馈和正反馈的结果。通过跟踪信号路径可以看出，从 M28 的栅极通过 M2 到 M19 的栅极，然后返回到 M28 的栅极是正反馈路径。负反馈路径从 M28 的栅极开始，通过 M1 到 M20 的栅极，然后通过 M24 返回到 M28 的栅极。为了使这个系统在线性工作过程中保持稳定，负反馈路径的影响必须远大于正反馈路径的影响。可以很容易地看到正反馈环路的增益为：

$$\text{正反馈环路增益} = \left(\frac{g_{m28}}{g_{m4}}\right)\left(\frac{g_{m19}}{g_{m26}}\right) = A\frac{g_{m19}}{g_{m4}} = A \tag{7.4-18}$$

负反馈环路的增益为：

$$\text{负反馈环路增益} = \left(\frac{g_{m28}}{g_{m3}}\right)\left(\frac{g_{m20}}{g_{m22}}\right)\left(\frac{g_{m24}}{g_{m26}}\right) = A \tag{7.4-19}$$

当在输入端施加一个电压差时，两条路径中的电流会发生变化：正反馈路径增益增加而负反馈路径增益减小，这将导致如图 7.4-5 所示的过驱动。如果 A 变得过大，那么这个系统会变得很

不稳定，并且电流将趋向于无穷大。但是，电流不可能达到无穷大。输入晶体管会偏离弱反型区，且式（7.4-17）不再有效。从大信号观点已看出这个系统是稳定的[13]。最大可能的输出电流由 K'与 W/L 的乘积和电源电压确定。以上分析假设电流镜为理想匹配。如果没有采用良好的电流镜，必须考虑失配时的情况。

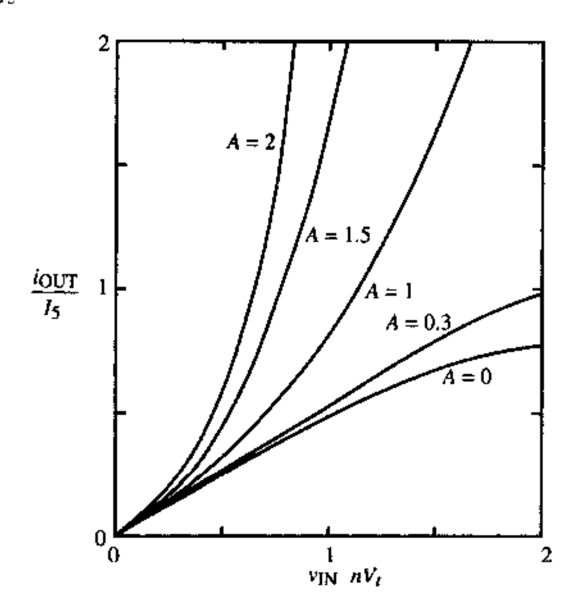


图 7.4-5　不同 A 值下规一化输出电流与输入电压的关系曲线

晶体管工作在亚阈区的另一个优点是，提供的适合于电路工作的栅源电压可以很容易地比阈值电压低 100 mV 或更多。因此，v_{DS}饱和电压低于 100 mV。这些很小的电压降产生的结果是：在信号摆幅很小的情况下，工作在弱反型下的运算放大器可以很容易地工作在 1.5 V 电源下。由于在低电压下运行，因此工作在弱反型的电路非常适合于电池尺寸和容量受到限制的可植入式生物医学应用。

增加强反型工作的输出电流

上述增加输出电流的技术也可以用于工作在强反型下的放大器。在这种情况下，由于除了电源之外没有其他机制来限制电流的增长，所以 A 必须小于 1。还有其他允许提高输出电流大于静态值的技术，其中之一如图7.4-6 所示。这是一个使输出晶体管工作在有源区的简单电流镜。如果这个电流镜这样来设计，当 M2 工作在有源区时，M1 和 M2 有相等的电流，因而如果 M2 从有源区被移到饱和区，这个电流镜会提供一个电流增益。让我们用一个例子来说明这个原理。

例 7.4-2　M2 工作在有源区的电流镜

假设 M2 漏源极之间有一个 $0.1V_{ds}$(饱和)的电压。如果 $W_1/L_1 = 10$，设计 W_2/L_2 的比值，使 $I_1 = I_2 = 100\ \mu A$。如果 M2 是饱和的，试确定 I_2 的值。

解：

采用表 3.1-2 的参数，我们求出 M2 的饱和电压为：

$$V_{ds1}(饱和) = \sqrt{\frac{2I_1}{K'_N(W_2/L_2)}} = \sqrt{\frac{200}{110 \cdot 10}} = 0.4264\ \text{V}$$

现在，应用 M2 的有源式，我们设 $I_2 = 100\ \mu A$ 并求解 W_2/L_2。

$$100\mu A = K_N'(W_2/L_2)[V_{ds1}(\text{饱和}) \cdot V_{ds2} - 0.5V_{ds2}^2]$$

$$= 110\ \mu A/V^2(W_2/L_2)[0.426 \cdot 0.0426 - 0.5 \cdot 0.0426^2]\ V^2 = 1.883 \times 10^{-6}(W_2/L_2)$$

那么：

$$100 = 1.883(W_2/L_2) \quad \rightarrow \quad \frac{W_2}{L_2} = 53.12$$

现在，如果 M2 变为饱和，那么输入为100 μA 的电流镜的输出电流值应该是531 μA 或者I_1 的5.31 倍。

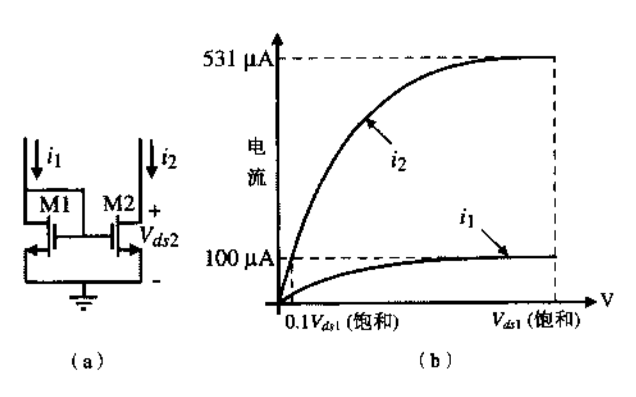


图 7.4-6　（a）M2 工作在有源区的电流镜；（b）M1 和 M2 的漏极电流

上面的例子说明了该原理，图 7.4-7 给出了这个原理的实现方法。它很容易用 7.3 节的差分输出运算放大器来实现。改进的电流镜由 M7 和 M9、M8 和 M10、M5 和 M11 以及 M6 和 M12 组成。这里，M13 和 M21、M14 和 M22、M15 和 M23 以及 M16 和 M24 上的栅源电压降这样来设计：当静态电流值为 i_1 或 i_2 时，M9、M10、M11 和 M12 工作在有源区。当输入一个差分信号时，i_1 增长而 i_2 会减小。流过 M21 和 M24 的 i_1 增加值将使 M9 和 M12 返回饱和区，同时允许电流镜 M7 和 M9 及 M6 和 M12 得到一个电流增益 k，其中 k 是电流镜的倍增因数（在例 7.4-2 中 $k = 5.31$）。在 i_2 路径上的电流镜具有小于 1 的增益，这同样会增加差分输出端的电流。遗憾的是，当 M21、M22、M23 和 M24 的栅源电压增大时，M9、M10、M11 和 M12 移向饱和区，使得 M13、M14、M15 和 M16 的栅源电压也增加，从面抑制 M9~M12 进入饱和。将电流镜推进原理用于受控共源共栅电流镜可以避免这个问题，并给出更好的性能。

能够吸收和提供大输出电流的低功率运算放大器的一个范例是一款商用 CMOS 运算放大器[18]。图 7.4-8 示出了这种运算放大器的详细电路。增益级含在运算放大器符号中，画出的晶体管用于提供大的吸入和输出电流。这种设计的关键是浮动电池（通过 MOSFET 实现），它被设计用来在 M2 和 M3 的栅源极之间加上一个高出阈值电压 0.1 V 的电压。换句话说，电池的电压值是：

$$V_{\text{Bat}} = |V_{TP}| + 0.1\ V + V_{TN} + 0.1\ V = |V_{TP}| + V_{TN} + 0.2\ V \tag{7.4-20}$$

同样，增益级输出的静态电压 $V_1(Q)$ 被假设为：

$$V_1(Q) = V_{DD} - |V_{TP}| - 0.1\ V \tag{7.4-21}$$

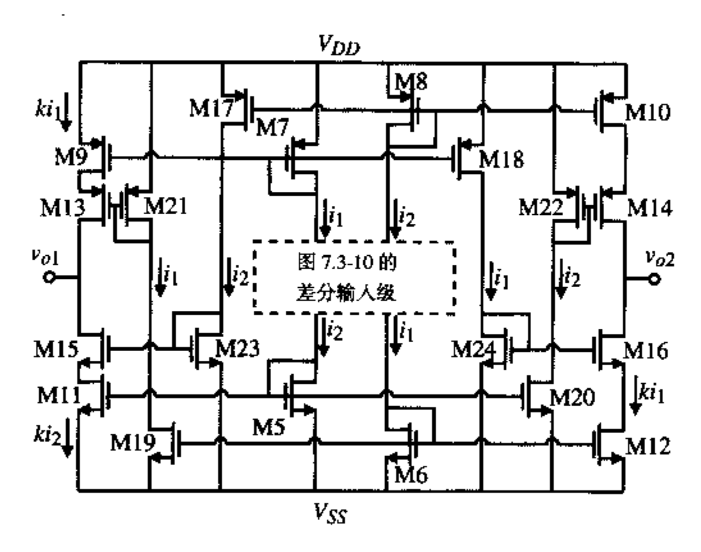


图 7.4-7 用图 7.3-10 所示的差分输出运算放大器实现电流镜推进原理

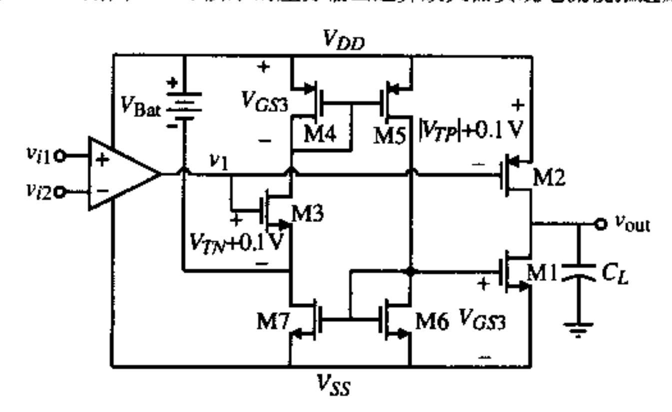


图 7.4 -8 低功率高输出电流运算放大器的输出电路

注意，M3 的栅源电压（V_{TN} +0.1 V）通过 M4–M5–M6 的路径转移到 M1 的栅源极。同时还应注意，M4–M5–M6–M7 路径是正反馈，但是 V_{Bat} 的存在使这个增益接近于 0（重要的是 V_{Bat} 实现的阻抗）。

假设增益级的输出电压 v_1 增加 Δv。在这种情况下，M1 的栅源电压是V_{TN} + 0.1 V + Δv，M2 的栅源电压是 $|V_{TP}|$ + 0.1 V − Δv 。因此，M1 导通，M2 断开。如果 v_1 减小 Δv，则 M1 断开，M2 导通。这个特别的运算放大器应有 1.2 μA 的静态电流。当电源电压在 2.5~10 V 的范围内变化时，典型吸入/输出电流为 300 μA / 600 μA。下面的例子说明这个运算放大器提供过驱动电流的能力。

例 7.4-3 图 7.4-8 中的过驱动电流

假设 v_1 在 $V_1(Q)$ ± 0.3 V 的范围内变化，M1 和 M2 的 W/L 值分别为 50 和 150。计算吸入/输出电流。

解：

如果 v_1= ± 0.1 V，则±0.2 V 的静态栅源电压加到了 M1 和 M2 上。因为 v_1 > 0，当 M1 导通，M2 断开时，就会吸入电流。当 v_1 = $V_1(Q)$ + 0.3 V 时，M1 的电流是：

$$i_{D1} = \frac{K'_N \cdot W_1}{2L_1}(0.4\ \text{V})^2 = \frac{110 \cdot 50}{2}(0.16)\ \mu\text{A} = 440\ \mu\text{A}$$

当 $v_1 = V_1(Q) - 0.3$ V 时，M2 的电流是：

$$i_{D2} = \frac{K'_P \cdot W_2}{2L_2}(0.4\ \text{V})^2 = \frac{50 \cdot 150}{2}(0.16)\ \mu\text{A} = 600\ \mu\text{A}$$

当围绕着 $V_1(Q)$的变化增大时，输出的吸入/输出电流也会增大。在这种特殊的运算放大器中，输出的吸入/输出电流可以达到 2 mA。

本节分析了低功耗运算放大器。在大多数低功耗放大器中，晶体管都工作在亚阈区或弱反型区。这允许使用低电源，对于采用电池供电的电路来说，这是一个有利条件。弱反型工作的缺点是低电流意味着低带宽。在动态条件下，采用增加输出吸入/输出电流能力的技术可以获得大的输出电流。

7.5 低噪声运算放大器

在需要大动态范围的应用中，低噪声运算放大器显得十分重要。动态范围可以用信噪比（SNR）来表示。当根据数字位的信号精度考虑所需要的动态范围时，可以认识到动态范围的重要性。在第 10 章将看到每个位的精度要求 6 dB 的动态范围。因此，如果一个运算放大器在处理一个将被转化成 14 位数字的信号时，需要高于 84 dB 或 16400 的动态范围。随着 CMOS 技术的不断进步，电源电压进一步减小，最大信号电平为 1V 的情况不再少见。峰–峰值为 1 V 的正弦信号的均方根值为0.354 Vrms。如果将这个值除以16400，则这个运算放大器必须有一个小于 21.6 μVrms 的背景噪声。

除了作为下限的噪声外，必须考虑运算放大器的线性度。如果运算放大器是非线性的，那么，纯正弦信号将产生谐波。如果这些谐波的总谐波失真（THD）超过了噪声，则非线性度变为限制因素。有时候，用信噪加失真的符号 SNDR 来包括动态范围内的噪声和失真。另外，还要考虑不希望的信号的影响，例如（由开关引起的）电源注入或电荷注入。为了得到更低的动态范围下限，低噪声运算放大器必须具有足够高的PSRR。在本节中，我们将做一个重要的假设，即运算放大器是线性的，并且具有很高的 PSRR，我们仅仅关注噪声。

在 3.2 节中，已经描述了 MOSFET 的噪声性能。MOSFET 的噪声用式（3.2-12）给出的均方电流源来模拟，为了方便起见，在这里重写如下：

$$i_N^2 = \left[\frac{8kTg_m(1+\eta)}{3} + \frac{(\text{KF})I_D}{fC_{ox}L^2}\right]\Delta f \qquad (\text{A}^2) \tag{7.5-1}$$

习惯上把这个噪声转换为与栅极串联的均方电压源。具体方法是用 g_m^2除以式（7.5-1）从而得到式（3.2-13）。同样为了方便起见，重写如下：

$$e_{eq}^2 = \left[\frac{8kT(1+\eta)}{3g_m} + \frac{\text{KF}}{2fC_{ox}WLK'}\right]\Delta f \qquad (\text{V}^2) \tag{7.5-2}$$

重要的是要记住，式（7.5-2）只有在 MOSFET 的源极交流接地的情况下才有效。例如，当晶体管为共源共栅结构时，式（7.5-2）不再有效。在此情况下，可以使用有效跨导[见式（5.2-35）]或者仅仅使用式（7.5-1）。

如式（7.5-1）和式（7.5-2）所示，MOSFET 的噪声包含两部分：第一部分是热噪声，第二部分称之为 1/f 噪声。从许多方面来看，MOSFET 器件的热噪声等效于双极型晶体管的热噪声。遗憾的是，MOSFET 的 1/f 噪声远大于双极型晶体管的 1/f 噪声。有人可能觉得，1/f 噪声只在低频下才是重要的，因为它与频率成反比。然而，1/f 噪声会在时钟频率附近产生扰动，因此即使处于较高的频率也变得很重要。例如，当 MOSFET 被用来实现高频 VCO 时，正弦信号的频谱纯度在许多方面受到 1/f 噪声的限制[19]。

最直接的方法就是将运算放大器的热噪声抑制到最小。从式（7.5-2）的第一项可以看出，我们希望小信号跨导 g_m 足够大，从而把等效输入均方噪声电压降到很小。这个可以通过增大直流电流或增大 W/L 比值来实现。对于 1/f 噪声，至少有三种方法可以减小 CMOS 运算放大器的 1/f 噪声。第一种方法是通过选择电路结构和晶体管（NMOS 或 PMOS）、直流电流和 W/L 的比值来使 MOSFET 的噪声成分最小化。第二种方法是用双极型晶体管代替 MOSFET 来减小 1/f 噪声。第三种方法是采用外部手段（比如斩波稳定）来最小化 1/f 噪声。由于 1/f 噪声通常比较严重，我们在这一节的后续部分集中讨论如何降低这个噪声。

MOSFET 低噪声运算放大器

将 1/f 噪声最小化的第一种方法是选择电路结构和晶体管。晶体管的选择很简单。根据经验，PMOS 晶体管的 1/f 噪声比 NMOS 晶体管低 2~5 倍①。因此，在需要减小 1/f 噪声的重要场合应该使用 PMOS 晶体管。电路结构也很显然。最小化噪声的一个重要原则是使第一级的增益尽可能大。这就是说，如果输入端是一个差分放大器，那么源极耦合晶体管必须是 PMOS 管，而且差分放大器的增益必须尽可能大。其正确性在5.2节介绍差分放大器时已经予以证明。同时我们也发现，为了使 1/f 噪声最小化，负载晶体管的栅长应该比输入晶体管的栅长更大。

图 7.5-1 所示的CMOS运算放大器可通过仔细选择W/L比值实现低噪声[20]。这个运算放大器类似于6.3 节中的两级运算放大器，所不同的是M8 和M9 的共源共栅器件。这些器件用来改进在 6.4 节讨论过的 PSRR。另外，补偿电容返回到 M9 的源极，允许增大输出极点[见图 6.2-16（a）]。由于 PMOS 管具有较低的 1/f 噪声，因此被选择作为差分级的输入。图 7.5-2 给出了图 7.5-1 的运算放大器的噪声模型，其中忽略了直流电流源的噪声成分。忽略这个电流源是合理的，因为它们的栅极通常连接到低阻抗。

图 7.5-1 的噪声模型如图 7.5-2 所示。在这个模型中，我们忽略了 M5 的噪声成分。总的输出电压噪声的谱密度e_{to}^2在式（7.5-3）中给出。其中，我们假设用于计算这些晶体管对输出噪声分量的 M8 和 M9 的有效跨导近似为$1/r_{ds1}$，即 $g_{m8}/(1+g_{m8}r_{ds1})\approx 1/r_{ds1}$。

$$e_{to}^2 = g_{m6}R_{II}^2\left[e_{n6}^2 + e_{n7}^2 + R_I^2\left(g_{m1}^2e_{n1}^2 + g_{m2}^2e_{n2}^2 + g_{m3}^2e_{n3}^2 + g_{m4}^2e_{n4}^2 + \frac{e_{n8}^2}{r_{ds1}^2} + \frac{e_{n9}^2}{r_{ds2}^2}\right)\right] \qquad (7.5\text{-}3)$$

用运算放大器的差分增益 $g_{m1}R_I g_{m6}R_{II}$除以式（7.5-3），可求出等效输入电压噪声谱密度为：

$$e_{eq}^2 = \frac{e_{to}^2}{(g_{m1}g_{m6}R_IR_{II})} = \frac{2e_{n6}^2}{g_{m1}^2R_I^2} + 2e_{n1}^2\left[1 + \left(\frac{g_{m3}}{g_{m1}}\right)^2\left(\frac{e_{n3}^2}{e_{n1}^2}\right)^2 + \frac{e_{n8}^2}{g_{m1}^2r_{ds1}^2e_{n1}^2}\right] \qquad (7.5\text{-}4)$$

① 0.6 μm TSMC CMOS 工艺的 KF 值是 n 沟道为 KF = 1 × 10^{-23} F-A，p 沟道为 KF = 5 × 10^{-24} F-A。

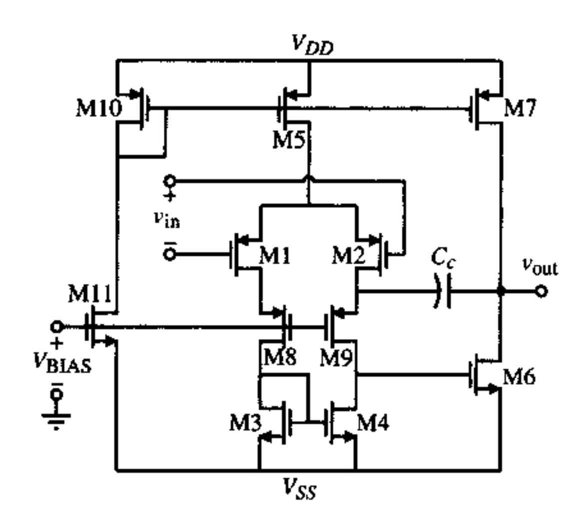


图 7.5-1　低噪声 CMOS 运算放大器

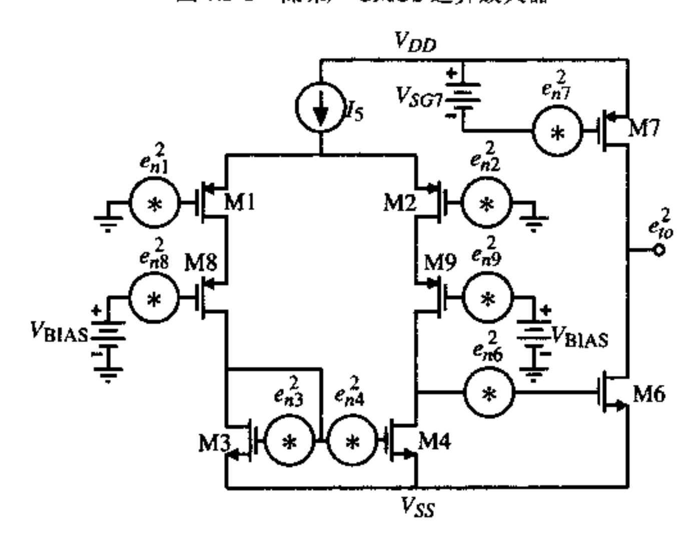


图 7.5-2　图 7.5-1 的噪声模型

其中，$e_{n6}^2 = e_{n7}^2, e_{n3}^2 = e_{n4}^2, e_{n1}^2 = e_{n2}^2, e_{n8}^2 = e_{n9}^2$。从式（7.5-4）中看出，第二级的噪声分量被第一级的增益相除，因此可以忽略。同样，共源共栅晶体管 M8 和 M9 的噪声被$(g_{m1}r_{ds1})^2$除，这意味着它们的分量也可以忽略。最终，等效输入电压噪声谱密度可近似地表示为：

$$e_{eq}^2 \approx 2\,e_{n1}^2\left[1+\left(\frac{g_{m3}}{g_{m1}}\right)^2\left(\frac{e_{n3}^2}{e_{n1}^2}\right)\right] \tag{7.5-5}$$

现在，我们必须选择插入图 7.5-2 中的谱密度噪声源的模型。因为我们正在关注 1/f 噪声，如果噪声源是电压，我们将它们替换为：

$$e_{ni}^2 = \frac{B}{fW_iL_i} \quad (\text{V}^2/\text{Hz}) \tag{7.5-6}$$

如果噪声源是电流，我们将它们替换为：

$$\overline{i_{ni}^2}=\frac{2BK'I_i}{fL_i^2}\quad (\mathrm{A^2/Hz}) \tag{7.5-7}$$

式（7.5-6）和式（3.2-15）是相同的。选择合适的谱密度噪声源代入式（7.5-5），得出：

$$e_{\mathrm{eq}}^2=2\,e_{n1}^2\left[1+\left(\frac{K'_NB_N}{K'_PB_P}\right)\left(\frac{L_1}{L_3}\right)^2\right]\quad (\mathrm{V^2/Hz}) \tag{7.5-8}$$

要最小化图 7.4-1 的噪声，必须将式（7.5-8）最小化。因为我们选择了 PMOS 器件作为输入（M1 和 M2），如果选择的 W_1 和 L_1（W_2 和 L_2）乘积足够大，则e_{n1}^2的值被最小化。接下来，我们希望减小式（7.5-8）中平方项括号内的值。为此，惟一可调整的变量是 L_1 和 L_3 的比值。选择这些比值小于 1，给出等效输入噪声谱密度为 $2e_{n1}^2$。

更全面地说，如果考虑热噪声的话，我们来求等效输入噪声谱密度。如果噪声源是电压源，式（7.5-6）和式（7.5-7）变成：

$$e_{ni}^2\approx\frac{8kT}{3g_m}\quad (\mathrm{V^2/Hz}) \tag{7.5-9}$$

如果噪声源是电流源，且忽略体效应（$\eta=0$），式（7.5-7）变成：

$$i_{ni}^2\approx\frac{8kTg_m}{3}\quad (\mathrm{A^2/Hz}) \tag{7.5-10}$$

选择合适的谱密度噪声源代入式（7.5-5），得出：

$$e_{\mathrm{eq}}^2=2e_{n1}^2\left[1+\frac{g_{m3}}{g_{m1}}\left(\frac{e_{n3}^2}{e_{n1}^2}\right)\right]=2e_{n1}^2\left[1+\sqrt{\frac{K_NW_3L_1}{K_PW_1L_3}}\right](\mathrm{V^2/Hz}) \tag{7.5-11}$$

我们看到为了减小 $1/f$ 噪声而做出的选择同样减小了热噪声。

一旦知道了等效输入噪声谱密度，就可以通过对输入噪声谱密度在带宽范围内进行积分求出噪声的均方值。令式（7.5-6）和式（7.5-9）相等，可求出单个晶体管热噪声等于 $1/f$ 噪声的噪声拐点为：

$$f_c=\frac{3g_mB}{8kTWL} \tag{7.5-12}$$

下面的例子说明了使 $1/f$ 噪声最小化的 CMOS 运算放大器的设计。

例 7.5-1　图 7.5-1 的低 1/f 噪声性能设计

采用表 3.1-2 中的参数，结合 NMOS 管的 KF = 4×10^{-28}F-A，PMOS 管的 KF = 0.5×10^{-28}F-A，设计图 7.5-1 所示的运算放大器使 $1/f$ 噪声最小化。计算相应的热噪声并求出噪声拐点频率。由这个信息估计1 Hz 至100 kHz 频率范围内的噪声均方值。如果最大信号是峰-峰值为1 V 的正弦信号，这个运算放大器的动态范围是多少？

解：

首先，我们必须计算需要的各种参数值。$1/f$ 噪声常数 B_N 和 B_P 计算如下：

$$B_N=\frac{\mathrm{KF}}{2C_{\mathrm{ox}}K'_N}=\frac{4\times10^{-28}\ \mathrm{F\text{-}A}}{2\cdot24.7\times10^{-4}\ \mathrm{F/m^2}\cdot110\times10^{-6}\ \mathrm{A^2/V}}=7.36\times10^{-22}\,(V\text{-}m)^2$$

和

$$B_P=\frac{\mathrm{KF}}{2C_{\mathrm{ox}}K'_P}=\frac{0.5\times10^{-28}\ \mathrm{F\text{-}A}}{2\cdot24.7\times10^{-4}\ \mathrm{F/m^2}\cdot50\times10^{-6}\ \mathrm{A^2/V}}=2.02\times10^{-22}\,(V\text{-}m)^2$$

现在，让我们来选择影响噪声性能的晶体管的几何尺寸。为了使 e_{n1}^2 保持在较小的值，取 $W_1 =$ 100 μm 和 $L_1 = 1$ μm。选择 $W_3 = 100$ μm 和 $L_3 = 20$ μm，由于 M8 对噪声的影响较小，让它的 W 和 L 与 M1 相同。当然，M1 和 M2 匹配，M3 和 M4 匹配，M8 和 M9 匹配。为了检查这些选择产生的影响，让我们计算式（7.5-8）。

首先，用式（7.5-6）计算 e_{n1}^2：

$$e_{n1}^2 = \frac{B_p}{fW_1L_1} = \frac{2.02 \times 10^{-22}}{f \cdot 100\ \mu\text{m} \cdot 1\ \mu\text{m}} = \frac{2.02 \times 10^{-12}}{f}\ \text{V}^2/\text{Hz}$$

计算式（7.5-8），得出：

$$e_{eq}^2 = 2 \times \frac{2.02 \times 10^{-12}}{f}\left[1 + \left(\frac{110 \cdot 7.36}{50 \cdot 2.02}\right)\left(\frac{1}{100}\right)^2\right] = \frac{4.04 \times 10^{-12}}{f} 1.0008$$

$$= \frac{4.043 \times 10^{-12}}{f}\ \text{V}^2/\text{Hz}$$

为了帮助说明这个结果，在 100 Hz 时，1 Hz 带宽的噪声电压大约是 $4 \times 10^{-14}\ (\text{V}_{\text{rms}})^2$ 或者 $0.202\ \mu\ (\text{V}_{\text{rms}})^2$。

热噪声用式（7.5-9）和式（7.5-11）来计算。在式（7.5-9）中，我们假设 $I_1 = 50$ μA。因此，在室温下，我们得到：

$$e_{n1}^2 = \frac{8kT}{3g_m} = \frac{8 \cdot 1.38 \times 10^{-23} \cdot 300}{3 \cdot 707 \times 10^{-6}} = 1.562 \times 10^{-17}\ \text{V}^2/\text{Hz}$$

把这个值代入式（7.5-11），得到：

$$e_{eq}^2 = 2 \cdot 1.562 \times 10^{-17}\left[1 + \sqrt{\frac{110 \cdot 100 \cdot 1}{50 \cdot 100 \cdot 20}}\right] = 3.124 \times 10^{-17} \cdot 1.33$$

$$= 4.164 \times 10^{-17}\ \text{V}^2/\text{Hz}$$

通过使两个 e_{eq}^2 的表达式相等，可求出噪声拐点频率为：

$$f_c = \frac{4.043 \times 10^{-12}}{4.164 \times 10^{-17}} = 97.1\ \text{kHz}$$

这个噪声拐点意味着热噪声远小于 $1/f$ 噪声这样一个事实。

为了估计1 Hz 到100 kHz 带宽内的噪声均方值，我们将忽略热噪声而只考虑 $1/f$ 噪声。进行积分得到：

$$V_{eq}^2(\text{rms}) = \int_1^{100\,000} \frac{4.066 \times 10^{-12}}{f} df = 4.066 \times 10^{-12}[\ln(100\,000) - \ln(1)]$$

$$= 0.468 \times 10^{-10}(\text{V}_{\text{rms}})^2 = 6.84\ \mu\text{V}_{\text{rms}}$$

最大信号的均方值是 0.353 V。用 6.84 μV 来除这个值得到 51 594 或 94.25 dB，大约等价于 16 位的精度。

运算放大器剩下的设计对噪声的影响较小，因此不包括在本例中。

降低噪声的限制是热噪声。在上面的例子中，$1/f$ 噪声在运算放大器的绝大部分有效带宽内占主导地位，所以未能达到噪声极限。在这个例子中，为了减小 $1/f$ 噪声，必须减小 e_{n1}^2 的值。设计者惟一可以改变的参数是 W 和 L 的乘积。为了使噪声降低 10 倍，乘积 WL 必须增加 10 倍（见习题 7.5-2）。一个低噪声运算放大器的热噪声必须低于 $10\text{nV}/\sqrt{\text{Hz}}$。我们注意到，例 7.5-1 中运算放大器的热噪声是 $\sqrt{2.548\times10^{-17}}\ \text{V}/\sqrt{\text{Hz}}=5.05\ \text{nV}/\sqrt{\text{Hz}}$。遗憾的是，$1/f$ 噪声阻碍了低热噪声的实现。

采用 MOSFET 和横向双极型晶体管的低噪声运算放大器

因为双极型晶体管的 $1/f$ 噪声低于 MOSFET 的 $1/f$ 噪声，双极型晶体管的拐点频率（$1/f$ 噪声和热噪声的交叉点）比较低。因此，如果低频噪声（低于 1 kHz）很重要，人们更愿意选用双极型晶体管器件而不是 MOS 器件。例如，典型双极型晶体管的拐点频率大约在 10 Hz 左右，而典型 MOS 的拐点频率大约在 1000 Hz 左右。遗憾的是，第 2 章中介绍的 CMOS 工艺看上去不允许制造性能可行的双极型晶体管。但是，目前已经有双极型晶体管可以实现与任何体 CMOS 技术相兼容[21]。这种双极型晶体管就是图 7.5-3（a）中所示的横向双极型晶体管。我们看到，横向双极型晶体管需要一个可以反向偏置的阱使其与衬底实现电隔离。这个阱就成为双极型晶体管的基极，而源/漏扩散区就成为发射极和集电极。从发射极注入的载流子有两个可能的集电极。一个集电极是扩散的集电极，它通常围绕着发射极以获得更高的效率。另一个集电极是衬底。衬底集电极必须连接到最高或最低的直流电位上，这取决于衬底的类型。图 7.5-3（b）给出了图 7.5-3（a）所示的双集电极双极型晶体管的符号。横向电流将流向希望的集电极，而纵向电流将流向衬底。通常希望从发射极电流中流到横向集电极的电流部分越大越好。对于绝大多数工艺，这个比例一般是 60~70%。

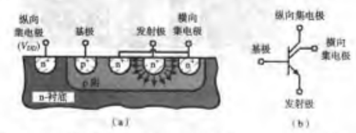


图 7.5-3　（a）NPN 横向双极型晶体管的截面图；（b）（a）的符号

大多数由 CMOS 工艺制造的横向双极型晶体管用多晶硅栅来确定发射极和集电极的隔离，并迫使载流子从表层下面流过。这可以通过一个栅电压来实现，它不允许栅下面的表面反型。横向双极型晶体管的另一个重要特性是它扮演着一个高效率的光电探测器的角色。反向偏置集电结中的空穴-电子对可以由入射光产生。这样的器件可以用来构成光敏阵列的光电探测器。图 7.5-4（a）给出场辅助横向双极型晶体管的截面图。图 7.5-4（b）给出这个器件的符号。

图 7.5-5 是采用 p 阱 CMOS 工艺的场辅助横向双极型晶体管的顶视图。通常，将所示形状做得尽可能小，然后再将同样的形状并联在一起以构成单个横向双极型晶体管。一个采用 1.2 μm CMOS 工艺制造的使用 40 个最小尺寸并联结构的横向 PNP 晶体管的性能汇总在表 7.5-1 中[22]。

我们注意到，从噪声的观点来看，横向双极型晶体管是一个很好的解决方案。$1/f$ 噪声的拐点频率处于 3.2 Hz，小于普通的 CMOS 运算放大器一个数量级。横向器件惟一的缺点是面积大，f_T 低。幸好只有差分输入放大器的源极耦合晶体管需要用到双极型晶体管，因此面积不是太大问题。

85 MHz 的 f_T 足以构成具有很好的增益带宽积的运算放大器。因为双极型晶体管有电流流入基极，也可以表示成等效输入电流噪声。

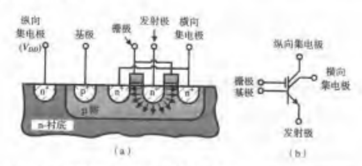


图 7.5-4　(a) 场辅助横向双极型晶体管的截面图；(b)(a) 的符号

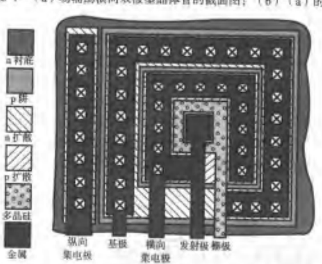


图 7.5-5　横向 NPN 晶体管的几何结构

表 7.5-1　实验横向 PNP 晶体管的性能

参数	值
晶体管面积	0.006 mm^2
横向 β	90
横向效率	70%
基极电阻	150 Ω
5 Hz 处 e_n	2.46 $nV/\sqrt{Hz}$
e_n（频带中心）	1.92 $nV/\sqrt{Hz}$
$f_c(e_n)$	3.2 Hz
5 Hz 处 i_n	3.53 $pA/\sqrt{Hz}$
i_n（频带中心）	0.61 $pA/\sqrt{Hz}$
$f_c(i_n)$	162 Hz
f_T	85 MHz
厄尔利电压	16 V

人们用上面的横向双极型晶体管作为输入晶体管已经设计和制造出了低噪声运算放大器[22]。该运算放大器如图 7.5-6 所示，它是一个有推挽式输出的两级米勒运算放大器。这个运算放大器的等效输入噪声如图 7.5-7 所示。它的噪声性能等于用 JFET 输入来实现低噪声性能的低噪声运算放大器。表 7.5-2 总结了图 7.5-6 的性能。

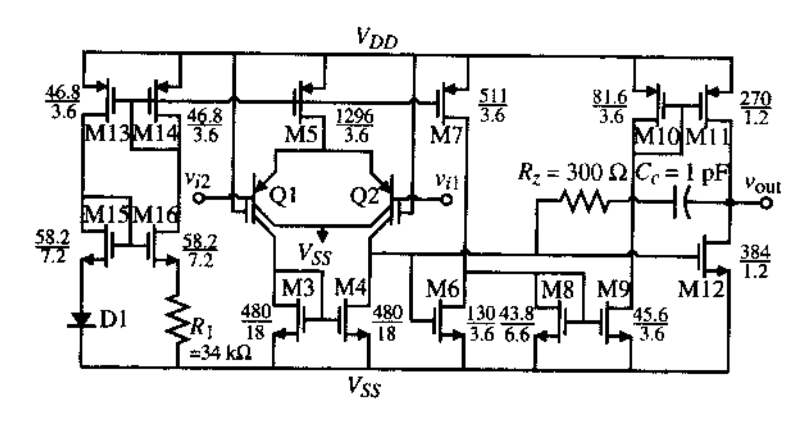


图 7.5-6　用横向双极型晶体管作为输入的低噪声运算放大器

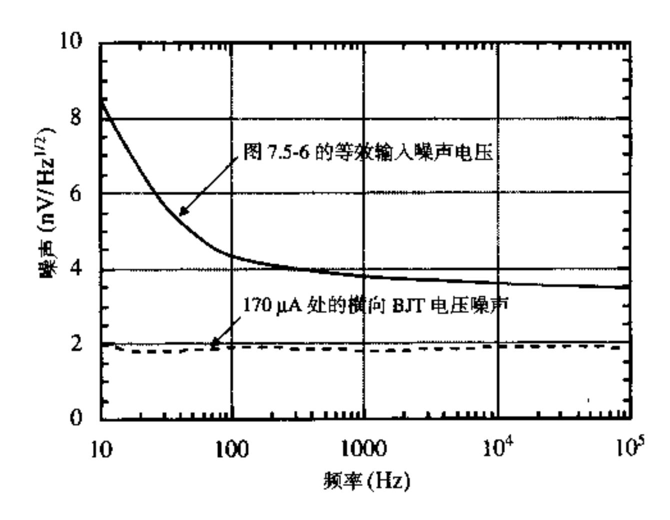


图 7.5-7　图 7.5-6 的实验噪声性能

表 7.5-2　图 7.5-6 实验性能的总结

性能参数	值
电路面积（1.2 μm）	0.211 mm^2
电源电压	±2.5 V
静态电流	2.1 mA
−3 dB 频率（增益为 20.8 dB）	11.1 MHz
1 Hz 处 e_n	23.8 nV/$\sqrt{\text{Hz}}$
e_n（频带中心）	3.2 nV/$\sqrt{\text{Hz}}$
$f_c(e_n)$	55 Hz
1 Hz 处 i_n	5.2 pA/$\sqrt{\text{Hz}}$

（续表）

性能参数	值
i_n（频带中心）	0.73 pA/$\sqrt{\text{Hz}}$
$f_c(i_n)$	50 Hz
输入偏置电流	1.68 μA
输入失调电流	14.0 nA
输入失调电压	1.0 mV
CMRR(dc)	99.6 dB
PSRR$^+$(dc)	67.6 dB
PSRR$^-$(dc)	73.9 dB
正摆率（60 pF 和 10 kΩ负载）	39.0 V/μs
负摆率（60 pF 和 10 kΩ负载）	42.5 V/μs

斩波-稳定运算放大器

运算放大器的许多不理想的特性属于低频或直流噪声的范畴。这些不理想的特性包括 1/f 噪声和输入失调电压。用电路来减小或消除这些不理想特性是可能的。一种解决方法是用斩波稳定[23]。

斩波稳定的概念已经在精密直流放大器设计中使用了很多年。图 7.5-8 说明了斩波稳定的原理。这里示出了一个两级放大器和一个输入信号频谱。在第一级的输入和输出之间插入了两个乘法器，它们被幅度为+1 和−1 的斩波方波所控制。在第一个乘法器之后，V_A 信号被调制搬移到斩波方波的奇次谐波频率上。在 V_B 处，不希望出现的、反映噪声源或失真的信号 V_u 被加在频谱上，如图7.5-8所示。在第二个乘法器之后，V_C 信号被解调为原来的信号，而不需要的信号如图 7.5-8 所示已经被调制。这个斩波操作导致不需要的信号的等效输入频谱如图 7.5-9 所示。这里我们看到，不需要信号的频谱已经被搬移到斩波方波的奇次谐波频率上。注意 v_u 的频谱，$V_u(f)$ 被折叠到斩波频率周围。如果斩波频率远大于信号带宽，那么信号通带内不需要的信号将被大大减小。因为不需要的信号包含了放大器的 1/f 噪声和直流漂移，它们的影响被混频至希望的工作频率范围以外。

图7.5-10（a）说明了斩波稳定的原理是如何应用到 CMOS 运算放大器的。乘法器用两个交叉耦合开关实现，它们受两个不重叠的时钟控制。图7.5-10（b）说明了图 7.5-10（a）的操作。当 ϕ_1 导通和 ϕ_2 断开时，不需要的等效输入信号等于第一级和第二级不需要的输入信号之和除以第一级增益。因此，在这个相位期间，输入等效噪声是：

$$v_{ueq}(\phi_1) = v_{u1} + \frac{v_{u2}}{A_1} \tag{7.5-13}$$

在图7.5-10（c）中，ϕ_1 断开且 ϕ_2 导通，假设前一个相位期间不需要的信号没有变化，不需要的等效输入信号等于前一个值的负数。ϕ_2 相位期间的输入等效噪声是：

$$v_{ueq}(\phi_2) = -v_{u1} + \frac{v_{u2}}{A_1} \tag{7.5-14}$$

在整个周期内的等效输入噪声的平均值可以表示为：

$$v_{ueq}(\text{平均}) = \frac{v_{ueq}(\phi_1) + v_{ueq}(\phi_2)}{2} = \frac{v_{u2}}{A_1} \tag{7.5-15}$$

通过斩波作用，消除了不需要的等效输入信号。如果第一级的电压增益足够大，那么第二级多余信号的作用可以被忽略。因此，斩波稳定运算放大器的等效输入噪声（尤其是 1/f 噪声）可以被大大减小。

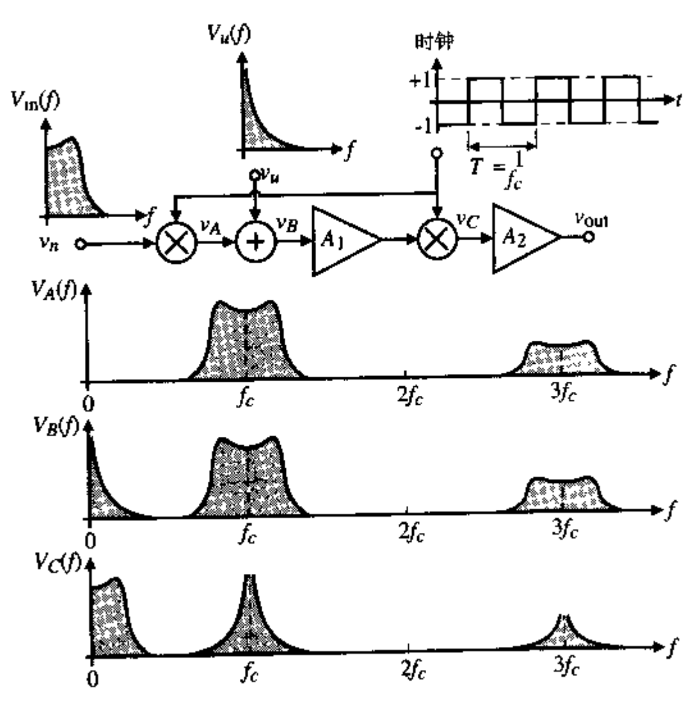


图 7.5-8　从需要的信号 v_{in} 中去除不需要信号 v_u 的斩波稳定概念示意图

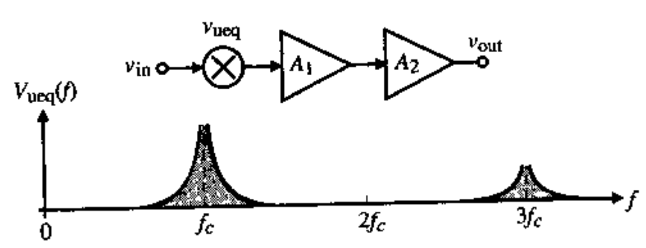


图 7.5-9　图 7.5-8 中不需要信号的等效输入电压频谱

图 7.5-11（a）比较了两个不同斩波频率下的斩波运算放大器和无斩波的运算放大器输入噪声的实验结果。结果表明，使用斩波技术可以实现较低的噪声和失调电压。可以看到，斩波频率越高，噪声也就越低。图 7.5-11（b）比较了在滤波器中使用斩波放大器时的实验和计算结果。在 1000 Hz 处噪声降低了大约 10 dB，这与同一张图上的总输出频谱的预测很接近。在无斩波稳定的滤波器中，1/f 噪声起主要作用，而使用斩波稳定时，运算放大器的热噪声起主要作用。尽管在 1000 Hz 处运算放大器的噪声降低了40 dB，而滤波器的噪声仅仅改进了10 dB。出现这种情况是因为当斩波器工作时，运算放大器的混合热噪声变成了主要噪声。

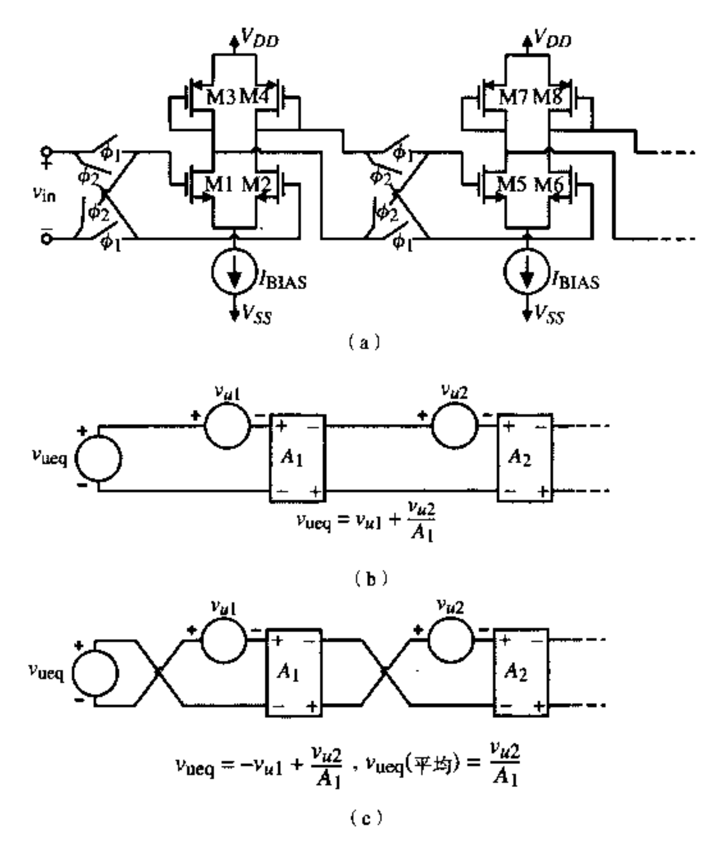


图 7.5-10 （a）图 7.5-9 斩波稳定电路的实现；（b）ϕ_1 相位期间的等效电路；（c）ϕ_2 相位期间的等效电路

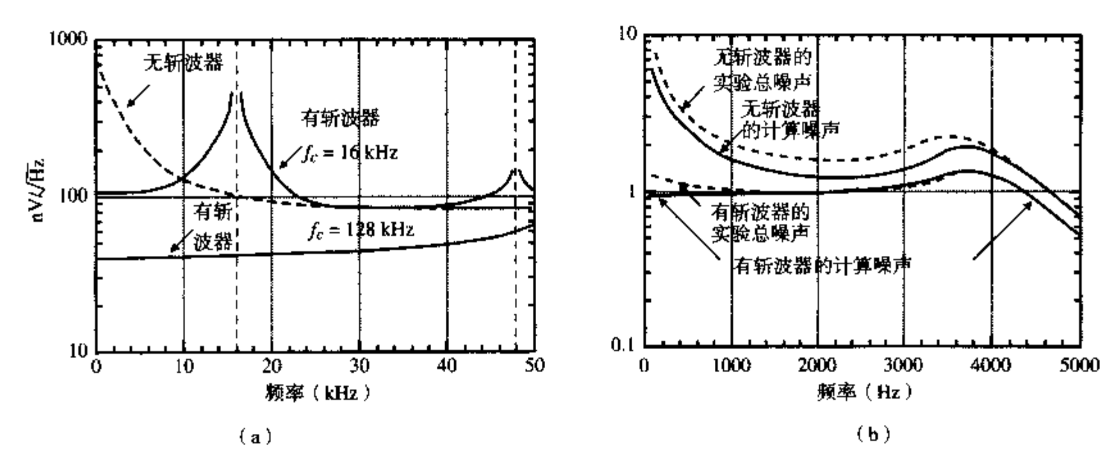


图 7.5-11 （a）不同斩波频率下运算放大器的等效输入噪声；（b）有斩波稳定和无斩波稳定的滤波器输出噪声、并与理论预测总噪声比较

当斩波稳定被用来进一步降低前面讨论的运算放大器的噪声时，必须注意由开关引起的叫做 kT/C 的噪声不破坏斩波稳定的性能。kT/C 噪声将在第 9 章中讨论，它相当于一个热噪声。随着更多开关的使用，热噪声电平将增加。因此，斩波稳定允许在 $1/f$ 噪声和热噪声之间进行权衡。结果，斩波稳定可能不会使已具有低 $1/f$ 噪声的运算放大器的噪声性能得到改进，例如图 7.5-6 所示。

这一节介绍了降低运算放大器噪声的技术和方法。我们看到，MOSFET 运算放大器的噪声包括 1/f 噪声和热噪声。在低频时，1/f 噪声起主要作用。通过使用 p 沟道 MOSFET 作为输入晶体管和在运算放大器的输入端获得尽可能大的增益的方法能够降低这一噪声。除此之外，还可以采用具有更小 1/f 噪声的双极型晶体管代替输入端的晶体管。最后，使用斩波稳定原理的运算放大器能将 1/f 噪声推向更高的频率。这个原理还可以降低 CMOS 运算放大器的直流输入失调电压。

当运算放大器的噪声被降低以后，必须小心不要让其他失真源变严重。这包括由失真和电源注入引起的谐波。低噪声运算放大器必须是线性的，并且要有很大的电源抑制比。

7.6 低电压运算放大器

随着 CMOS 技术在器件尺寸上的不断缩小，产生了一些严重的问题。图 7.6-1 给出了历史上典型的电源电压 V_{DD}、阈值电压 V_T、最小沟道长度 L_{min}(μm)值和预测值[24]。不断减小沟道长度的动机是为了增加 MOS 场效应管的 f_T 并在同样的物理面积上集成更多的电路，这使得电路由超大规模集成（VLSI）电路向甚大规模集成（ULSI）电路迈进。电压减小的原因是尺寸的减小导致了器件的击穿电压的减小。此外，数字电路的功耗正比于电源的平方。为了减小 ULSI 电路的功耗，必须对芯片降温或降低电源，或者同时使用两种措施。

但是，从模拟电路设计者的观点来看，图7.6-1中的趋势变成了一个问题。随着电源电压的减小，模拟信号的动态范围被减小。如果阈值电压随着电源电压等比例减小，动态范围就不会受到严重的影响。由于数字逻辑的原因，阈值电压不能大幅度地减小。我们回忆一下，MOS 场效应管即使在栅压低于阈值电压时仍存在电流，即弱反型区。如果阈值电压很接近 0，那么即使当 MOS 场效应管逻辑器件关闭的时候，其中仍会有可观的电流流过。如果这个小电流乘以数千个器件，则功耗会变得相当可观。

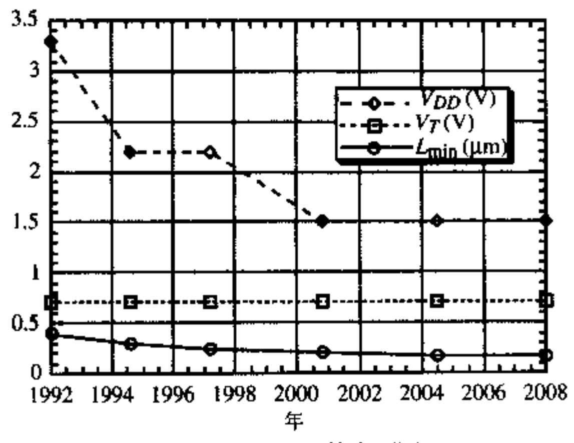


图 7.6-1　CMOS 技术预测

CMOS 工艺可以改为低阈值电压和无漏电流的情况，但这不会成为标准的 CMOS 工艺，因为数字设计者并不需要这样。对于具有最高噪声裕量的逻辑电路来说，最好的阈值电压大约为电源的一半。如果使用 1.5 V 的电源，则 0.75 V 的阈值电压能给出最大的噪声裕量。因此，模拟设计者不得不面对在几乎恒定的阈值电压下减小电源的问题。这一节将讨论这个问题的解决方案。我们将假设晶体管工作在强反型。如果使用弱反型，那么 7.4 节讨论的放大器可以适用于低压电源。

低电压、强反型工作问题

图 7.6-2 给出了几个略微不同的电压随时间减小的预测。图 7.6-2 [25] 是从万维网上的信息得到的发展目标，它表明了半导体工业的发展趋势。在这个随时间变化的电源电压趋势图中，桌面供电和电池供电的电源电压是有区别的。

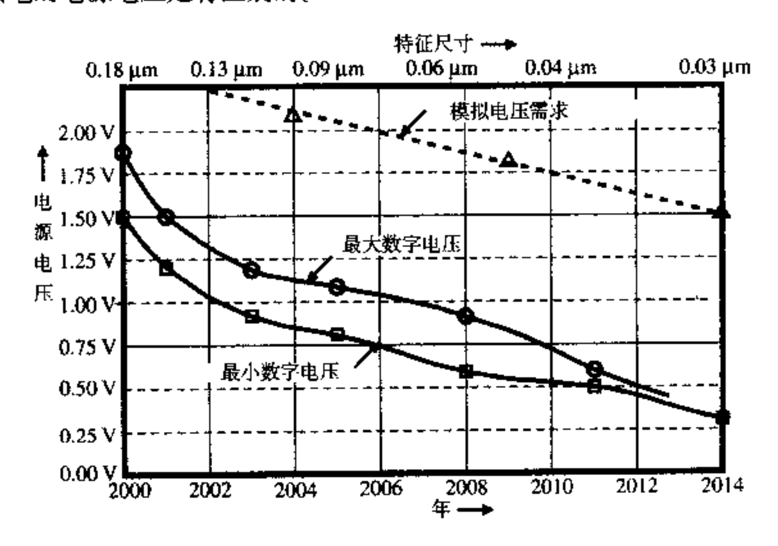


图 7.6-2 CMOS 技术供电电压的发展趋势

电源电压的减小对于模拟电路意味着什么呢？这意味着动态范围的减小、输入共模范围（ICMR）的减小、电容的增加及不能打开或关闭浮动开关。我们将详细讨论其中的每一个问题。

随着电源电压的减小，动态范围将减小。采用差分操作可以增大信号摆幅。动态范围的下限也将受到关注。为了让动态范围随着电源的下降成比例地减小，噪声和非线性特性必须保持恒定。遗憾的是，随着电源的减小，非线性一般会增加。通常，为了让 V_{DS}(饱和)变小，MOS 场效应管的 W/L 值很大，这样噪声趋于保持恒定或减小。

随着电源的减小，最关注的问题之一可能就是 ICMR。不要忘记，ICMR 是差分输入工作正常时的输入共模电压。即使 ICMR 足够大，它也必须居于电源范围的中部。ICMR 很重要，因为它决定了某一级的输出是否能够连接到另一个不同或相同级的输入。

MOS 场效应管的 pn 结电容随着电源的减小而增大，原因是加到 pn 结的反向偏置电压减小了。为了看清这一点，可以回忆随着反向偏置电压幅度的增加耗尽层电容减小的结论。同样，低电源对固有电容也产生消极影响。这一影响是由于为了降低 V_{DS}(饱和)需要大的 W/L。结果，更大的尺寸导致了更大的电容。

最后，低压电源使开关的使用变得很困难。如果开关的一端接到电源的高端或低端上，它可以正常工作。如果开关浮空就很困难了。使用这些开关的惟一方法是用电荷泵来增加门驱动器的幅度。这一技术已在 4.1 节中做了介绍。

低电压输入级

低电压电源的最严重的影响发生在运算放大器的输入级。图7.6-3 给出了最适当的低电压输入级，它是一个使用电流源负载的简单差分放大器，也就是一个带有电流源负载的简单差分放大器。

可使用的最小电源电压为：

$$V_{DD}(\text{最小}) = V_{SD3}(\text{饱和}) - V_{T1} + V_{GS1} + V_{DS5}(\text{饱和}) = V_{SD3}(\text{饱和}) + V_{DS1}(\text{饱和}) + V_{DS5}(\text{饱和}) \quad (7.6\text{-}1)$$

这个最小的电源电压要求输入共模范围 ICMR 为 0。假设饱和电压相等，均为 0.3 V，阈值电压相等，均为 0.7 V，则电源为 0.9 V。如果电源大于 V_{DD}(最小)，ICMR 会有一个上限和下限。上限为：

$$V_{icm}(\text{上限}) = V_{DD} - V_{SD3}(\text{饱和}) + V_{T1} \quad (7.6\text{-}2)$$

下限为：

$$V_{icm}(\text{下限}) = V_{DS5}(\text{饱和}) + V_{GS1} \quad (7.6\text{-}3)$$

如果电源为 1.5 V，则 ICMR 为 0.6 V。这个 ICMR 从 V_{cm} 的下限 1.3 V 到 V_{cm}(上限)1.9 V，即超过 V_{DD} 之上 0.4 V。最好的结果是让 ICMR 在电源范围的中心处，上面的情况显然不是。

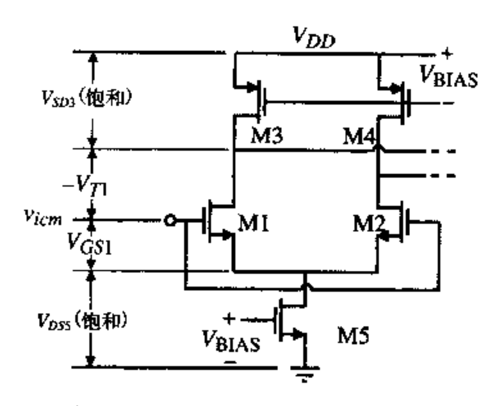


图 7.6-3　差分输入级的输入共模范围

这一问题的解决方法之一是将 n 沟道差分输入级和 p 沟道差分输入级并联使用。图7.6-4 给出了这一概念。V_{DD} 的最小值与单个差分输入级相同，但是 ICMR 可以超出或低于电源的限制。这似乎是一个理想方案。然而，如果我们仔细地检查图7.6-4 在输入共模范围内的工作，可以发现有三个工作区。例如，当 V_{icm} 小于 V_{DSN5}(饱和)$+V_{GSN1}$ 时不是所有的 n 沟道输入晶体管都工作在饱和区。事实上，由于电流源 MN3 和 MN4 的存在，MN1 和 MN2 中仍然有电流流过。因此，V_{GSN1} 保持恒定，并且 n 沟道差分放大器的电流漏 MN5 进入非饱和区。这时，MN1 和 MN2 的电流减小，使得 MN1 和 MN2（MN3 和 MN4）的漏极靠近 V_{DD}，从而关断了 n 沟道级。电压 V_{DSN5}(饱和)$+V_{GSN1}$ 被称为 n 沟道差分输入级的开启电压。表示为：

$$V_{onn} = V_{DSN5}(\text{饱和}) + V_{GSN1} \quad (7.6\text{-}4)$$

当 V_{icm} 大于 $V_{DD}-V_{SDP5}$(饱和)$-V_{SGP1}$ 时，对于 p 沟道输入差分放大器也会发生相似的情况。这个电压被称为 p 沟道差分输入级的开启电压，表示为：

$$V_{onp} = V_{DD} - V_{SDP5}(\text{饱和}) - V_{SGP1} \quad (7.6\text{-}5)$$

注意，V_{onp} 和 V_{onn} 的和等于可能的最小电源电压。

在这些电压之间，两种差分输入的所有晶体管都处在饱和区。这个结果的缺点是小信号输入跨导随着共模输入信号 V_{icm} 而变化。我们可以看到，一旦输入差分放大器离开其共模范围，放大器就会关闭。因此，有三个工作范围，每一种都有自己的输入跨导。这三个工作区为：

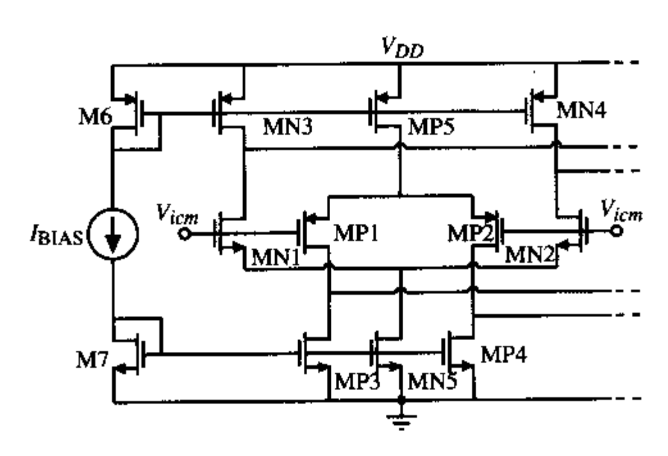


图 7.6-4 并行 n 沟道和 p 沟道差分输入级

$V_{DD} > V_{icm} > V_{onp}$：（n 沟道导通，p 沟道关断）

$$g_m(\text{等效}) = g_{mN} \tag{7.6-6}$$

$V_{onp} \geq V_{icm} \geq V_{onn}$：（n 沟道导通，p 沟道导通）

$$g_m(\text{等效}) = g_{mN} + g_{mP} \tag{7.6-7}$$

$V_{onn} > V_{icm} > 0$：（n 沟道关断，p 沟道导通）

$$g_m(\text{等效}) = g_{mP} \tag{7.6-8}$$

其中，g_m(等效)为图 7.6-4 的等效输入跨导，g_{mN} 为 n 沟道输入端的输入跨导，g_{mP} 为 p 沟道输入端的输入跨导。“导通” 表示所有的晶体管工作在饱和区。图 7.6-5 表示图 7.6-4 的小信号等效跨导作为输入共模电压函数的情况。这样的特性会引入非线性，并且会给与输入共模电压有关的补偿造成困难。这两者都是我们所不希望的。

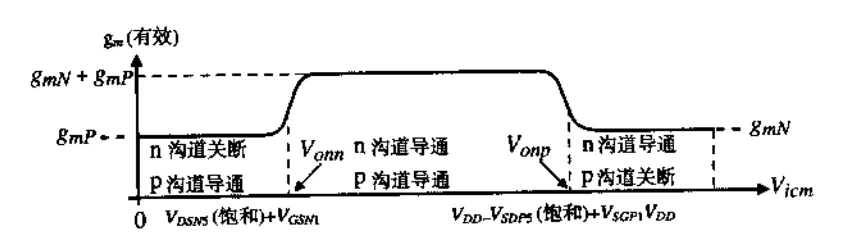


图 7.6-5 随 V_{icm} 变化的图 7.6-4 的有效输入跨导

有许多方法试图在输入共模电压变化时保持有效输入跨导不变[26, 27]。一种保持 g_m(有效)不变的方法是当 V_{icm} 变化时输入级的直流电流也随之改变。在饱和区，小信号的差分跨导正比于直流电流的平方根。当一级关闭时，另外一对中的直流电流增加 4 倍。例如，当 p 沟道级关闭时，式（7.6-6）中的 g_{mN} 增加两倍。如果 $g_{mN} = g_{mP}$，则有效输入跨导保持不变。同样的技术可用于式（7.6-8）中的 g_{mP}。图 7.6-6 给出了实现这种技术的方法。

当 n 沟道和 p 沟道同时工作时，电流 I_{pp} 和 I_{nn} 为 0，n 沟道（I_n）和 p 沟道（I_p）级的偏置电流为 I_b。在这一范围内的有效输入跨导为：

$$g_m(\text{有效}) = g_{mN} + g_{mP} = \sqrt{\frac{2K'_N W_N I_b}{L_N}} + \sqrt{\frac{2K'_P W_P I_b}{L_P}} \tag{7.6-9}$$

如果$K'_N W_N/L_N$等于$K'_P W_p/L_p$，则式（7.6-9）变为：

$$g_m(\text{有效}) = \frac{K'_N W_L}{L_N}(\sqrt{I_b} + \sqrt{I_b}) = \frac{K'_N W_L}{L_N}(2\sqrt{I_b}) \tag{7.6-10}$$

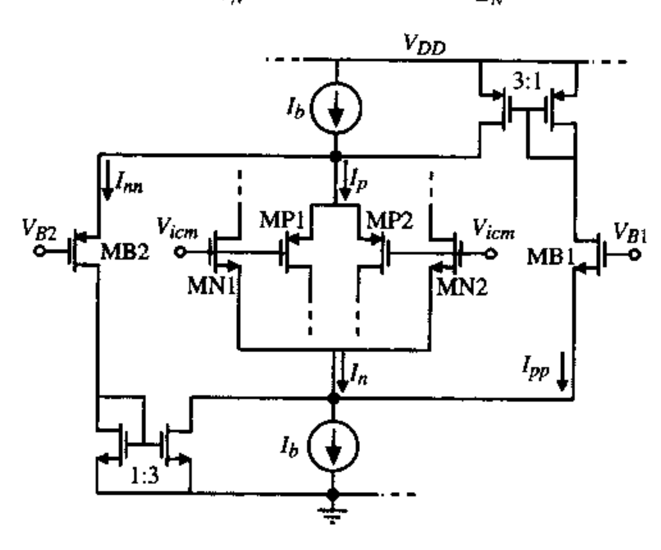


图 7.6-6　使用电流补偿技术保持 g_m(有效)恒定的示意图

现在假设 V_{icm}朝着 V_{DD}方向增加。如果 V_{B2}被设为 V_{onp}，当 V_{icm}增加到超出 V_{onn}时，MP1 和 MP2 关闭。p 沟道偏置电流 I_b等于 I_{nn}且流入左下方的 3∶1 电流镜。n 沟道级的偏置电流将变为 $4I_b$，这使得大于 V_{onp}的有效的输入跨导为：

$$g_m(\text{有效}) = \frac{K'_N W_L}{L_N}(2\sqrt{I_b}) \tag{7.6-11}$$

这与式（7.6-10）相同。如果 V_{B1}设置为 V_{onn}，且 V_{icm}降低到 V_{onn}以下，MN1 和 MN2 关闭，同样 p 沟道的偏置电流变为 $4I_b$，使得有效输入跨导保持恒定。事实上，晶体管在某一 V_{icm}值处并不是从断到开的开关、而是一个逐渐变化的过程。图7.6-7 给出了这种方法的典型结果。并行输入级方法对电源电压在 2~3 V 之间很有效。小于这些电压时，由于需要外部电路的原因，并行输入级方法很难实现。

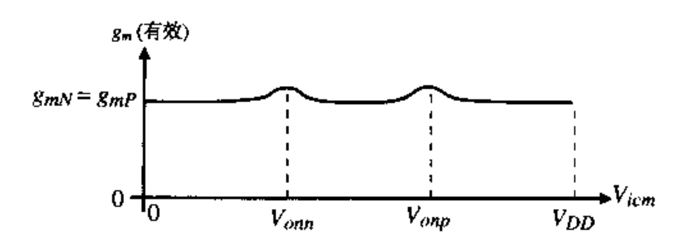


图 7.6-7　保持 g_m(有效)恒定的典型结果

如果电源小于或等于 1.5 V，通常采用以牺牲 ICMR 为代价的单个差分输入级。采用体驱动模式下的 MOS 场效应管在电源电压降到 1 V 时仍可获得较好的 ICMR [28]。图 7.6-8 给出了 MOS 场效应管是如何被体所驱动的。电流控制的机理是在阱和沟道之间形成耗尽区。由于这个耗尽区变宽，它将沟道夹断。结果 n 沟道MOS场效应管类似于夹断电压为−2~−4 V 结型场效应管（JFET）。

像一般的 JFET，体–源极不应当被正向偏置。所以，体驱动的 MOS 场效应管和结型场效应管的工作一样，是一个耗尽器件。耗尽特性使得 n 沟道输入的 ICMR 可以延伸至负电源以下。

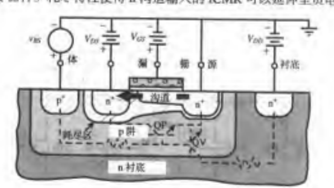


图 7.6-8　n 沟道体驱动的 MOSFET 截面图

体驱动工作需要形成沟道，这通过在 MOS 场效应管的栅极加固定偏置完成。当体相对于源极为负电位时，沟道–体的耗尽区变成反偏且变宽。如果负的体电压足够大，沟道会被夹断。图 7.6-9 给出了同一个 n 沟道 MOS 场效应管当体–源极电压和栅极–源极电压变化时的漏极电流变化情况。体驱动 MOS 场效应管的大信号公式为：

$$i_D = \frac{K'_N W}{2L}\left[V_{GS} - V_{T0} - \gamma\sqrt{2|\phi_F| - v_{BS}} + \gamma\sqrt{2|\phi_F|}\right]^2 \tag{7.6-12}$$

小信号跨导由式（3.3-8）给出，并在这里重新写出：

$$g_{mbs} = \frac{\gamma\sqrt{(2K'_N W/L)I_D}}{2\sqrt{(2|\phi_F| - V_{BS})}} \tag{7.6-13}$$

对于体驱动的情况，小信号沟道电导不变。通常，v_{BS} 是负值，但有时使体驱动 MOS 场效应管的体–源极结轻微地正偏是有益的。其优点之一是式（7.6-13）的跨导会增加且会大于顶部栅极的跨导。我们应当小心使流入体–源极结的电流不要太大，因为它会被图 7.6-8 中寄生双极型晶体管的电流增益相乘。

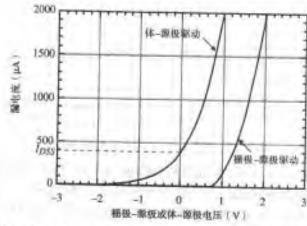


图 7.6-9　同一 MOS 场效应管在体–源极驱动和栅极–源极驱动模式下的跨导特性

体-源极驱动晶体管可以用做差分放大器的源极耦合对，如图 7.6-10 所示。对 n 沟道输入，体-源极驱动晶体管的耗尽特性可使 ICMR 降至负电源以下。当图 7.6-10 中输入共模电压增加时，小信号跨导也增加。我们可以这样来看：首先我们注意到，如果由于 M5 的存在使流过 M1 和 M2 的电流恒定，则 V_{BS} 必须恒定。因此，如果 V_{icm} 增加，M1 和 M2 的源极电位增加。然而，如果 M1 和 M2 的源极电位增加，V_{GS} 会减小，电流也就不会保持恒定。为了保持 M1 和 M2 的电流恒定，体-源极结的反偏减小，使得有效的阈值电压减小。如果 V_{icm} 继续增加，M1 和 M2 的体-源极结变得更加正偏，开始产生输入电流。V_{BS} 上这些变化的结果使式（7.6-13）的跨导增加，这是由于 V_{BS} 由负变正的原因。输入共模范围会增加 1 倍，这使运算放大器的补偿变得很困难。实际中输入共模电压的最大值大约比 V_{DD} 小 0.3~0.4 V。

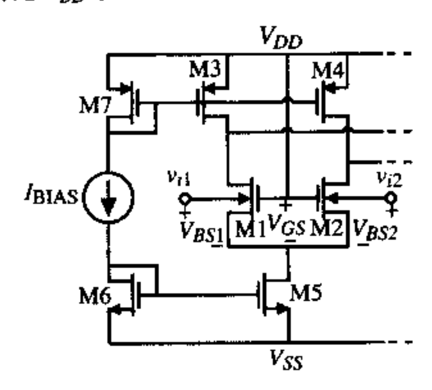


图 7.6-10　使用体-源极驱动输入晶体管的低电压差分输入

低电压偏置和负载电路

除了运算放大器的输入级，偏置和负载电路会限制电源的减小。在这一节，我们将考虑工作于 1 V 以下的电流镜和低电压带隙基准。我们知道简单的电流镜在输入端需要一定的栅源电压降以保证正常工作。这一电压可以达到 1 V 或更大，这取决于 W/L 和电流。最小的电源应当是这个电压加上一个电流源或电流漏的饱和电压。结果，最小电源应当为：

$$V_{DD}(\text{最小}) = V_T + 2V_{DS}(\text{饱和}) \tag{7.6-14}$$

当然，如果使用共源共栅电流镜，情况会更糟。对于自偏置共源共栅，电流镜的最小输入电压和式（7.6-14）相同。有两种方法可以减小电流镜输入端所需的电压，一种是使用体驱动器件，另一种是通过电平移动使漏极电压低于栅极电压。

我们注意到上面的体驱动 MOS 场效应管通常工作在耗尽区，但是将体-源结轻微地正向偏置是可行的。在这种条件下，体驱动 MOS 场效应管可以实现低电压电流镜[29]。一个使用体驱动 MOS 场效应管的简单电流镜如图 7.6-11（a）所示。为了在 M1 和 M2 中形成沟道，栅极接到 V_{DD}。如果 i_{IN} 大于 I_{DSS}，那么 V_{BS} 大于 0，这个电流镜像普通的电流镜那样工作。V_{BS} 略大于 0 时，在输入端加至电流源上的电压 V_{MIN} 可以减小。实验结果表明，电流达到500 μA 时的 V_{BS} 小于 0.4 V。小信号输入电阻为 $1/g_{mbs}$ 小信号输出电阻为 r_{ds}，这与栅极驱动电流镜相同。

图 7.6-11（b）给出了使用体驱动 MOS 场效应管的共源共栅电流镜。电流镜的最小输入电压等于 M1 和 M3 的体-源极电压之和。同样，i_{IN} 的值必须大于晶体管的 I_{DSS}。对于电流小于 100 μA 的情况，最小的输入电压小于 0.5 V。共源共栅电流镜的优点在于良好的匹配特性和高的输出电阻。图 7.6-12 给出了采用2 μm、p 阱 CMOS 工艺实验得出的输出电流。

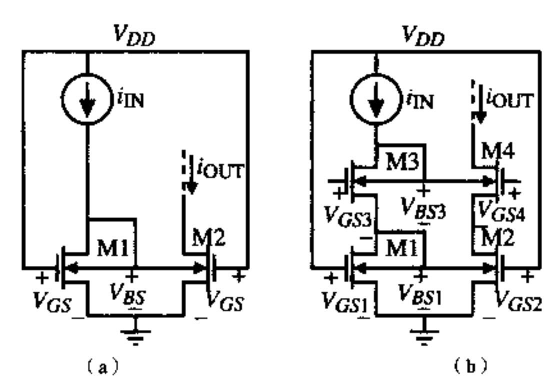


图 7.6-11 （a）简单的体驱动电流镜；（b）共源共栅体驱动电流镜

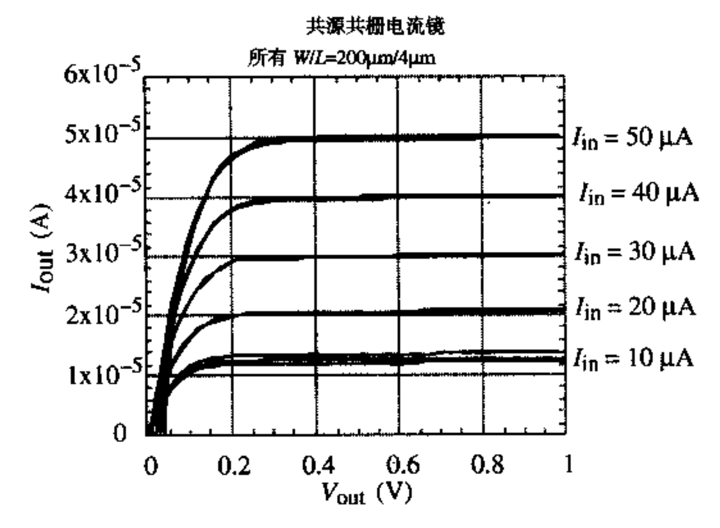


图 7.6-12 体驱动共源共栅电流镜的实验结果（4 个样本）

另一种低电压电流镜的实现方法是通过电平位移使漏极电压低于栅极。这种方法如图 7.6-13 所示。其中双极型晶体管的基极发射极电压用来实现电平位移。我们知道漏极电位可以比栅极低 V_T 且仍然工作于饱和区。因此，只要双极型晶体管的基极发射极电压小于 V_T，这个方法就允许简单电流镜输入电压接近 V_{DS1}(饱和)。遗憾的是，这种方法只适用于 n 沟道或 p 沟道电流镜中的一种，而不能同时适用于两种沟道。因为双极型晶体管需要一个悬浮的阱，而绝大多数工艺只提供一种类型的阱。注意，双极型晶体管可以是横向的或垂直的。

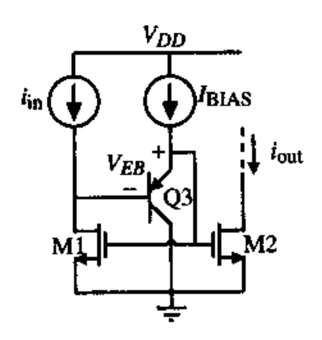


图 7.6-13 对 M1 漏极进行电平位移的简单电流镜

4.6 节中讨论的经典带隙电压发生器使用一个正比于绝对温度（PTAT）的电压和一个基于 pn 结温度系数的电压的和。当这些电压串联时，带隙结构称为电压模式。该工作模式如图 7.6-14（a）所示。遗憾的是，它至少需要硅的带隙电压（27℃时为 1.205 V）加上一个 MOS 场效应管的饱和电压。这意味着最小的电源电压应在 1.5 V 左右。如果在带隙电压发生器中使用更好的电流镜，正如图 6.3-9 所示，最小电源电压应为带隙电压加上一个二极管压降再加 5 个 MOS 场效应管的饱和电压。其最小值很容易达到 2.5 V。因此，图 7.6-14（b）和（c）所示的电压电流模式结构中的电流模式更适合于低电源电压工作（这些图中的 I_{NL} 是用来修正带隙弯曲问题的非线性电流）。

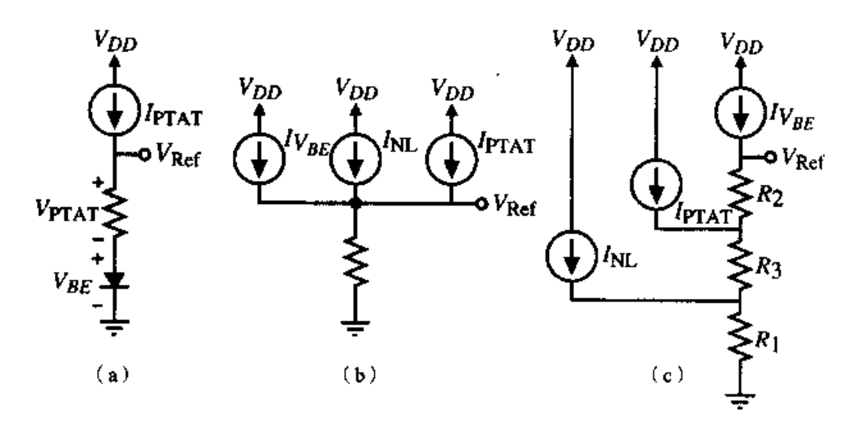


图 7.6-14　产生具有 V_{BE} 和 V_{PTAT} 温度系数的电流的方法。（a）电压模式带隙方法；（b）电流模式带隙方法；（c）电压电流模式带隙方法

在 4.5 节中给出了如何产生一个 PTAT 的电压。把这个电压加到一个电阻上，产生的电流就是 PTAT。即使电阻的温度系数使得产生的电流不同于 PTAT 电流，当这个电流被复制到另一个具有同样温度系数的电阻上时，此电阻上的电压是 PTAT。产生具有 V_{BE} 和 V_{PTAT} 温度系数的电流方法示于图 7.6-15 中。

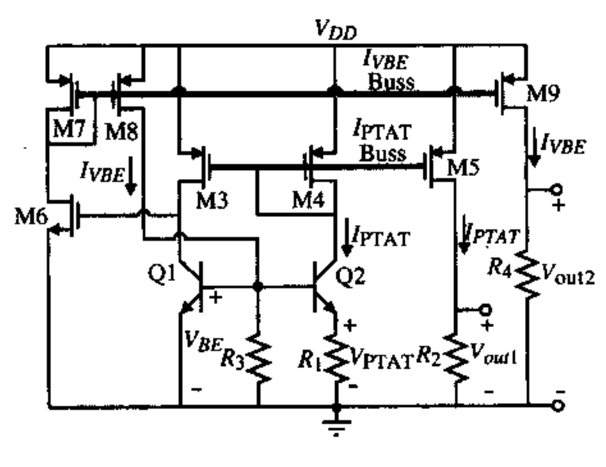


图 7.6-15

PTAT 电流是由加在 R_1 上的 Q1 和 Q2 的发射结的压差产生的。这个电流流过接成二极管的 M4。任何源极和栅极接到 M4 的 p 沟道晶体管都会产生 PTAT 电流。例如，电压 V_{out1} 可以表示为：

$$V_{out1} = I_{PTAT}R_2 = \left(\frac{V_{PTAT}}{R_1}\right)R_2 = V_{PTAT}\frac{R_2}{R_1} \tag{7.6-15}$$

如果 R_1 和 R_2 的温度系数相同，则 V_{out1} 是 PTAT。具有发射结温度系数的电流 I_{VBE} 可以通过跨接在 Q1 发射结上的 R_3 产生。注意，PTAT 电流流经 Q1。I_{VBE} 是由 Q1、M6、M7、M8 和 R_3 组成的负反馈环产生的。这一反馈环使 Q1 中的电流为 PTAT、M8 的电流为 I_{VBE}。任何源极和栅极与 M8 的源极和栅极相连的 p 沟道晶体管都会产生具有发射结温度系数的电流。这个电流可用来产生具有 V_{BE} 温度系数的电压。这可以从下面的式子中得出：

$$V_{out2} = I_{VBE}R_4 = \left(\frac{V_{BE}}{R_3}\right)R_4 = V_{BE}\frac{R_4}{R_3} \tag{7.6-16}$$

同样，如果 R_3 和 R_4 具有相同的温度系数，则 V_{out2} 具有发射结温度系数。

遗憾的是，发射结电压的温度相关性不是线性的，因此不能抵消两个发射结电压差的 PTAT 线性温度相关性，这就需要对带隙参考温度系数的曲度进行修正。在高电压条件下的实现方法前面已经介绍。这里我们将给出适用于工作在 1.2~10 V 之间的带隙参考曲度的修正方法[30]。该方法基于图 7.6-16（a）所示的电路。

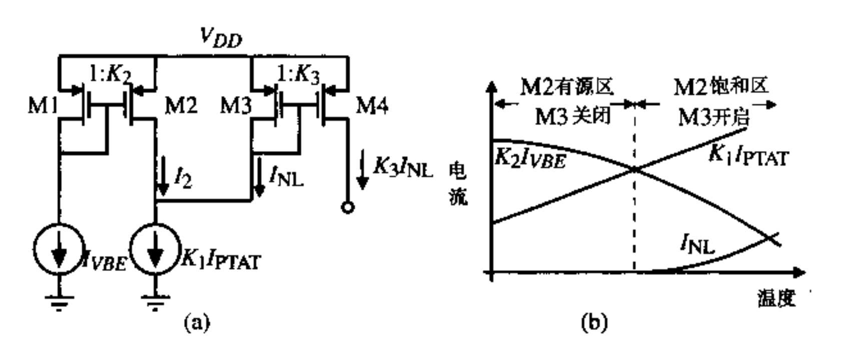


图 7.6-16 （a）产生非线性修正项 I_{NL} 的电路；（b）（a）中电流变化示意图

晶体管 M2 是一个非理想电流源，其电流正比于发射结电压。对于温度范围的下半部分，PTAT 电流 K_1I_{PTAT} 小于电流 K_2I_{VBE}。在这种条件下，M2 处于非饱和区而 M3 关闭。在电流 I_2 大于或等于 K_1I_{PTAT} 这一点上，M2 变为饱和，M3 仍为饱和，但是电流 I_{NL} 开始流动。电流 I_{NL} 等于 K_1I_{PTAT} 和 $I_2 = K_2I_{VBE}$ 的差。流过 M4 的镜像电流可用来修正带隙曲度。I_{NL} 值可表示为：

$$I_{NL} = \begin{cases} 0, & K_2I_{VBE} > K_1I_{PTAT} \\ K_1I_{PTAT} - K_2I_{VBE}, & K_2I_{VBE} < K_1I_{PTAT} \end{cases} \tag{7.6-17}$$

常数 K_1、K_2 和 K_3 可用来调整特性使带隙参考受温度的影响最小化。图7.6-14（c）的电压电流模式带隙结构与图7.6-15 和图7.6-16（a）一起用于实现曲度修正的带隙参考 0.596 V，其温度系数在 −15~90 C°范围内小于 20 ppm/C°。使 R_1、R_2 和 R_3 与产生 I_{PTAT} 的电阻具有相同的温度系数十分重要。当 V_{DD} 从 1.2 V 变到 10 V 时，该电路给出的线路调整率为 408 ppm/V，当 V_{DD} 满足 1.1 V ≤ V_{DD} ≤ 10 V 时，线路调整率为 2000 ppm/V。静态电流为14 μA。

低电压运算放大器

在绝大多数的运算放大器中，设计难点发生在低于 $2V_T$ 的电源上。对低电源电压运算放大器

的限制与期望的输入共模范围有关。因此，电源降到 $V_{DD}=2V_T$时，使用一般运算放大器的设计方法需要特别当心。例如，考虑图 7.6-17 所示的运算放大器，这是为电压范围降到 $2V_T$而设计的。如图 7.6-3 所示，输入级是带有电流源负载的简单的 n 沟道差分放大器。它给出不采用图 7.6-4 并行输入级的增强型 MOS 场效应管可能的最大输入共模范围。源极接到差分放大器输出端的 p 沟道晶体管的偏置应使电流源负载的源漏电压为 V_{SD} (饱和)(V_{ON})，这给出了最大输入共模电压并使得电源的改变不受正的输入共模电压的限制。差分输出的信号电流折叠后通过这些晶体管（M6 和 M7）并通过 n 沟道电流镜（M8 和 M9）被转换为单端信号。最后，一个使用米勒补偿的简单的甲类输出级被用于第二级增益。这个运算放大器和经典两级运算放大器有同样的性能，但可用于更低的电源电压。它优于经典的两级运算放大器之处在于输入差分级的负载是平衡的。

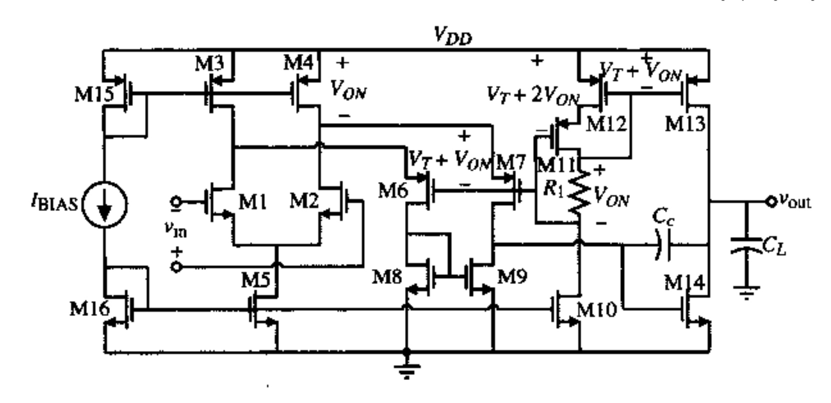


图 7.6-17　具有 $V_{DD}\geq V_T$的低电压两级运算放大器

例 7.6-1　采用图 7.6-17 结构的低电压运算放大器的设计

采用表 3.1-2 的参数，设计图 7.6-17 所示的运算放大器，要求满足下列指标：

$V_{DD}=2\text{ V}$　　$V_{icm}(最大)=2.5\text{ V}$　　$V_{icm}(最小)=1\text{ V}$

$V_{out}(最大)=1.75\text{ V}$　　$V_{out}(最小)=0.5\text{ V}$　　$GB=10\text{ MHz}$

摆率 SR = ±10 V/μs　　$C_L=10$ pF 时的相位裕量为 60°

解：

由两级运算放大器获得 60°相位裕量及 RHP 零点至少在 10*GB* 处所必需的条件得出：

$$C_c=0.2\,C_L=2\text{ pF}$$

摆率直接与 M5 中的电流有关，并且有：

$$I_5=C_c\cdot SR=2\times10^{-11}\cdot10^7=20\ \mu\text{A}$$

我们从 *GB* 和 C_c可求出输入跨导为：

$$g_{m1}=g_{m2}=GB\cdot C_c=20\pi\times10^6\cdot2\times10^{-12}=125.67\ \mu\text{S}$$

知道了流经 M1 和 M2 的电流，可以求出 *W/L* 比为：

$$\frac{W_1}{L_1}=\frac{W_2}{L_2}=\frac{g_{m1}^2}{2K'_N(I_1/2)}=\frac{(125.67\times10^{-6})^2}{2\cdot110\times10^{-6}\cdot10\times10^{-6}}=7.18$$

接下来我们求满足 V_{icm}(最小)要求的 M5 的 W/L：

$$V_{icm}(\text{最小}) = V_{DS5}(\text{饱和}) + V_{GS1}(10\ \mu\text{A}) = 1\ \text{V}$$

从而得出：

$$V_{DS5}(\text{饱和}) = 1 - \sqrt{\frac{2 \cdot 10}{110 \cdot 7.18}} - 0.75 = 1 - 0.159 - 0.75 = 0.0909\ \text{V}$$

因此，

$$V_{DS5}(\text{饱和}) = 0.0909 = \sqrt{\frac{2I_5}{K_N'(W_5/L_5)}} \rightarrow \frac{W_5}{L_5} = \frac{2 \cdot 20}{110 \cdot (0.0909)^2} = 44$$

由上而的输入共模电压可完成 M3 和 M4 的设计，输入共模电压为：

$$V_{icm}(\text{最大}) = V_{DD} - V_{SD3}(\text{饱和}) + V_{TN} = 2 - V_{SD3}(\text{饱和}) + 0.75 = 2.5\ \text{V}$$

解得 V_{SD3}(饱和)为 0.25 V。我们假设 M6 和 M7 的电流为 20 μA。这给出 M3 和 M4 的电流为 30 μA。知道 M3（M4）的电流可求出：

$$V_{SD3}(\text{饱和}) \le \sqrt{\frac{2 \cdot 30}{50 \cdot (W_3/L_3)}} \rightarrow \frac{W_3}{L_3} = \frac{W_4}{L_4} \ge \frac{2 \cdot 30}{(0.25)^2 \cdot 50} = 19.2$$

接下来，使用 M3 和 M4 的 $V_{SD}(\text{饱和}) = V_{ON}$，设计 M10 到 M12。我们假设 $I_{10} = I_5 = 20\ \mu\text{A}$，可得 M10 宽长比 $W_{10}/L_{10} = 44$。$R_1 = 0.25\text{V}/20\mu\text{A} = 12.5\text{k}\Omega$。M11 和 M12 的 W/L 可表示为：

$$\frac{W_{11}}{L_{11}} = \frac{W_{12}}{L_{12}} = \frac{2 \cdot I_{11}}{K_P' V_{SD11}^2(\text{饱和})} = \frac{2 \cdot 20}{50 \cdot (0.25)^2} = 12.8$$

结果由于 M6 和 M7 的源栅电压和电流与 M11 和 M12 相同，则 W/L 相等。因而，

$$\frac{W_6}{L_6} = \frac{W_7}{L_7} = 12.8$$

M8 和 M9 应当尽可能小以减小寄生（镜像）极点。然而，M4、M6 和 M8 上的电压降必须小于电源。由此可得 M8 的栅源电压为：

$$V_{GS8} = V_{DD} - 2V_{ON} = 2\ \text{V} - 2 \cdot 0.25 = 1.5\ \text{V}$$

因此，

$$\frac{W_8}{L_8} = \frac{W_9}{L_9} = \frac{2 \cdot I_8}{K_N' \cdot V_{DS8}^2(\text{饱和})} = \frac{2 \cdot 20}{110 \cdot (0.8)^2} = 0.57 \approx 1$$

这个值表明可以将 M8 和 M9 做成共源共栅电流镜，这可以提高增益（见习题 7.6-9）。因为 M8 和 M9 很小，镜像极点可以忽略。接下来要考虑的极点在 M6 和 M7 的源极。这些极点为：

$$p_6 \approx \frac{g_{m6}}{C_{GS6}} = \frac{\sqrt{2K_p' \cdot (W_6/L_6) \cdot I_6}}{(\frac{2}{3}) \cdot W_6 \cdot L_6 \cdot C_{ox}} = \frac{\sqrt{2 \cdot 50 \cdot 12.8 \cdot 20 \times 10^{-6}}}{(\frac{2}{3}) \cdot 12.8 \cdot 1 \cdot 2.47 \times 10^{-15}} = 7.59 \times 10^9\ \text{rad/s}$$

我们在上面的计算中已经假设沟道长度为1 μm。该值比 GB 大 100 倍，因此尽管我们忽略了 M1 和 M3 的漏极到地的电容，我们仍然认可上面的分析。

最后，我们来设计第二级的 W/L。我们可以使用 $g_{m14}=10g_{m1}=1256.7\ \mu S$ 的 60°相位裕量的关系或考虑 M9 和 M14 之间的正确镜像。结合饱和区公式我们可得：

$$\frac{W}{L}=\frac{g_m}{K'_N V_{DS}(\text{饱和})}$$

用 $1256.7\ \mu S$ 代替 g_{m1} 并用 0.5 V 代替 V_{DS14} 可得 $W_{14}/L_{14}=22.85$。对应于这个 g_m 与 W/L 的电流为 $I_{14}=314\ \mu A$。M13 的 W/L 由两个晶体管的电流比决定：

$$\frac{W_{13}}{L_{13}}=\frac{I_{13}}{I_{12}}I_{12}=\frac{314}{20}\cdot 12.8=201$$

现在我们必须检查以保证满足 V_{out}(最大)。M13 的饱和电压为：

$$V_{SD13}(\text{饱和})=\sqrt{\frac{2\cdot I_{13}}{K'_P(W_{13}/L_{13})}}=\sqrt{\frac{2\cdot 314}{50\cdot 201}}=0.25\ \text{V}$$

这恰好满足要求。为了获得合适的镜像，M9 的 W/L 应当为：

$$\frac{W_9}{L_9}=\frac{I_9}{I_{14}}\frac{W_{14}}{L_{14}}=1.42$$

由于 W_9/L_9 曾被选为 1，所以这足够精确。

让我们看看低频时的增益。小信号电压增益可写为：

$$\frac{v_{out}}{v_{in}}=\left(\frac{g_{m1}}{g_{ds7}+g_{ds9}}\right)\left(\frac{g_{m14}}{g_{ds13}+g_{ds14}}\right)$$

其中，$g_{ds7}=1\mu S$、$g_{ds8}=0.8\mu S$、$g_{ds13}=15.7\mu S$ 和 $g_{ds14}=12.56\mu S$。将这些值代入上式得：

$$\frac{v_{out}}{v_{in}}=\left(\frac{125.6}{1.8}\right)\left(\frac{1256.7}{28.26}\right)=69.78\cdot 44.47=3103\ \text{V/V}$$

包括 $20\ \mu A$ 的 I_{BIAS}，功耗为 $708\ \mu W$。不计共模电压范围的最小电源为 V_T+3V_{ON}。取 $V_T=0.7V$，$V_{ON}\approx 0.25V$，这个运算放大器可以工作在 1.5 V 的电源下。

图 7.6-17 的运算放大器是一个采用标准运算放大器设计技术的低电压运算放大器的例子。如果电压降到 $2V_T$ 以下就会出现问题。这些问题包括输入共模电压范围的减小。这可以通过使用图 7.6-4 所示的并行输入级来减小影响。另一个主要问题是绝大多数晶体管的漏源电压接近于饱和电压，这意味着 g_{ds} 更大（或 r_{ds} 更小）。这会使增益显著减小。在上面的例子中，如果 NMOS 的λ增至 0.12 而 PMOS 的λ增至 0.15，则增益减小为原来的九分之一，为345 V/V。当然，可以用长沟道来弥补这一减小，但是代价是更大的面积和电容。通常，需要更多的增益级。可能需要在图 7.6-17 的运算放大器输出端增加两级或更多级。随着增益级数量的增加，补偿变得更加复杂。文献[7, 31]中详细讨论了 7.2 节介绍的多路径网格米勒补偿方法。

为了实现电源低于 1.5 ~2 V 的 CMOS 运算放大器，需要减小阈值电压或使用其他方法。许多 CMOS 技术有所谓自然晶体管。这类晶体管是普通的 NMOS 晶体管，没有使用增大阈值电压的注入技术。自然，MOS 场效应管的阈值电压约为 0.1~0.2 V。这样的晶体管可用在运算放大器中以提供必要的输入共模电压范围和增益。必须记住自然晶体管在栅源电压为 0 时电流不为 0，这在绝大多数模拟应用中不会遇到问题。

另一种修改技术是这一节前面介绍的体驱动技术。这种技术可用来实现电源电压为$1.25V_T$的运算放大器。我们用这种技术实现的CMOS运算放大器的电源电压为1 V、输入共模电压范围为25 mV、输出摆幅为25 mV、增益为275[29]。采用上面介绍的增加更多的增益级可以实现大增益。

图7.6-18给出了采用体驱动PMOS器件和差分输入级的输入晶体管实现的1 V电压CMOS运算放大器。由M3、M4和Q5组成的电流镜如图7.6-13所示。Q6是一个缓冲器，它保持电流镜的对称性。输出级是一个简单的甲类输出。长沟道用来保持增益。这个电路的性能见表7.6-1。可以采用多个多路径网格米勒补偿方法的甲类反相级的级联来增大增益。对CMOS运算放大器中的一些体-源极pn结采用正向偏置技术可以实现折叠共源共栅运算放大器，在1 V电源下的增益为70dB [32]。

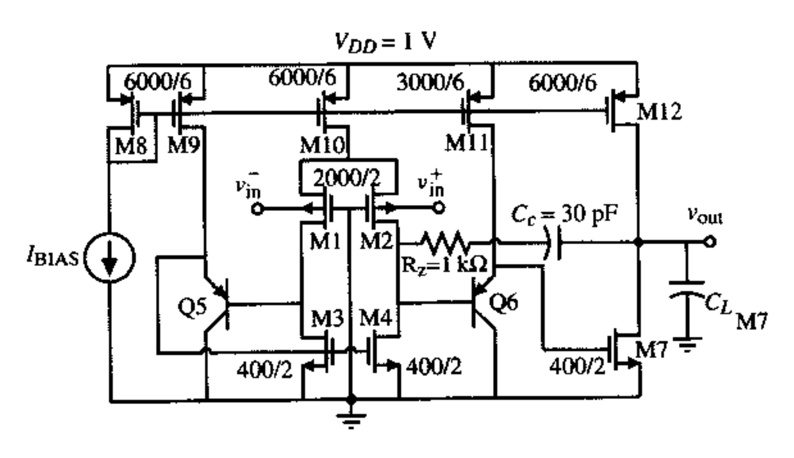


图7.6-18 1 V电压两级运算放大器

表7.6-1 图7.6-18所示的运算放大器的性能

性能（V_{DD} = 0.5 V, V_{SS} = −0.5 V）	测量值（C_L = 22 pF）
直流开环增益	49 dB (V_{icm}中间范围)
电源电流	300 μA
单位增益带宽（*GB*）	1.3 MHz (V_{icm}中间范围)
相位裕量	57° (V_{icm}中间范围)
输入失调电压	±3 mV
输入共模电压范围	−0.475~0.450 V
输出摆幅	−0.475~0.491 V
正摆率	+0.7 μV/s
负摆率	−1.6 μV/s
THD，闭环增益为−1 V/V	−60 dB (0.75 V_{pp}, 1 kHz 正弦波)
	−59 dB (0.75 V_{pp}, 10 kHz 正弦波)
THD，闭环增益为+1 V/V	−59 dB (0.75 V_{pp}, 1 kHz 正弦波)
	−57 dB (0.75 V_{pp}, 10 kHz 正弦波)
噪声电压频谱密度	367 nV/$\sqrt{Hz}$ @ 1 kHz
	181 nV/$\sqrt{Hz}$ @ 10 kHz
	81 nV/$\sqrt{Hz}$ @ 100 kHz

（续表）

性能（V_{DD} = 0.5 V, V_{SS} = −0.5 V）	测量值（C_L = 22 pF）
	444 nV/$\sqrt{\text{Hz}}$ @ 1 MHz
正电源抑制	10 kHz 时 61 dB
	100 kHz 时 55 dB
	1 MHz 时 22 dB
负电源抑制	10 kHz 时 45 dB
	100 kHz 时 27 dB
	1 MHz 时 5 dB

遗憾的是，随着电源电压的减小，低电压运算放大器的功耗并没有成比例地减小。这是因为增益正比于 $g_m r_{ds}$ 的乘积。由于λ（沟道调制参数）增加，r_{ds} 减小，g_m 必须增大。然而跨导的增大需要大的 W/L 和电流。而大的 W/L 会导致大的面积和大的寄生电容。因此，直流电流变大并导致更大的功耗。这方面双极型晶体管有着显著的优点，因为它们在低电流时可以实现更大的跨导。

7.7　小结

这一章介绍了 CMOS 运算放大器，其性能超过了前一章介绍的无缓冲 CMOS 运算放大器。这两种运算放大器的主要区别是在高性能运算放大器上加了一级输出级。这里的输出级可以只使用 MOS 器件或同时使用 MOS 和双极型器件。源极跟随器或射级跟随器输出的输出电阻通过使用负反馈可以进一步减小。加上输出级通常在运算放大器的开环增益上引入更多的极点，这使得补偿变得更困难。带有缓冲的运算放大器主要用来驱动低电阻和大负载电容。

另一方面的改善是频率响应。理解对运算放大器的频率响应的限制可以优化单位增益带宽。电流反馈的应用可以扩展上限频率，实现超高频的运算放大器。这一章同样也引入了差分输出运算放大器。给出了将单端输出运算放大器转换为差分输出运算放大器的范例。这一节之所以重要，是因为当前绝大多数模拟信号的处理都使用差分信号来抑制噪声和增加动态范围。

随着大规模混合信号集成电路模拟单元的增加，功耗的最小化变得十分重要。本章介绍了在增加驱动大电容负载的输出电流条件下实现最小功耗的运算放大器。可以看到低功耗运算放大器的实现是以牺牲频率响应和其他性能为代价的。绝大多数低功耗运算放大器工作在弱反型模式以减小功耗，因此和双极型运算放大器电路相似。

随着电源电压的降低和减小功耗的需要，模拟电路设计者面临众多挑战。一是保持尽可能低的噪声电平。本章结合具体实例给出了低噪声运算放大器的设计方法。此外，运算放大器的设计应在不断降低的电源电压下正常工作。当电源电压接近 $2V_T$ 时，必须采用新技术。两种解决方法包括使用具有特殊晶体管工艺（如自然 MOS 晶体管），或在非常规方式下使用 MOS 场效应管（如体驱动 MOS 场效应管）。

这一章的 CMOS 运算放大器设计在牺牲某一性能以换取另一性能的折中方法上有很好的例子。根据运算放大器的具体使用，我们可以利用折中来提高系统性能。这一章介绍的电路和技术可以在很多实际的 CMOS 模拟电路设计中找到用武之地。

习题

7.1-1　假设在图 7.1-1 中 $V_{DD}=-V_{SS}$，I_{17} 和 I_{20} 为 100 μA。设计 W_{18}/L_{18} 和 W_{19}/L_{19} 使 $V_{SG18}=V_{SG19}$

$=1.5$ V 。设计 W_{21}/L_{21} 和 W_{22}/L_{22} 使 M21 和 M22 中的静态电流也为 100 μA。

7.1-2 计算图 7.1-2 中 V_A、V_B 和 V_C 的值。

7.1-3 假设 $K'_N = 47\ \mu A/V^2$, $K'_P = 17\ \mu A/V^2$， $V_{TN} = 0.7$ V, $V_{TP} = -0.9$ V, $\gamma_N = 0.85$, $V^{1/2}$， γ_P=0.25$V^{1/2}$, $2|\phi_F| = 0.62$ V , $\lambda_N = 0.05V^{-1}$, $\lambda_P = 0.04\ V^{-1}$,用 SPICE 对图 7.1-2 进行仿真并得到与图 7.1-3 相同的结果。

7.1-4 用 SPICE 画出图 7.1-2 输出级在 1 kHz 时总谐波失真（*THD*）与输出电压均方值的函数，其中输入级偏置电流为 20 μA。使用习题 7.1-3 给出的 SPICE 模型参数。

7.1-5 图 P7.1-5 为一个 MOS 输出级。画出小信号模型并计算低频交流电压增益。忽略体效应。

7.1-6 如果 M1 和 M2 的宽从 10 μm 增至 100 μm，求图 7.1-9 的小信号输出电阻值。使用表 3.1-2 的模型参数。当 $C_L = 10$ pF 时，这个缓冲器的–3 dB 频率为多少？

7.1-7 一个 CMOS 电路用做 OTA 输出缓冲器，如图 P7.1-7 所示。求小信号输出电阻 R_{out} 和当输出端接 50 pF 电容时–3 dB 的带宽。如果输出端接 1 kΩ电阻，最大和最小输出电压为多少？此电路的静态功耗为多少？

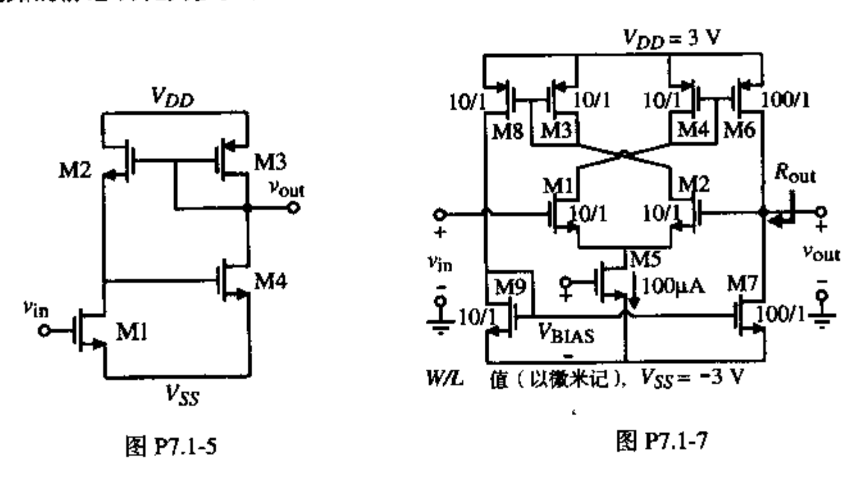


图 P7.1-5　　　　图 P7.1-7

7.1-8 体 CMOS p 阱技术可实现什么类型的双极型晶体管？体 CMOS n 阱技术呢？

7.1-9 假设图 7.1-11 的 Q10 直接接到 M6 和 M7 的漏极，而 M8 和 M9 不存在。给出小信号输出电阻的表达式并与式（7.1-9）相比较。如果 Q10–M11 电流为 500 μA，M6 和 M7 中的电流为 100 μA，$\beta_F = 100$，使用表 3.1-2 的参数，假设沟道长度为 1 μm，计算室温下的电阻值。

7.1-10 求例 7.1-1 中甲类缓冲运算放大器 MOS 跟随器和 BJT 跟随器的主要根。根据表 3.1-2 的电容，在 $GB = 5$ MHz 的情况下比较这些根的位置。

7.1-11 根据图 P7.1-11 中所示的运算放大器，求该运算放大器的静态电流和小信号电压增益，忽略任何由输出级带来的负载效应。假设 $K'_N = 25\ \mu A/V^2$， $K'_P = 10\ \mu A/V^2$， $\lambda = 0.04\ V^{-1}$，求小信号输出电阻。

7.2-1 求采用调零电阻米勒补偿的具有 60°的相位裕量的两级运算放大器的 *GB*。其中第二极点为 -10×10^6 rad/s，两个更高的极点为-100×10^6 rad/s。假设 RHP 零点用来抵消第二极点且负载电容恒定。如果输入跨导为 500 μA/V，C_c 为多少？

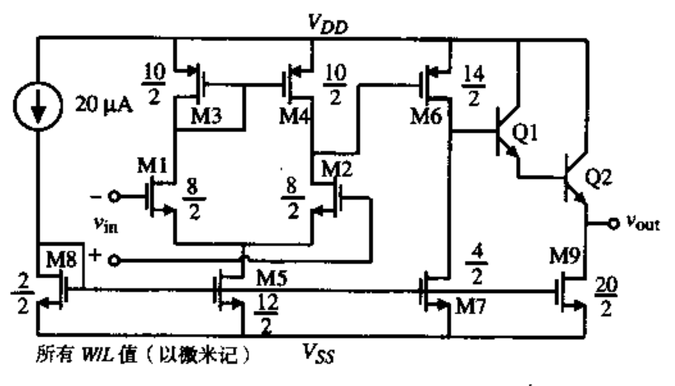


图 P7.1-11

7.2-2　如果运算放大器的第二极点小于任何更大极点的 1/10 时，我们可以将第二极点设在 2.2*GB* 以获得 60°的相位裕量。使用在例 7.2-2 中确定的极点位置，求使 p_6 有 60°相位裕量的与 *GB* 相乘的常数。

7.2-3　如果 C_L=1 pF，例 7.2-2 的相位裕量为多少？

7.2-4　使用例 7.2-2 中的技术在保证 60°的相位裕量的条件下尽可能扩展例 6.5-2 共源共栅运算放大器的 *GB*。对应于最大 *GB* 时的最小 C_L 为多少？

7.2-5　对于图 7.2-11 所示的使用电流镜的电压放大器，设计 M1、M2、M5 和 M6 中的电流及 *W/L* 比值，使输出电阻至少为 1 MΩ且输入电阻小于 1 kΩ。（在 R_1 = 10 kΩ和 R_2 = 1MΩ的情况下可以实现的电压增益为−10）。

7.2-6　在例 7.2-3 中，计算电流放大器的输入极点并和输出极点进行比较。

7.2-7　在图 7.2-12 的电压放大器上再加一个输入，方法是用另一个电阻 R_1 将此输入和电流放大器的输入相连。使用图 P7.2-7 所示的结构，计算这个电路的输入电阻、输出电阻、−3 dB 频率。假设图 7.2-12 的值和例 7.2-3 中得出的结果相同，但是两个 R_1 电阻均为 1000 Ω。

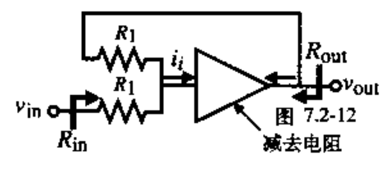


图 P7.2-7

7.2-8　用带有电流镜负载的差分放大器代替图 7.2-12 中的 R_1。设计差分放大器的跨导 g_m 使其等于 $1/R_1$。

7.3-1　比较图 7.3-3、图 7.3-5、图 7.3-6、图 7.3-7、图 7.3-8 和图 7.3-10 的（a）噪声、（b）PSRR、（c）ICMR[V_{ic}(最大) 和 V_{ic}(最小)]、（d）OCMR[V_o（最大）和 V_o最小）]、（e）所有输入差分电流相同时的 *SR*、（f）在所有输入差分放大器电流相同和电源相等条件下的功耗。

7.3-2　证明在图 7.3-4 中运算放大器差分输出端看到的负载是相同的。如果 C_L 由电阻 R_L 替代，单端等效负载为多少？

7.3-3　图 P7.3-3 为两个差分输出运算放大器。（a）对两个运算放大器进行补偿；（b）如果所有晶体管的直流电流为 50 μA 且所有的 *W/L* 为 10 μm/1 μm，用表 3.1-2 给出的参数求差分输入和差分输出时的小信号电压增益。

7.3-4　评估图 P7.3-3 所示差分输出运算放大器的性能并和图 7.3-3、图 7.3-5、图 7.3-6、图 7.3-7、图 7.3-8 和图 7.3-10 的差分输出运算放大器进行比较。主要性能有差分输入、差分输出电压增益、噪声和 PSRR。

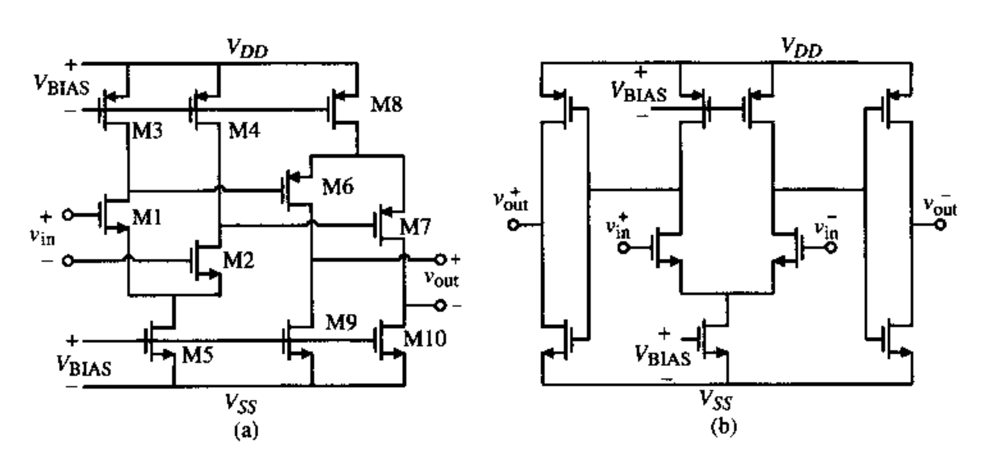


图 P7.3-3

7.3-5 图 P7.3-5 给出了差分输入、差分输出运算放大器。推导小信号差分输入、差分输出电压增益和小信号输出电阻。

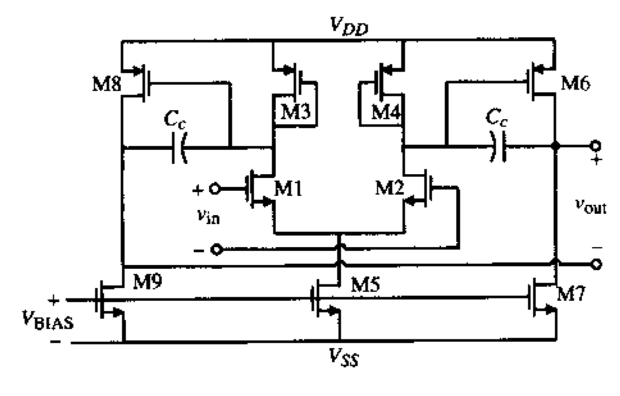


图 P7.3-5

7.3-6 采用图 7.3-13 的共模输出稳定电路使图 7.3-3 差分输出运算放大器的共模输出稳定在地电位上，假设电源为正负电源（$V_{DD}=|V_{SS}|$）。设计一个工作正常的修正电路。

7.3-7 （a）图 7.3-12 中所有晶体管的直流电流为 50 μA 且 W/L 为 10 μm/1 μm，求共模反馈环路的增益。（b）如果这个放大器的输出是共源共栅，则重复（a）。

7.3-8 给出如何用图 5.2-15 的共模反馈电路来稳定图 7.3-5 的共模输出电压。共模反馈环路增益（用 g_m 和 r_{ds} 表示）为多少？如何对共模反馈环路进行补偿？

7.4-1 计算图 6.5-7（b）中折叠共源共栅运算放大器的增益、GB、SR 和 P_{diss}，其中 $V_{DD}=-V_{SS}=$ 1.5 V，差分放大器对中的电流为50 nA，M4 和 M5 的源极电流为 150 nA。假设晶体管均为 10 μm/1 μm，负载电容为 2 pF。

7.4-2 计算图 7.4-3 所示运算放大器的增益、GB、SR 和 P_{diss}，其中 $I_5=100$ nA，所有晶体管的宽度和长度分别为 10 μm 和 1μm，$V_{DD}=-V_{SS}=1.5$ V。如果饱和电压为 0.1 V，设计正确的 M10 和 M11 偏置电压以获得最大和最小的输出摆幅。假设晶体管 M12 和 M15 的电流为 50 nA。设 $I_{DO}=2$ nA，$n_p=1.5$，$n_n=2.5$。

7.4-3 推导式（7.4-17）。如果 A = 2，当 v_{IN}/nV_t 为多少时 $i_{OUT}=5I_5$？

7.4-4　设计图 7.4-6（a）所示电流镜在 M2 饱和的情况下实现 100 μA 输出。假设 i_1 = 10 μA 和 W_1/L_1=10。求 W_2/L_2 和 V_{DS2} 的值，其中 i_2 = 10μA。

7.4-5　在图 7.4-7 的运算放大器中，图 7.4-6 所示的增强电流的想法遇到了问题，当增加 M15 和 M16 的栅极电压以提高电流时，这些晶体管的栅源压降会增加，因此阻碍晶体管（M11 和 M12）的 v_{DS} 进入饱和。说明如何解决这一问题，并通过仿真验证你的方案。

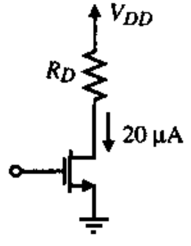


图 P7.5-1

7.5-1　对于图 P7.5-1 的晶体管放大器，热噪声产生的等效输入噪声电压为多少？假设晶体管的漏极直流电流为 20 μA，W/L = 150 μm/10 μm，K'_N = 25 μA/V^2，且 R_D 为 100 kΩ。

7.5-2　重做例 7.5-1，取 $W_1 = W_2$ = 500 μm 和 $L_1 = L_2$ = 0.5 μm 以把噪声减小为原来的 1/10。

7.5-3　交换图 7.5-1 中的所有 n 沟道和 p 沟道晶体管，将 W/L 设为例 7.5-1 中设计的值，求 1 Hz 到 100 kHz 带宽内其输入等效 $1/f$ 噪声、输入等效热噪声、噪声角频率和噪声的均方值。

7.5-4　求例 6.3-1 中设计的运算放大器在 1 Hz 到 100 kHz 带宽内的输入等效噪声电压均方值。

7.5-5　求例 6.5-2 中设计的运算放大器在 1 Hz 到 100 kHz 带宽内的输入等效噪声电压均方值。

7.6-1　如果图 7.6-3 中所有晶体管的 W 和 L 均为 100 μm 和 1 μm，若 M5 中的直流电流为 100 μA，求 ICMR 为 0 时的最小电源电压。

7.6-2　如果 M1 和 M2 是 V_T = 0.1V 的自然 MOS 场效应管，且其他 MOS 场效应管的参数见表 3.1-2，重复习题 7.6-1。

7.6-3　如果 M1 和 M2 是 V_T = −1 V 的耗尽型 MOS 场效应管，且其他 MOS 场效应管的参数见表 3.1-2，重复习题 7.6-1。

7.6-4　如果图 7.6-4 中所有晶体管的 W 和 L 分别为 10μm 和 1μm，且 MN5 和 MP5 的偏置电流均为 100 μA，求 V_{onn} 和 V_{onp} 的值。

7.6-5　有两个 n 沟道源极耦合对，一个使用常规晶体管，另一个使用 V_T = −1 V 的耗尽型晶体管，它们为共栅连接，而源极各有一个电流漏。除了耗尽型晶体管阈值电压为−1 V 外其他参数见表 3.1-2。设计组合源极耦合对在 0~2 V 的电源条件下实现全幅度输出。尽量在 ICMR 上保持等效输入跨导为常数。说明如何重新组合每个源极耦合对的漏级电流以驱动一个单端的第二级。

7.6-6　说明如何适当地修改 4.4 节中的电路以实现电流镜，使其具有很好的匹配，V_{MIN}(输入) = V_{ON}，V_{MIN}(输出) = V_{ON}。

7.6-7　说明如何通过修改图 7.6-16 将两个温度特性相交点向左移动。

7.6-8　对于例 7.6-1 的运算放大器，在尽可能增加 GB 和保持 60°相位裕量的同时，求输出和高阶极点。假设 L1 + L2 + L3 = 2 μm，计算体−源极/漏极耗尽电容（假设 0 电压偏置）。此时新的 GB 和 C_c 为多少？

7.6-9　用图 4.3-7 的高摆幅共源共栅电流镜来代替图 7.6-17 中的 M8 和 M9，重复例 7.6-1。

参考文献

1. M. Milkovic, "Current Gain High-Frequency CMOS Operational Amplifiers," *IEEE J. Solid-State Circuits*, Vol. SC-20, No. 4, pp. 845–851, Aug. 1985.
2. D. G. Maeding, "A CMOS Operational Amplifier with Low Impedance Drive Capability," *IEEE J. Solid-State Circuits*, Vol. SC-18, No. 2, pp. 227–229, Apr. 1983.
3. K. E. Brehmer and J. B. Wieser, "Large Swing CMOS Power Amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-18,

No. 6, pp. 624–629, Dec. 1983.
4. R. B. Blackman, "Effect of Feedback on Impedance," *Bell Syst. Tech. J.*, Vol. 22, pp. 269–277, 1943.
5. S. Masuda, Y. Kitamura, S. Ohya, and M. Kikuchi, "CMOS Sampled Differential, Push Pull Cascode Operational Amplifier," *Proceedings of the 1984 International Symposium on Circuits and Systems*, Montreal, Canada, May 1984, pp. 1211–1214.
6. P. E. Allen, and M. B. Terry, "The Use of Current Amplifiers for High Performance Voltage Amplification," *IEEE J. Solid-State Circuits*, Vol. SC-15, No. 2, pp. 155–162, Apr. 1980.
7. R. G. H. Eschauzier and J. H. Huijsing, *Frequency Compensation Techniques for Low-Power Operational Amplifiers*, Norwell, MA: Kluwer Academic Publishers, 1995, Chap. 6.
8. S. Rabii and B. A. Wooley, "A 1.8 V Digital-Audio Sigma-Delta Modulator in 0.8 μm CMOS," *IEEE J. Solid-State Circuits*, Vol. 32, No. 6, pp. 783–796, June 1997.
9. J. Grilo, E. MacRobbie, R. Halim, and G. Temes, "A 1.8 V 94 dB Dynamic Range ΔΣ Modulator for Voice Applications," *ISSCC Dig. Tech. Papers*, pp. 230–231, Feb. 1996.
10. Y. Huang, G. C. Temes, and H. Hoshizawa, "A High-Linearity, Low-Voltage, All-MOSFET Delta-Sigma Modulator," *Proc. CICC'97*, pp. 13.4.1–13.4.4, May 1997.
11. P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A Ratio-Independent Algorithmic Analog-to-Digital Conversion Technique," *IEEE. J. Solid-State Circuits*, Vol. SC-19, No. 6, pp. 828–836, Dec. 1984.
12. S. Lewis and P. Gray, "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 6, pp. 954–961, Dec. 1987.
13. M. G. Degrauwe, J. Rijmenants, E. A. Vittoz, and H. J. De Man, "Adaptive Biasing CMOS Amplifiers," *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 3, pp. 522–528, June 1982.
14. M. Degrauwe, E. Vittoz, and I. Verbauwhede, "A Micropower CMOS-Instrumentation Amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-20, No. 3, pp. 805–807, June 1985.
15. P. Van Peteghem, I. Verbauwhede, and W. Sansen, "Micropower High-Performance SC Building Block for Integrated Low-Level Signal Processing," *IEEE J. Solid-State Circuits*, Vol. SC-2, No. 4, pp. 837–844, Aug. 1985.
16. D. C. Stone, J. E. Schroeder, R. H. Kaplan, and A. R. Smith, "Analog CMOS Building Blocks for Custom and Semicustom Applications," *IEEE J. Solid-State Circuits*, Vol. SC-19, No. 1, pp. 55–61, Feb. 1984.
17. F. Krummenacher, "Micropower Switched Capacitor Biquadratic Cell," *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 3, pp. 507–512, June 1982.
18. MAX406 Data Sheet, "1.2 μA Max, Single/Dual/Quad, Single-Supply Op Amps," Maxim Integrated Products, Sunnyvale, CA, 1993.
19. B. Razavi, "A Study of Phase Noise in CMOS Oscillators," *IEEE J. Solid-State Circuits*, Vol. SC-31, No. 3, pp. 331–343, Mar. 1996.
20. R. D. Jolly and R. H. McCharles, "A Low-Noise Amplifier for Switched Capacitor Filters," *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 6, pp. 1192–1194, Dec. 1982.
21. E. A. Vittoz, "MOS Transistors Operated in the Lateral Bipolar Mode and Their Application in CMOS Technology," *IEEE J. Solid-State Circuits*, Vol. SC-18, No. 3, pp. 273–279, June 1983.
22. W. T. Holman and J. A. Connelly, "A Compact Low Noise Operational Amplifier for a 1.2 μm Digital CMOS Technology," *IEEE J. Solid-State Circuits*, Vol. SC-30, No. 6, pp. 710–714, June 1995.
23. K. C. Hsieh, P. R. Gray, D. Senderowicz, and D. G. Messerschmitt, "A Low-Noise Chopper-Stabilized Switched-Capacitor Filtering Technique," *IEEE J. Solid-State Circuits*, Vol. SC-16, No. 6, pp. 708–715, Dec. 1981.
24. C. Hu, "Future CMOS Scaling and Reliability," *Proc. IEEE*, Vol. 81, No. 5, May 1993.
25. International Technology Roadmap for Semiconductors (ITRS 2000), http://public.itrs.net.
26. R. Hogervorst et al., "CMOS Low-Voltage Operational Amplifiers with Constant-g_m Rail-to-Rail Input Stage," *Analog Integrated Circuits and Signal Processing*, Vol. 5, No. 4, pp. 135–146, Mar. 1994.
27. J. H. Botma et.al., "Rail-to-Rail Constant-G_m Input Stage and Class AB Output Stage for Low-Voltage CMOS Op Amps," *Analog Integrated Circuits and Signal Processing*, Vol. 6, No. 2, pp. 121–133, Sept. 1994.
28. B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora, "Designing 1-V Op Amps Using Standard Digital CMOS Technology," *IEEE Trans. Circuits and Syst. II*, Vol. 45, No. 7, pp. 769–780, July 1998.
29. B. J. Blalock and P. E. Allen, "A One-Volt, 120-μW, 1-MHz OTA for Standard CMOS Technology," *Proc. ISCAS*, Vol. 1, pp. 305–307, 1996.
30. G. A. Rincon-Mora and P. E. Allen, "A 1.1-V Current-Mode and Piecewise-Linear Curvature-Corrected Bandgap Reference," *IEEE J. Solid-State Circuits*, Vol. 33, No. 10, pp. 1551–1554, Oct. 1998.
31. R. G. H. Eschauzier and J. H. Huijsing, *Frequency Compensation Techniques for Low-Power Operational Amplifiers*. Norwell, MA: Kluwer Academic Publishers, 1995.
32. T. Lehmann and M. Cassia, "1V Power Supply CMOS Cascade Amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-36, No. 7, pp. 1082–1086, July 2001.

第8章 比 较 器

在上两章中，我们着重讨论了运算放大器及其设计。在考虑运算放大器是怎样被用来完成各种模拟信号处理和模-数转换之前，我们将先讨论比较器。比较器可以比较一个模拟信号和另一个模拟信号或参考信号，并且输出比较得出的二进制信号。这里所说的模拟信号是指在任何给定时刻幅值都连续变化的信号（参见1.1节）。严格意义上说，二进制信号在任一时刻只能取两个给定值中的一个，但是这种二进制信号的概念对于现实情况而言太过于理想化。现实中，在两个二进制状态之间存在过渡区间，而使比较器快速通过过渡区间是非常重要的。

比较器广泛应用于模拟信号到数字信号的转换过程中。在模-数转换过程中，首先必须对输入进行采样。接着，经过采样的信号通过比较器以决定模拟信号的数字值。在最简单的情况下，比较器可以作为一个1位模-数转换器。比较器在模数转换器中的应用将在第10章介绍。

本章首先考察比较器的需求和特性。比较器可以被分为开环比较器和再生比较器两种类型。开环比较器基于非补偿运算放大器，再生比较器使用类似于传感放大器（sense amplifier）或触发器（flip-flop）的正反馈来完成对两个信号幅度的比较。第三类比较器综合了开环和再生两类比较器。这种综合型比较器发展得特别快。

8.1 比较器的特性

图8.1-1给出了比较器的电路符号，这个符号将在全书中使用。这个符号和运算放大器的符号相同，因为比较器和高增益放大器在性能上有很多相似之处。正电平从 v_P 输入将使比较器输出为正，从 v_N 输入将使比较器输出为负。比较器输出电平的最大、最小值分别定义为 V_{OH} 和 V_{OL}。

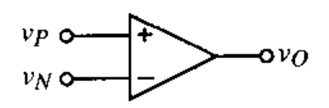


图 8.1-1 比较器电路符号

静态特性

比较器是一个可以比较两个输入模拟信号并由此产生一个二进制输出的电路。图8.1-2说明了这一点。当正、负输入之差为正时，比较器输出为高电平（V_{OH}）；为负时，比较器输出为低电平（V_{OL}）。尽管在现实情况中不可能出现这样理想的状态，但这可以作为理想的电路元件进行数学描述。图8.1-3给出了这样的一种电路模型。它包含了一个压控电压源（VCVS），它的特性在图中用数学公式进行了描述。

这个模型在输出 V_{OL} 和 V_{OH} 之间的转换是理想的：输入改变 ΔV 造成输出状态改变，而 ΔV 趋于零。这意味着增益为无限大，如下所示：

$$\text{增益} = A_v = \lim_{\Delta V \to 0} \frac{V_{OH} - V_{OL}}{\Delta V} \tag{8.1-1}$$

图8.1-4画出了一个一阶模型的直流传输曲线。这是一个可实现的比较器电路的近似模型，与前面提到模型的不同之处是增益，这一模型增益可表示为：

$$A_v = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} \tag{8.1-2}$$

其中，V_{IH} 和 V_{IL} 是输出分别达到上限和下限所需的输入电压差 $v_P - v_N$。这种输入变化称为比较器的精度。增益是描述比较器工作的重要特性，因为它定义了输出能够在两个二进制状态之间改变所必需的最小的输入变化量（精度）。两个输出状态通常被设定为由比较器驱动的数字电路输入所要求的状态。电平 V_{OH} 和 V_{OL} 必须达到后续数字电路要求的 V_{IH} 和 V_{IL}。在 CMOS 技术中，这两个值通常分别为电源电压的 70%和 30%。

图8.1-4 转换曲线用图8.1-5 所示电路模型表示，这个模型与图8.1-3 的模型很相似，惟一的区别是函数 f_1 和 f_0。

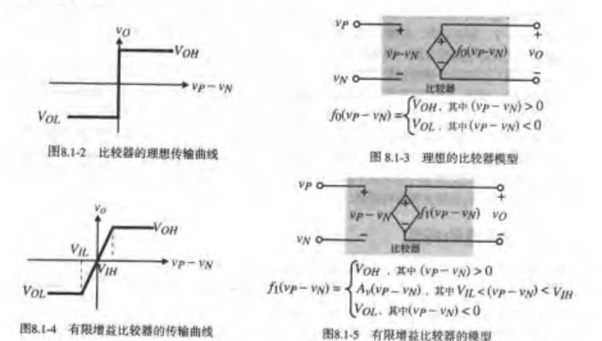


图8.1-2 比较器的理想传输曲线

图 8.1-3 理想的比较器模型

图8.1-4 有限增益比较器的传输曲线

图8.1-5 有限增益比较器的模型

比较器电路的第二个非理想特性体现在输入失调电压 V_{OS}。在图8.1-2 中，当输入之差过零时，输出发生变化。如果直到输入之差达到某个$+V_{OS}$值时输出才有变化，那么这个差值就被定义为失调电压。如果失调能够被预测，则不会产生任何问题，但是在给定设计的情况下，一个电路和另一个电路的失调将随机改变[1]。图8.1-6 说明了比较器传输曲线的失调，图8.1-7 给出含有一个失调电压源的电路模型。失调电压的正负号（±）说明 V_{OS} 的极性不能确定。

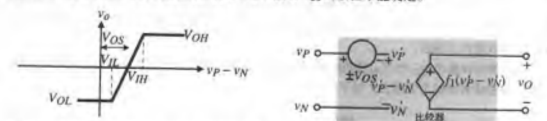


图 8.1-6 包含输入失调电压的比较器的传输曲线

图 8.1-7 含有输入失调电压的比较器的模型

除了以上的特性外，比较器还有一个差分输入电阻与电容和一个输出电阻。此外，还有一个

共模输入电阻 R_{icm}。这些方面可以和6.1节中讨论的运算放大器做同样的建模处理。因为比较器通常是差分输入，所以输入共模范围也很重要。输入共模范围（ICMR）是比较器正常工作状态下的共模输入电压的范围。这个范围一般是比较器的所有晶体管处于饱和状态的范围。即使比较器设计时并未要求其在两个二进制输出状态的过渡区间工作，噪声对比较器性能的影响仍然很重要。比较器噪声可以看做是比较器被偏置在电压转移特性的过渡区。噪声将会导致图8.1-8所示的过渡区间的不确定性。这种过渡区间的不确定性将导致使用比较器的整个电路产生抖动或相位噪声。

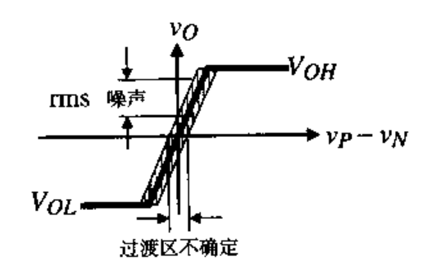


图 8.1-8 噪声对比较器的影响

动态特性

比较器的动态特性包括小信号和大信号方式。至此，我们还不知道比较器对差分输入的响应时间。输入激励和输出转换之间的时延称为比较器的响应时间。图8.1-9显示了比较器的响应时间。注意，在输入激励和输出响应之间有一个时延，这一时间差称为比较器的传输时延。这是一个非常重要的参数，因为在A/D转换器中，这经常是转换率的限制因素。比较器的传输时延随输入幅度的变化而变化，较大的输入将使时延较短。输入电平会增大到一个上限，这里即使输入电平再增大也无法对时延产生影响，这时电压的变化率被称为摆率。

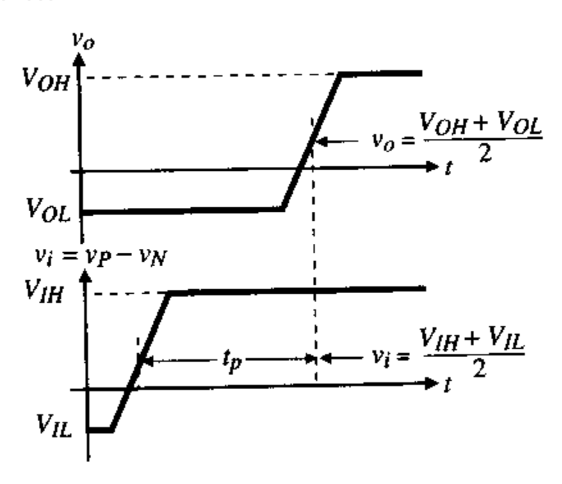


图 8.1-9 同相比较器的传输时延

小信号动态特性取决于比较器频率响应。这种特性的一个简单模型是假设差分电压增益 A_v 可表示为：

$$A_v(s) = \frac{A_v(0)}{\frac{s}{\omega_c} + 1} = \frac{A_v(0)}{s\tau_c + 1} \tag{8.1-3}$$

其中，$A_v(0)$是比较器直流增益，$\omega_c=1/\tau_c$是比较器频率响应单极点（主极点）的−3 dB频率。通常比较器的 $A_v(0)$比运算放大器的 $A_v(0)$小，但比较器的ω_c比运算放大器的ω_c大。

设比较器的最小输入电压差为比较器的精度，我们定义比较器的最小输入电压为：

$$V_{in}(最小) = \frac{V_{OH} - V_{OL}}{A_v(0)} \tag{8.1-4}$$

对于一个阶跃输入电压，由式（8.1-3）定义的比较器以一阶指数响应形式从 V_{OL} 上升到 V_{OH}（或从 V_{OH} 下降到 V_{OL}），如图 8.1-10 所示。如果 V_{in} 比 V_{in}(最小)大，则输出上升或下降时间变短。当以 V_{in}(最小)加在比较器上时，我们可以写出如下公式：

$$\frac{V_{OH} - V_{OL}}{2} = A_v(0)\,[1 - e^{-t_p/\tau_c}]\,V_{in}(最小) = A_v(0)\,[1 - e^{-t_p/\tau_c}]\left(\frac{V_{OH} - V_{OL}}{A_v(0)}\right) \tag{8.1-5}$$

因此，阶跃输入为 v_{in} (最小)时的传输时延可写为：

$$t_p(最大) = \tau_c \ln(2) = 0.693\tau_c \tag{8.1-6}$$

这一传输时延对于比较器的正向或负向输出均有效。在图8.1-10 中，如果输入是 V_{in} (最小)的 k 倍，则传输时延将为：

$$t_p = \tau_c \ln\left(\frac{2k}{2k-1}\right) \tag{8.1-7}$$

其中：

$$k = \frac{V_{in}}{V_{in}(最小)} \tag{8.1-8}$$

很明显，比较器的输入越大，传输时延越短。

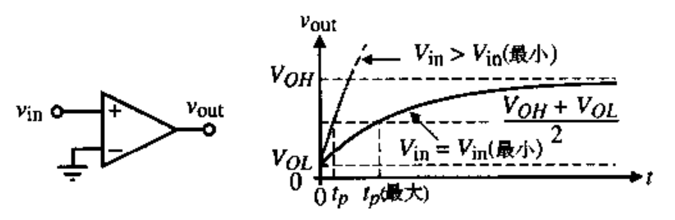


图 8.1-10 比较器的小信号瞬态响应

随着比较器输入的增大，比较器最终进入大信号模式。在大信号模式下，由于电容充放电电流的限制，将出现摆率限制。如果传输时延由比较器的摆率决定，那么这一时延可以写为：

$$t_p = \Delta T = \frac{\Delta V}{SR} = \frac{V_{OH} - V_{OL}}{2 \cdot SR} \tag{8.1-9}$$

当传输时延由摆率决定时，减小传输时间的重要手段是增加比较器供出或吸入电流的能力。

例 8.1-1 比较器的传输时延

试求一个开环比较器的传输时延，其中比较器的主极点为 10^3 rad/s，直流增益为 10^4，摆率为 1 V/μs，二进制输出电压摆幅为 1 V，设输入电压为 10 mV。

解：

比较器的输入精度为 1 V/10^4 或 0.1 mV，因此 10 mV 输入是 v_{in}(最小)的 100 倍，所以 k 为 100，由式（8.1-7）可得：

$$t_p = \frac{1}{10^3}\ln\left(\frac{2 \cdot 100}{2 \cdot 100 - 1}\right) = 10^{-3}\ln\left(\frac{200}{199}\right) = 5.01\ \mu s$$

又由式（8.1-9）可得：

$$t_p = \frac{1}{2 \cdot 1 \times 10^6} = 0.5\ \mu s$$

因此，传输时延大于等于 5.01 μs。

8.2 两级开环比较器

进一步分析前面的要求可知比较器需要差分输入和足够的增益以达到所要求的精度，因此第 6 章提到的两级运算放大器可以很好地应用于比较器。比较器大都采用开环模式，这种简化使得没有必要对比较器进行补偿。事实上，对比较器最好不要进行补偿以使其具有最大的带宽和较快的响应。因此，我们将对如图8.2-1 所示使用两级、非补偿运算放大器的比较器的性能进行讨论。

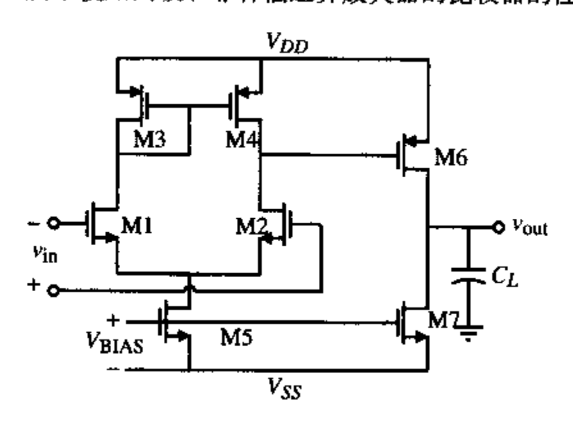


图 8.2-1 两级比较器

两级开环比较器性能

我们首先关心的是如图 8.2-1 所示的两级比较器的 V_{OH} 和 V_{OL} 值。因为输出级是电流漏反相器，因此可以使用 5.1 节中电流漏/电流源反相器的分析方法。假设 M6 栅极有一个最小电压 V_{G6} (最小)，则最大输出电压可以写成：

$$V_{OH} = V_{DD} - (V_{DD} - V_{G6}(最小) - |V_{TP}|)\left[1 - \sqrt{1 - \frac{2I_7}{\beta_6(V_{DD} - V_{G6}(最小) - |V_{TP}|)^2}}\right] \quad (8.2\text{-}1)$$

最小输出电压是：

$$V_{OL} = V_{SS} \quad (8.2\text{-}2)$$

由 6.2 节改进的比较器的小信号增益为：

$$A_v(0) = \left(\frac{g_{m1}}{g_{ds2} + g_{ds4}}\right)\left(\frac{g_{m6}}{g_{ds6} + g_{ds7}}\right) \quad (8.2\text{-}3)$$

利用式（8.2-1）~式（8.2-3）和式（8.1-4）可以求出比较器的精度 V_{in}(最小)。

对于图8.2-1 所示的比较器有两点值得注意：首先是第一级的输出极点 p_1，其次是第二级的输出极点 p_2。这两个极点可以表示为：

$$p_1 = \frac{-1}{C_I(g_{ds2} + g_{ds4})} \tag{8.2-4a}$$

$$p_2 = \frac{-1}{C_{II}(g_{ds2} + g_{ds4})} \tag{8.2-4b}$$

其中，C_I是与第一级输出相连的总电容。C_{II}是与第二级输出相连的总电容。C_{II}一般说来由 C_L决定。综合以上结果，两级比较器的频率响应可以表示为：

$$A_v(s) = \frac{A_v(0)}{\left(\frac{s}{p_1} + 1\right)\left(\frac{s}{p_2} + 1\right)} \tag{8.2-5}$$

以下的几个例子将给出两级开环比较器的实用数据。

例 8.2-1　一个两级比较器的性能

求如图8.2-1 所示两级比较器的 V_{OH}、V_{OL}、$A_v(0)$、V_{in}(最小)、p_1及 p_2。设该比较器为例 6.3-1 的电路，并且没有补偿电容 C_c，V_{G6}最小值为 0 V，C_I=0.2 pF，C_{II}=5 pF。

解：应用式（8.2-1），我们得到：

$$V_{OH} = 2.5 - (2.5 - 0 - 0.7)\left[1 - \sqrt{1 - \frac{2 \cdot 95 \times 10^{-6}}{50 \times 10^{-6} \cdot 14(2.5 - 0 - 0.7)^2}}\right] = 2.42\ \text{V}$$

从式（8.2-2）中我们得到 V_{OL}的值为 2.5 V，在例 6.3-1 中应用式（8.2-3）已得 $A_v(0)$ = 7696,因此，由式（8.1-2）我们得到输入精度为：

$$V_{in}(\text{最小}) = \frac{V_{OH} - V_{OL}}{A_v(0)} = \frac{4.92\ \text{V}}{7696} = 0.640\ \text{mV}$$

接下来我们求比较器的两个极点 p_1和 p_2，由例 6.3-1 我们得到：

$$p_1 = \frac{g_{ds2} + g_{ds4}}{C_I} = \frac{15 \times 10^{-6}(0.04 + 0.05)}{0.2 \times 10^{-12}} = 6.75 \times 10^6\ (1.074\ \text{MHz})$$

$$p_2 = \frac{g_{ds6} + g_{ds7}}{C_{II}} = \frac{95 \times 10^{-6}(0.04 + 0.05)}{5 \times 10^{-12}} = 1.71 \times 10^6\ (0.670\ \text{MHz})$$

一个具有两个极点的两级开环、输入为 V_{in}的比较器的响应为：

$$v_{out}(t) = A_v(0)V_{in}\left[1 + \frac{p_2 e^{-tp_1}}{p_1 - p_2} - \frac{p_1 e^{-tp_2}}{p_1 - p_2}\right] \tag{8.2-6}$$

其中，$p_1 \neq p_2$，式（8.2-6）适用于比较器输出上升或下降速度未超出输出摆率时所有比较器的输出。输出的摆率和甲类反相器相似，负摆率为：

$$SR^- = \frac{I_7}{C_{II}} \tag{8.2-7}$$

正摆率由 M6 的电流源决定，可以表示为：

$$SR^+ = \frac{I_6 - I_7}{C_{II}} = \frac{\beta_6(V_{DD} - V_{G6}(\text{最小}) - |V_{TP}|)^2 - I_7}{C_{II}} \tag{8.2-8}$$

如果式（8.2-6）的上升速度或下降速度超出正摆率或负摆率，则输出响应近似为一斜线，其斜率由式（8.2-7）或式（8.2-8）决定。

假设不发生超出摆率的情况，由式（8.2-6）给出的两级比较器阶跃响应可以用归一化的幅度和时间绘出，结果为：

$$v'_{out}(t_n) = \frac{v_{out}(t_n)}{A_v(0)V_{in}} = 1 - \frac{m}{m-1}e^{-t_n} + \frac{1}{m-1}e^{-mt_n} \qquad (8.2\text{-}9)$$

其中：

$$m = \frac{p_2}{p_1} \neq 1 \qquad (8.2\text{-}10)$$

$$t_n = tp_1 = \frac{t}{\tau_1} \qquad (8.2\text{-}11)$$

如果 m=1，则式（8.2-9）变为：

$$v'_{out}(t_n) = 1 - p_1e^{-t_n} - \frac{t_n}{p_1}e^{-t_n} = 1 - e^{-t_n} - t_ne^{-t_n} \qquad (8.2\text{-}12)$$

其中设 p_1 不变，图8.2-2 给出了式（8.2-9）和式（8.2-12）中 m 值从 0.25 到 4 的情况。

如果输入阶跃大于 V_{in}(最小)，则图8.2-2 中曲线的幅度被限制在 V_{OH}。我们注意到，当 $t = 0$ 时斜率为零，这一点可以通过对式（8.2-9）进行微分并令 $t = 0$ 得到，式（8.2-9）最大斜率发生在 t_n(最大)时：

$$t_n(\text{最大}) = \frac{\ln(m)}{m-1} \qquad (8.2\text{-}13)$$

对式（8.2-9）微分两次并令其等于零，在 t_n(最大)处的斜率可以写成：

$$\frac{dv'_{out}(t_n(\text{最大}))}{dt_n} = \frac{m}{m-1}\left[\exp\left(\frac{-\ln(m)}{m-1}\right) - \exp\left(-m\frac{\ln(m)}{m-1}\right)\right] \qquad (8.2\text{-}14)$$

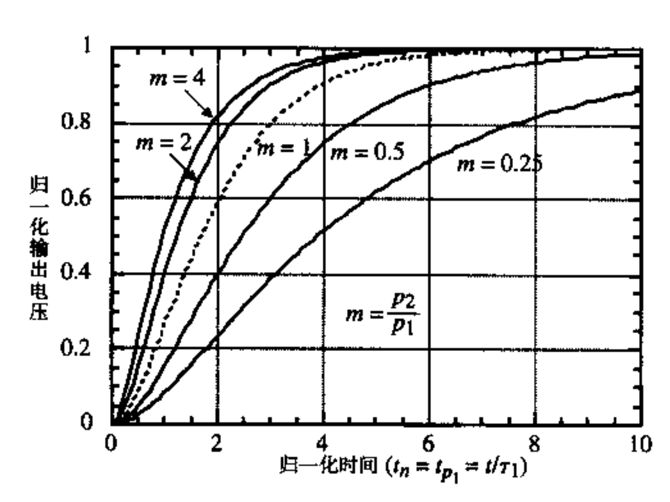


图 8.2-2 以 p_1 和 p_2 为实轴极点的比较器的线性阶跃响应

如果线性响应的斜率超出了摆率，则阶跃响应变为摆率受限。如果摆率接近式（8.2-14）的值，则很难建立阶跃响应的模型。可以假设摆率受限响应直至线性响应的斜率比摆率小，但这一点不易找到。如果比较器 $V_{in} > V_{in}$(最小)，且摆率比式（8.2-14）小，则摆率可以用来预测阶跃响应。

例 8.2-2 例 8.2-1 的阶跃响应

求例 8.2-1 的最大斜率和发生时刻，其中输入阶跃幅度为 V_{in}(最小)。若图8.2-1 中 M7 的直流偏移为 100 μA，则负载电容 C_L 为多大时瞬态响应受摆率限制？若输入阶跃幅度为 100 V_{in}(最小)，并且 $V_{OH}-V_{OL}=1$ V，则新的 C_L 值为多少时将发生摆率受限？

解：

由例 8.2-1 给出的比较器的极点 $p_1=-6.75\times10^6$ rad/s 与 $p_2=-1.71\times10^6$ rad/s，得到 $m=0.253$。由式（8.2-13），最大斜率发生在 t_n(最大) =1.84 s 处，除以 $|p_1|$ 得 t(最大) = 0.273 μs。这时的瞬态响应的斜率由式（8.2-14）求出为：

$$\frac{dv'_{out}(t_n(\text{最大}))}{dt_n}=-0.338[\exp(-1.84)-\exp(-0.253\cdot1.84)]=0.159\ \text{V/s}$$

上式乘以 $|p_1|$ 得：

$$\frac{dv'_{out}(t_n(\text{最大}))}{dt_n}=1.072\ \text{V/μs}$$

因此，如果比较器的摆率比 1.072 V/μs 小，则瞬态响应将受摆率限制。如果负载电容 C_L 比 (100 μA)/(1.072 V/μs) = 93.3 pF 大，则比较器将受摆率限制。

如果比较器输入过驱动，电压为 100 V_{in}(最小)，则我们必须对输出斜率按下式进行非归一化：

$$\frac{dv'_{out}(t(\text{最大}))}{dt}=\frac{v_{in}}{V_{in}(\text{最小})}\frac{dv'_{out}(t(\text{最大}))}{dt}=100\cdot1.072\ \text{V/μs}=107.2\ \text{V/s}$$

因此，比较器将在负载电容为 0.933 pF 时达到摆率。对于较大的过驱动，比较器通常受摆率限制。

当低于摆率时，两极点比较器传输时延的预测是值得关注的。为了解决这个问题，我们令式（8.2-9）等于 0.5（$V_{OH}+V_{OL}$），进而求出传输时延 t_p。但是这一等式不易求解。一种变换的方法是把式（8.2-9）中的指数项用它们的级数表示代替，得到：

$$v_{out}(t_n)\approx A_v(0)V_{in}\left[1-\frac{m}{m-1}\left(1-t_n+\frac{t_n^2}{2}+\cdots\right)+\frac{1}{m-1}\left(1-mt_n+\frac{m^2t_n^2}{2}+\cdots\right)\right]\quad(8.2\text{-}15)$$

式（8.2-15）可以简化为：

$$v_{out}(t_n)\approx\frac{mt_n^2A_v(0)V_{in}}{2}\quad(8.2\text{-}16)$$

设 $v_{out}(t_n)$等于 0.5（$V_{OH}+V_{OL}$），解出 t_n，得到归一化传输时延 t_{pn} 为：

$$t_{pn}\approx\sqrt{\frac{V_{OH}+V_{OL}}{mA_v(0)V_{in}}}=\sqrt{\frac{V_{in}(\text{最小})}{mV_{in}}}=\frac{1}{\sqrt{mk}}\quad(8.2\text{-}17)$$

其中，k 由式（8.1-8）定义，这一结果近似于图 8.2-2 中形如抛物线的响应。因为 t_n 的值比 1 小，所以这是一个合理的近似。如果考虑输入的影响，则式（8.2-17）是更好的近似。过驱动的影响只作用于最初的那部分响应（如同 V_{OH} 被降低并趋于零）。下面的例子介绍了式（8.2-17）在两极点比较器传输时延预测方面的应用。

例 8.2-3 低于摆率时两极点比较器的传输时延

求例 8.2-1 所示的比较器的传输时延，设 V_{in} 分别为 10 mV，100mV 和1V。

解：

由例 8.2-1 我们知道 V_{in}(最小) = 0.642 mV，m = 0.253。由 V_{in} = 10mV，k =15.576，得到 t_{pn} = 0.504。这与图 8.2-2 给出的标准化传输时延出现在幅度为 1/(2k)或 0.032 处相符。除以 $|p_1|$ 得到传输时延为 72.7ns。同样，对于 V_{in} = 100 mV 和 1 V，我们得到传输时延分别为 23.6 ns 和 7.5 ns。

两级开环比较器的初始工作状态

为了分析达到摆率时两级开环比较器的传输时延，必须首先搞清楚第一级和第二级初始输出电压的工作状态。考察如图8.2-3 所示的两级开环比较器。第一级和第二级的电容分别为 C_I 和 C_{II}。

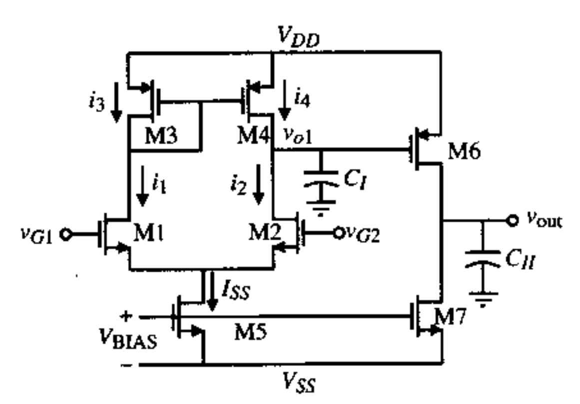


图8.2-3 用于求初始状态的两级开环比较器

我们选择一个直流电平作为输入，并且找出其他比这一直流电平高或低的电平作为输入时第一级和第二级的输出电压。事实上，我们要对每种可能性考虑两种情况。它们是 M1 和 M2 的电流不等但都不为零，以及一个输入晶体管的电流为 I_{SS}，另一个为零。

我们首先假设 v_{G2} 等于直流 V_{G2}，且 $i_1 < I_{SS}$，$i_2 > 0$ 时，$v_{G1} > V_{G2}$。在这种情况下，M4 处在饱和区，$i_4 = i_3 = i_1$ 并且大于 i_2。由于有差分电流流入 C_I，v_{o1} 变大。随着 v_{o1} 不断增大，M4 将进入放大区，且 $i_4 < i_3$。当 M4 的源、漏电压降低到使 $i_4 = i_2$ 时，第一级的输出电压 v_{o1} 稳定。这一电压值为：

$$V_{DD} - V_{SD4}(\text{饱和}) < v_{o1} < V_{DD}, \quad v_{G1} > V_{G2}, \quad i_1 < I_{SS}\text{及}\, i_2 > 0 \tag{8.2-18}$$

在式（8.2-18）成立的情况下，v_{SG6} 的值小于 $|V_{TP}|$，M6 将截止，此时，输出电压为：

$$v_{out} = V_{SS}, \quad v_{G1} > V_{G2}, \quad i_1 < I_{SS}\text{及}\, i_2 > 0 \tag{8.2-19}$$

如果 $v_{G1} \gg V_{G2}$，则 $i_1 = I_{SS}$，$i_2 = 0$，$v_{o1} = V_{DD}$，且 v_{out} 仍然为 V_{SS}。

接下来，假设 v_{G2} 仍然等于 V_{G2}，但当 $i_1 > 0$，$i_2 < I_{SS}$ 时，$v_{G1} < V_{G2}$。在这种情况下，$i_4 = i_3 = i_1 < i_2$，同时 v_{o1} 减小。当 $v_{o1} \le V_{G2} - V_{TN}$ 时，M2 处在放大区。随着 v_{o1} 持续降低到 $v_{DS2} < V_{DS2}$(饱和)，M2 的电流持续降低直到 $i_1 = i_2 = I_{SS}/2$，在这一点上 v_{o1} 稳定。此时，

$$V_{G2} - V_{GS2} < v_{o1} < V_{G2} - V_{GS2} + V_{DS2}(\text{饱和}) \tag{8.2-20}$$

或

$$V_{S2} < v_{o1} < V_{S2} + V_{DS2}(\text{饱和}), \quad v_{G1} < V_{G2}, \quad i_1 > 0 \text{ 及 } i_2 < I_{SS} \tag{8.2-21}$$

在式（8.2-21）的条件下，输出电压 v_{out} 将接近 V_{DD}，并且可以通过例 5.1-2 的方法求出结果。如果 $v_{G1} \ll V_{G2}$，刚才的结果仍然有效，直到 M1 或 M2 的源电压使 M5 离开饱和区。如果出现这种情况，则 I_{SS} 降低，v_{o1} 接近 V_{SS} 且 v_{out} 可用例 5.1-2 的方法确定。

如果 M1 栅极等于直流电压 V_{G1}，我们现在可以重复以上的过程，对第一级和第二级的初始输出状态进行考察。首先假设 $v_{G1}=V_{G1}$，$v_{G2}>V_{G1}$，$i_2<I_{SS}$ 且 $i_1>0$。只要 M4 处于饱和区，由 $i_1<i_2$ 可得 $i_4<i_2$。因此，由于差分电流流出 C_I，v_{o1} 降低。随着 v_{o1} 降低，M2 将进入放大区，且 i_2 将降低到 $i_1=i_2=I_{SS}/2$ 处，此时 v_{o1} 稳定，其值为：

$$V_{G1} - V_{GS2}(I_{SS}/2) < v_{o1} < V_{G1} - V_{GS2}(I_{SS}/2) + V_{DS2}(\text{饱和}) \tag{8.2-22}$$

或

$$V_{S2}(I_{SS}/2) < v_{o1} < V_{S2}(I_{SS}/2) + V_{DS2}(\text{饱和}), \quad v_{G2} > V_{G1}, \quad i_1 > 0 \text{及} i_2 < I_{SS} \tag{8.2-23}$$

在式（8.2-23）的条件下，输出电压 v_{out} 将接近 V_{DD}，且可以由例 5.1-2 的方法求解。如果 $v_{G2} \gg V_{G1}$，以上结论仍然有效，直到 M1 或 M2 的源电压使 M5 离开饱和区。如果发生这种情况，则 I_{SS} 降低，v_{o1} 接近 V_{SS}，且 v_{out} 可以用例 5.1-2 的方法确定。

接下来，假设 v_{G1} 仍然等于 V_{G1}，但 $v_{G2}<V_{G1}$，$i_1<I_{SS}$ 且 $i_2>0$。$i_1>i_2$ 得到 $i_4>i_2$ 并使 v_{o1} 增大。只要 M4 处于饱和区，$i_4>i_2$。当 M4 进入放大区，i_4 将下降直至 $i_4=i_2$，在这一点上 v_{o1} 稳定，且

$$V_{DD} - V_{SD4}(\text{饱和}) < v_{o1} < V_{DD}, \quad v_{G2} < V_{G1}, \quad i_1 < I_{SS} \text{及} i_2 > 0 \tag{8.2-24}$$

在式（8.2-24）的条件下，v_{SG6} 的值小于 $|V_{TP}|$，且 M6 截止，输出电压为：

$$v_{out} = V_{SS}, \quad v_{G2} < V_{G1}, \quad i_1 < I_{SS} \text{及} i_2 > 0 \tag{8.2-25}$$

如果 $v_{G2} \ll V_{G1}$，则 $i_1=I_{SS}$，$i_2=0$，$v_{o1}=V_{DD}$，v_{out} 仍然是 V_{SS}。以上的结论在表 8.2-1 中归总列出。

表 8.2-1　图8.2-3 所示两级开环比较器的初始状态

条件	v_{o1} 的初始状态	v_{out} 的初始状态
$v_{G1}>V_{G2}, i_1<I_{SS}$及$i_2>0$	$V_{DD}-V_{SD4}(\text{饱和})<v_{o1}<V_{DD}$	V_{SS}
$v_{G1}>>V_{G2}, i_1=I_{SS}$及$i_2=0$	V_{DD}	V_{SS}
$v_{G2}>V_{G1}, i_1>0$及$i_2<I_{SS}$	$V_{S2}<v_{o1}<V_{S2}+V_{DS2}(\text{饱和})$	用于 PMOS 的式(5.1-19)
$v_{G2}>>V_{G1}, i_1=0$及$i_2=I_{SS}$	V_{DD}	用于 PMOS 的式(5.1-19)
$v_{G1}<V_{G2}, i_1>0$及$i_2<I_{SS}$	$V_{S2}(I_{SS}/2)<v_{o1}<V_{S2}(I_{SS}/2)+V_{DS2}(\text{饱和})$	用于 PMOS 的式(5.1-19)
$v_{G1}<<V_{G2}, i_1=0$及$i_2=I_{SS}$	V_{SS}	用于 PMOS 的式(5.1-19)
$v_{G2}<V_{G1}, i_1<I_{SS}$及$i_2>0$	$V_{DD}-V_{SD4}(\text{饱和})<v_{o1}<V_{DD}$	V_{SS}
$v_{G2}<<V_{G1}, i_1=I_{SS}$及$i_2=0$	V_{DD}	V_{SS}

两级开环比较器达到摆率时的传输时延

在多数情况下，两级开环比较器会被驱动到一点，在那里其传输时延由比较器达到摆率时的性能确定。在这种情况下，传输时延由下式进行计算：

$$i_i = C_i \frac{dv_i}{dt_i} = C_i \frac{\Delta v_i}{\Delta t_i} \tag{8.2-26}$$

其中，C_i 是第 i 级输出的接地电容。第 i 级的传输时延通过求解式（8.2-26）中的 Δt_i 得到：

$$t_i = \Delta t_i = C_i \frac{\Delta V_i}{I_i} \tag{8.2-27}$$

这一传输时延是各级时延的总和。

式（8.2-27）中的ΔV_i一般等于第i级输出摆幅的一半。在某些情况下，ΔV_i的值由下一级的阈值点或转折点决定。放大器的转折点是一个输入值，在此输入值下输出为极值的一半。在两级开环比较器中，第二级是一个与图 8.2-4 所示类似的甲类反相放大器。转折点可以通过假设两个晶体管均处于饱和区并令电流相等进行计算。惟一未知的是输入电压，它可写为：

$$v_{\text{in}} = V_{TRP} = V_{DD} - |V_{TP}| - \sqrt{\frac{K_N(W_7/L_7)}{K_P(W_6/L_6)}}(V_{\text{BIAS}} - V_{SS} - V_{TN}) \qquad (8.2\text{-}28)$$

如果我们回到图 5.1-5，可以看到转折点是一个范围，而且其值并不确定。然而，如果反相放大器在两个晶体管均饱和的区域内斜率足够大，则转折点可以被认为是一个点。

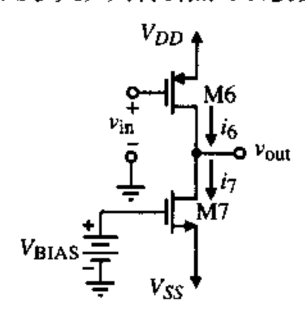


图 8.2-4 两级开环比较器的第二级

例 8.2-4 计算一个反相放大器的转折点

利用表 3.1-2 中的模型参数，计算如图 5.1-5 所示反相器的转折点。

解：

重新改写式（8.2-28）对如图 5.1-5 所示的反相器进行计算将比直接用式（8.2-28）计算简单。令图 5.1-5 中 M1 和 M2 的电流相等，得：

$$V_{TRP} = V_{TN} + \sqrt{\frac{\beta_2}{\beta_1}}(V_{DD} - V_{\text{BIAS}} - |V_{TP}|) = 0.7 + \sqrt{\frac{50(2)}{110(2)}}(2.5 - 0.7) = 1.913\,\text{V}$$

我们注意到这个值与使图 5.1-5 中反相器输出电压为电源一半的输入电压非常接近。

两级开环比较器达到摆率时的传输时延可由以上的方法计算。第一级的时延和第二级的时延相加得到总的传输时延。让我们举一个例子来说明这一过程。

例 8.2-5 计算一个两级开环比较器的传输时延

如图 8.2-5 所示的两级比较器，设$C_I = 0.2$ pF，$C_{II} = 5$ pF，$v_{G1} = 0$ V，v_{G2}的波形如图8.2-6 所示。如果输入电压足够大以至于摆率起到主要作用，找出比较器输出上升及下降的传输时延，并给出比较器的传输时延。

解：

总的时延由第一级和第二级时延的总和决定。设第一级和第二级时延分别为t_1和t_2。首先，考虑v_{G2}在 0.2 μs 处，变化从−2.5 V 到 2.5 V。由表 8.2-1 最后一行得知，v_{o1}和v_{out}的初始状态分别为+2.5 V 和−2.5 V。为了求出第一级的下降时延t_{f1}，需要C_I、ΔV_{o1}和I_5。$C_I = 0.2$ pF，$I_5 = 30\,\mu$A，且

ΔV_1可以通过找出输出级的转折点进行计算。利用式（8.2-8），令 M6 饱和时的电流等于 234 μA 时计算转折点比较简单，由此可得：

$$\frac{\beta_6}{2}(V_{SG6} - |V_{TP}|)^2 = 234\ \mu\text{A} \rightarrow V_{SG6} = 0.7 + \sqrt{\frac{234 \cdot 2}{110 \cdot 38}} = 1.035\ \text{V}$$

用 2.5 V 减去这一电压得到第二级的转折点为：

$$V_{TRP2} = 2.5 - 1.035 = 1.465\ \text{V}$$

因此，$\Delta V_1 = 2.5\ \text{V} - 1.465\ \text{V} = V_{SG6} = 1.035\ \text{V}$。得到第一级的传输时延为：

$$t_{fo1} = (0.2\ \text{pF})\left(\frac{1.035\ \text{V}}{30\ \mu\text{A}}\right) = 6.9\ \text{ns}$$

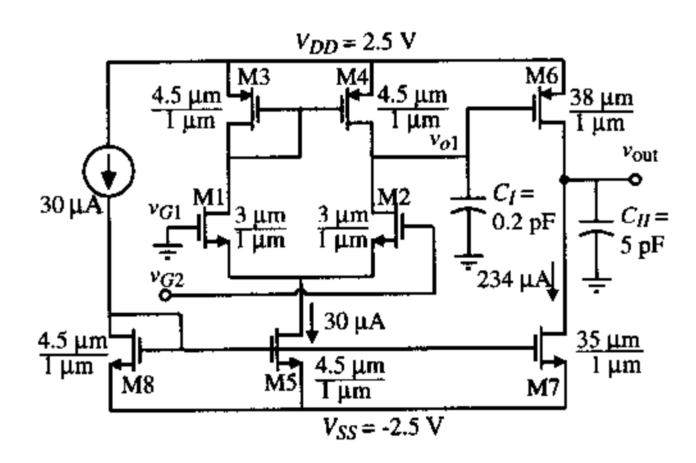


图8.2-5　例 8.2-5 所示的两级比较器

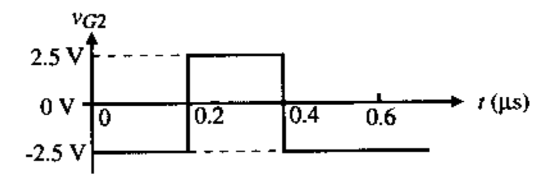


图8.2-6　例 8.2-5 所示比较器的输入

第二级的上升传输时延需通过 C_{II}、ΔV_{out} 和 I_6 求解。C_{II} 为 5 pF，ΔV_{out} = 2.5 V（设与比较器输出相连的电路转折点为 0 V），I_6 求解如下：当 M6 的栅极电压为 1.465 V 时，M6 的电流为 234 μA。然而，第一级的输出将继续下降，那么用什么样的栅极电压值来计算 I_6 呢？V_{G6} 的最低值为：

$$V_{G6} = V_{G1} - V_{GS2}(I_{SS}/2) + V_{DS2} \approx -V_{GS2}(I_{SS}/2) = -0.7 - \sqrt{\frac{2 \cdot 15}{110 \cdot 3}} = -1.00\ \text{V}$$

让我们取 V_{G6} 的近似值为 1.465 V 和−1.00 V 的中值 0.232 V。由此，V_{SG6} = 2.27 V 且 I_6 的值为：

$$I_6 = \frac{\beta_6}{2}(V_{SG6} - |V_{TP}|)^2 = \frac{38 \cdot 50}{2}(2.27 - 0.7)^2 = 2342\ \mu\text{A}$$

这说明处于放大区的晶体管一般比甲类反相级中的固定晶体管吸入和供出更多的电流。输出的上升传输时延可以表示为：

$$t_{r,out} = (5\ \text{pF})\left(\frac{2.5\ \text{V}}{2342\ \mu\text{A}}\right) = 5.3\ \text{ns}$$

因此，比较器的总的上升输出传输时延大约为 12.2 ns，并且时延的绝大部分是由第一级造成的。

接下来，我们考虑在0.4 μs 时 v_{G2} 从 2.5 V 变化到-2.5 V 的情况。我们假设 v_{G2} 处于 2.5 V 的时间足够长，以至于表 8.2-1 列出的情况有效。因此，$v_{o1} \approx V_{SS} = -2.5$ V 且 $v_{out} \approx V_{DD}$。我们假设 v_{out} 近似于 V_{DD} 而不用式（5.1-19）。第一级和第二级的传输时延计算如下：

$$t_{ro1} = (0.2\ \text{pF})\left(\frac{1.465\ \text{V} - (-2.5)}{30\ \mu\text{A}}\right) = 26.43\ \text{ns}$$

$$t_{f,out} = (5\ \text{pF})\left(\frac{2.5\ \text{V}}{234\ \mu\text{A}}\right) = 53.42\ \text{ns}$$

输出下降的总传输时延为 79.85 ns。上升和下降的传输时延的平均值为该两级开环放大器传输时延，大约为 44.93 ns。这些值和如图8.2-7 的比较器的仿真结果吻合得很好。

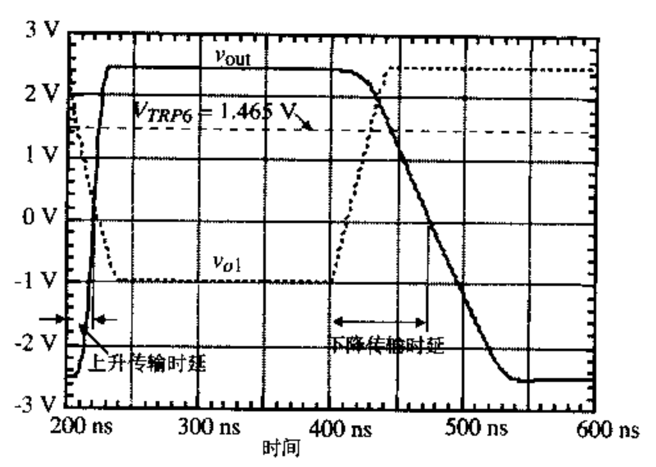


图8.2-7 以图8.2-6 作为输入时图 8.2-3 电路的响应

以上的例子可以在 v_{G1} 变化、v_{G2} 保持恒定的情况下进行重复（见习题 8.2-8）。如果比较器没有达到摆率，则传输时延由比较器的线性阶跃响应决定。如果比较器只在部分阶跃响应下达到摆率，则传输时延的分析将变得复杂。在这种情况下仿真可以提供所需要的细节。

两级开环比较器的设计

两级开环比较器的设计在许多方面和两级运算放大器相似。两者最大的区别是比较器为非补偿的。典型的输入指标包括传输时延、输出电压摆率、精度和输入共模范围。根据比较器是否达到摆率，比较器的设计有两种方式。如果比较器低于摆率，则极点的位置十分重要。如果比较器达到摆率，则对电容充放电的能力变得更为重要。

对于低于摆率的比较器，加大过驱动和极点的位置能够减小传输时延。极点越大，则传输时延越小。因为极点由每级输出的接地电容和电阻决定，所以保持较小的电容和电阻值非常重要。表8.2-2 给出了设计流程，这一流程可以用来完成最小传输时延的两级开环比较器的设计。设计流程试图设计与传输时延要求一致的极点位置。假设 $m = 1$ 或令极点相等可以使流程简化。

表 8.2-2 图 8.2-3 所示的两级开环比较器的线性响应设计

说明：t_p, C_{II}, V_{in}(最小), V_{OH}, V_{OL}, V_{icm}^+, V_{icm}^-，以及过驱动　　限制：技术, V_{DD}及 V_{SS}

步骤	设计关系	注释
1	$\|p_I\| = \|p_{II}\| = \dfrac{1}{t_p\sqrt{mk}}$ 及 $I_7 = I_6 = \dfrac{\|p_{II}\|C_{II}}{\lambda_N + \lambda_P}$	选 $m = 1$
2	$\dfrac{W_6}{L_6} = \dfrac{2 \cdot I_6}{K'_P(V_{SD6}(饱和))^2}$ 及 $\dfrac{W_7}{L_7} = \dfrac{2 \cdot I_7}{K'_N(V_{DS7}(饱和))^2}$	V_{SD6}(饱和) $= V_{DD} - V_{OH}$ V_{DS7}(饱和) $= V_{OL} - V_{SS}$
3	假设 C_I 在 0.1 ~ 0.5 pF 之间　$\therefore I_5 = I_7\dfrac{2C_I}{C_{II}}$	由于选择 $m = 1$，所以后面将查验
4	$\dfrac{W_3}{L_3} = \dfrac{W_4}{L_4} = \dfrac{I_5}{K'_P(V_{SG3} - \|V_{TP}\|)^2}$	$V_{SG3} = V_{DD} - V_{icm}^+ + V_{TN}$
5	$g_{m1} = \dfrac{A_v(0)(g_{ds2} + g_{ds4})(g_{ds6} + g_{ds7})}{g_{m6}}$	$g_{m6} = \sqrt{\dfrac{2K'_P W_6 I_6}{L_6}}$
	$\dfrac{W_1}{L_1} = \dfrac{W_2}{L_2} = \dfrac{g_{m1}^2}{K_N I_5}$	$A_v(0) = \dfrac{V_{OH} + V_{OL}}{V_{in}(最小)}$
6	求出 C_I 并查验前面的假定 $C_I = C_{gd2} + C_{gd4} + C_{gs6} + C_{bd2} + C_{bd4}$ 如果 C_I 大于步骤 3 中的假定，则增加 C_I 的值并重复步骤 4 ~ 6	$AD_2 = W_2(L1 + L2 + L3)$ $PD_2 = 2(W_2 + L1 + L2 + L3)$ $AD_4 = W_4(L1 + L2 + L3)$ $PD_4 = 2(W_4 + L1 + L2 + L3)$
7	V_{DS5}(饱和) $= V_{icm}^- - V_{GS1} - V_{SS}$ $\dfrac{W_5}{L_5} = \dfrac{2 \cdot I_5}{K'_N(V_{DS5}(饱和))^2}$	如果 V_{DS5}(饱和)小于100 mV, 则增大 W_1/L_1

例 8.2-6 图8.2-3 所示两级开环比较器的线性响应设计

设图 8.2-3 的参数如下：

$$t_p = 50\text{ ns} \qquad V_{OH} = 2\text{ V} \qquad V_{OL} = -2\text{ V}$$
$$V_{DD} = 2.5\text{ V} \qquad V_{SS} = -2.5\text{ V} \qquad C_{II} = 5\text{ pF}$$
$$V_{in}(最小) = 1\text{ mV} \qquad V_{icm}^+ = 2\text{ V} \qquad V_{icm}^- = -1.25\text{ V}$$

设过驱动倍数为10。设计一个如图 8.2-3 所示的两级开环比较器，使之能达到以上的要求，设所有沟道长度为 1 μm。

解：依照表 8.2-2 所示的流程，我们选择 $m=1$，并得到：

$$|p_I| = |p_{II}| = \frac{10^9}{50\sqrt{10}} = 6.32 \times 10^6\text{ rad/s}$$

由此得到：

$$I_6 = I_7 = \frac{6.32 \times 10^6 \cdot 5 \times 10^{-12}}{0.04 + 0.05} = 351\ \mu\text{A} \quad \rightarrow \quad I_6 = I_7 = 400\ \mu\text{A}$$

因此：

$$\frac{W_6}{L_6} = \frac{2 \cdot 400}{(0.5)^2 \cdot 50} = 64 \text{ 及 } \frac{W_7}{L_7} = \frac{2 \cdot 400}{(0.5)^2 \cdot 110} = 29$$

接下来，我们设 $C_I=0.2$ pF，由此得到 $I_5=32$ μA，我们将其增大到 40 μA 以留出安全裕量。步骤 4 给出 V_{SG3} 为 1.2 V，可得：

$$\frac{W_3}{L_3}=\frac{W_4}{L_4}=\frac{40}{50(1.2-0.7)^2}=3.2 \quad\rightarrow\quad \frac{W_3}{L_3}=\frac{W_4}{L_4}=4$$

要求的增益为 4000，得到输入跨导为：

$$g_{m1}=\frac{4000\cdot 0.09\cdot 20}{44.44}=162\ \mu\text{S}$$

从而得出 M1 和 M2 的 W/L 为：

$$\frac{W_1}{L_1}=\frac{W_2}{L_2}=\frac{(162)^2}{110\cdot 40}=5.96 \quad\rightarrow\quad \frac{W_1}{L_1}=\frac{W_2}{L_2}=6$$

为了检验对 C_I 的假设，我们需要对其计算如下：

$$C_I=C_{gd2}+C_{gd4}+C_{gs6}+C_{bd2}+C_{bd4}=0.9\text{ fF}+1.3\text{ fF}+119.5\text{ fF}+20.4\text{ fF}+36.8\text{ fF}$$
$$=178.9\text{ fF}$$

这个值比我们假设的值小，因此不需要改变。

最后，由 $V_{GS1}=0.946$ V 得到 M5 的 W/L 值，从而得到 V_{DS5}(饱和)$=0.304$ V，所以，

$$\frac{W_5}{L_5}=\frac{2\cdot 40}{(0.304)^2\cdot 110}=7.87\approx 8$$

很明显，M5 和 M7 的栅极与栅极以及源极与源极不能连接在一起。I_5 和 I_7 的值必须按图 8.2-8 所示分开推导。W 的值总结如下，其中设所有沟道长度为1 μm。

$W_1=W_2=6\ \mu\text{m}$　　$W_3=W_4=4\ \mu\text{m}$　　$W_5=8\ \mu\text{m}$

$W_6=64\ \mu\text{m}$　　$W_7=29\ \mu\text{m}$

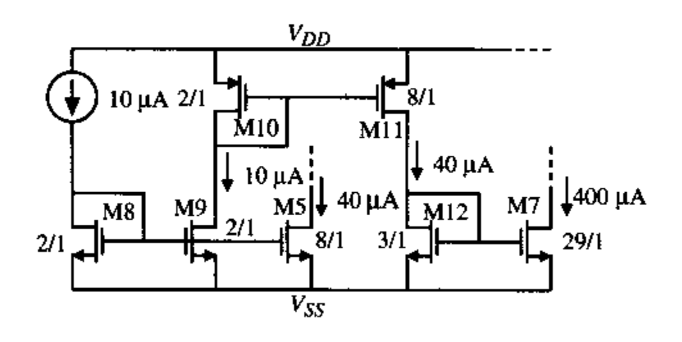


图8.2-8　例 8.2-6 比较器偏置的设置

达到摆率的两级开环比较器的设计与表8.2-2 建议的线性响应设计有着不同的侧重点。在这种情况下我们假设以大信号为主。达到摆率时的典型设计流程如表8.2-3 所示。

表 8.2-3　图8.2-3 所示的两级开环比较器的摆率响应设计

说明：t_p, C_{II}, V_{in}(最小), V_{OH}, V_{OL}, V_{icm}^+, 以及 V_{icm}^-		限制：技术, V_{DD} 及 V_{SS}
步骤	设计关系	注释
1	$I_7 = I_6 = C_{II}\frac{dv_{out}}{dt} = \frac{C_{II}(V_{OH}-V_{OL})}{t_p}$	假设输出转折点是 $(V_{OH}-V_{OL})/2$
2	$\frac{W_6}{L_6} = \frac{2\cdot I_6}{K'_P(V_{SD6}(\text{饱和}))^2}$ 及 $\frac{W_7}{L_7} = \frac{2\cdot I_7}{K'_N(V_{DS7}(\text{饱和}))^2}$	V_{SD6}(饱和) $= V_{DD} - V_{OH}$ V_{DS7}(饱和) $= V_{OL} - V_{SS}$
3	假设一个 C_I 值并在以后查验	典型情况下，$0.1\ \text{pF} < C_I < 0.5\ \text{pF}$
4	$I_5 = C_I\frac{dv_{o1}}{dt} \approx \frac{C_I(V_{OH}-V_{OL})}{t_p}$	假设 v_{o1} 在 V_{OH} 和 V_{OL} 之间变化
5	$\frac{W_3}{L_3} = \frac{W_4}{L_4} = \frac{I_5}{K'_P(V_{SG3}-\|V_{TP}\|)^2}$	$V_{SG3} = V_{DD} - V_{icm}^+ + V_{TN}$
6	$g_{m1} = \frac{A_v(0)(g_{ds2}+g_{ds4})(g_{ds6}+g_{ds7})}{g_{m6}}$	$g_{m6} = \sqrt{\frac{2K'_P W_6 I_6}{L_6}}$
7	$\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{g_{m1}^2}{K_N I_5}$ 求出 C_I 并查验所做的假定 $C_I = C_{gd2} + C_{gd4} + C_{gs6} + C_{bd2} + C_{bd4}$ 如果 C_I 大于步骤 3 中的假定，则增加 C_I 值并重复步骤 4~6	$A_v(0) = \frac{V_{OH}+V_{OL}}{V_{in}(\text{最小})}$ $AD_2 = W_2(L1 + L2 + L3)$ $PD_2 = 2(W_2 + L1 + L2 + L3)$ $AD_4 = W_4(L1 + L2 + L3)$ $PD_4 = 2(W_4 + L1 + L2 + L3)$
8	V_{DS5}(饱和) $= V_{icm}^- - V_{GS1} - V_{SS}$, $\frac{W_5}{L_5} = \frac{2\cdot I_5}{K'_N(V_{DS5}(\text{饱和}))^2}$	如果 V_{DS5}(饱和)小于100 mV,则增大 W_1/L_1

例 8.2-7　图8.2-3 所示的两级开环比较器的摆率响应的设计

设图 8.2-3 的参数如下：

$$t_p = 50\ \text{ns} \qquad V_{OH} = 2\ \text{V} \qquad V_{OL} = -2\ \text{V}$$

$$V_{DD} = 2.5\ \text{V} \qquad V_{SS} = -2.5\ \text{V} \qquad C_{II} = 5\ \text{pF}$$

$$V_{in}(\text{最小}) = 1\ \text{mV} \qquad V_{icm}^+ = 2\ \text{V} \qquad V_{icm}^- = -1.25\ \text{V}$$

设计一个采用图 8.2-3 所示电路的两级开环比较器，使之能达到以上的要求，设所有沟道长度为 1 μm。

解：依照表 8.2-3 所示的流程计算 I_6 和 I_7，得：

$$I_6 = I_7 = \frac{5\times 10^{-12}\cdot 4}{50\times 10^{-9}} = 400\ \mu\text{A}$$

因此，

$$\frac{W_6}{L_6} = \frac{2\cdot 400}{(0.5)^2\cdot 50} = 64 \quad 及 \quad \frac{W_7}{L_7} = \frac{2\cdot 400}{(0.5)^2\cdot 110} = 29$$

接下来，我们假设 $C_I = 0.2\ \text{pF}$，得到：

$$I_5 = \frac{(0.2\ \text{pF})(4\ \text{V})}{50\ \text{ns}} = 16\ \mu\text{A} \quad\rightarrow\quad I_5 = 20\ \mu\text{A}$$

步骤 5 给出 V_{SG3} 为 1.2 V，可得：

$$\frac{W_3}{L_3} = \frac{W_4}{L_4} = \frac{20}{50(1.2 - 0.7)^2} = 1.6 \quad \rightarrow \quad \frac{W_3}{L_3} = \frac{W_4}{L_4} = 2$$

增益要求为4000，得到输入跨导为：

$$g_{m1} = \frac{4000 \cdot 0.09 \cdot 10}{44.44} = 81\ \mu\text{S}$$

由此可得M1和M2的W/L为：

$$\frac{W_3}{L_3} = \frac{W_4}{L_4} = \frac{(81)^2}{110 \cdot 40} = 1.49 \quad \rightarrow \quad \frac{W_1}{L_1} = \frac{W_2}{L_2} = 2$$

为了检验对C_I的假设，我们对其计算如下：

$$C_I = C_{gd2} + C_{gd4} + C_{gs6} + C_{bd2} + C_{bd4} = 0.9\ \text{fF} + 0.4\ \text{fF} + 119.5\ \text{fF} + 20.4\ \text{fF} + 15.3\ \text{fF}$$
$$= 156.5\ \text{fF}$$

这个值比我们设想的值小。

最后，由$V_{GS1} = 1.00$ V，得到V_{DS5}(饱和)$= 0.25$ V，从而得到M5的W/L值为：

$$\frac{W_5}{L_5} = \frac{2 \cdot 20}{(0.25)^2 \cdot 110} = 5.8 \approx 6$$

同前面的例子一样，M5和M7的栅极与栅极以及源极与源极不能连接在一起，此时可以采用类似于图8.2-8的方法。W的值总结如下，其中设所有沟道长度为1 μm。

$W_1 = W_2 = 2\ \mu\text{m}$　　$W_3 = W_4 = 4\ \mu\text{m}$　　$W_5 = 6\ \mu\text{m}$

$W_6 = 64\ \mu\text{m}$　　$W_7 = 29\ \mu\text{m}$

以上的例子说明了如何设计两级开环比较器。有一点需要注意的是，线性响应和摆率响应比较器的设计有所不同。这是因为使极点变大将同样使摆率变快。例如，大的极点需要使节点到交流地之间具有低电阻和小电容。低电阻由大的偏置电流产生，因此，大的偏置电流和小的电容将使摆率得到改善。一般说来，一个高速比较器也会有较高的功耗。在下一节我们将对其他形式的开环比较器进行分析，这些比较器将在速度和功耗上进行更多的折中。

8.3 其他开环比较器

除了前面一节讲到的两级比较器，还有很多其他类型的比较器。事实上，前面两章讲到的大部分运算放大器都可用于比较器。在这一节我们将对推挽输出、折叠共源共栅比较器进行讨论，而且这些比较器能够驱动非常大的容性负载。

推挽输出比较器

我们注意到上一节讲到的两级比较器的传输时延是由第一级输出和第二级输出的转变造成的。如果我们把第一级的电流镜负载用MOS二极管（栅漏相连的MOSFET）代替，那么第一级的输出信号幅度将减小。这种类型的比较器叫箝位比较器，如图8.3-1所示。

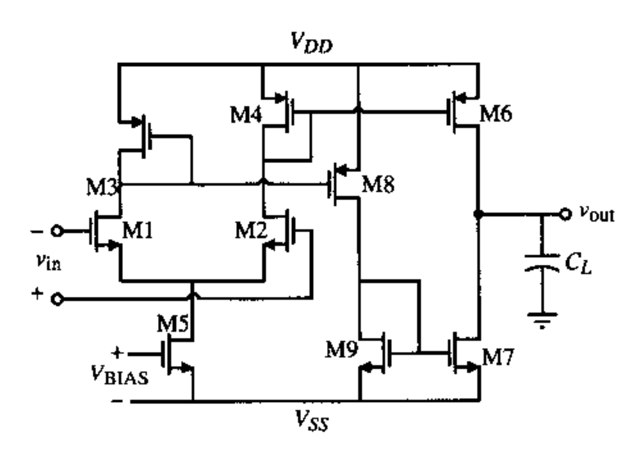


图8.3-1 箝位推挽输出比较器

图 8.3-1 有几个有趣的特点：第一，由于第一级的电流镜负载被换成了 MOS 二极管，所以增益下降。第二，我们注意到输出是推挽式的。在输出端，可吸入和供出的最大电流是 M3–M8（M4–M6）中电流增益的 I_5 倍。两级比较器的等效增益可以通过如图8.3-2 所示的共源共栅输出结构来实现。我们注意到这个电路就是图6.5-4 所示的运算放大器。大的输出电阻将导致单极点响应。这个极点比两级开环比较器的极点频率低，所以在同等驱动的情况下线性响应会较慢。然而，由于比较器是推挽的，它可以向输出电容 C_{II} 供出和从输出电容 C_{II} 吸入大电流。例6.5-2 给出的设计流程同样适用这个电路。

图 8.3-2 的动态特性由输出电阻 R_{II} 决定。由例 6.5-2 得到输出电阻大约为 11 MΩ。如果 C_{II} 为 5 pF，则主极点为–18.12 krad/s。当过驱动因子为10时，式（8.1-7）给出的传输时延为 2.83 μs。这比例8.2-6 的两级开环比较器的时延大得多。然而如果比较器达到了摆率，则共源共栅输出的箝位比较器可以和两级开环比较器相媲美。

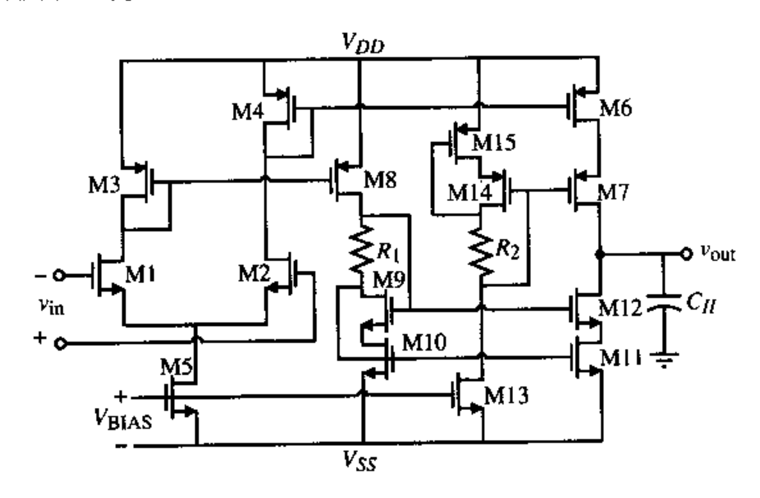


图8.3-2 采用共源共栅输出级的图8.3-1 所示的箝位比较器

在第 6 章讲到的折叠共源共栅运算放大器也可以实现较好的比较器。它的性能和图8.3-2 所示的比较器类似。最主要的区别是有更好的输入共模电压范围，这是因为 MOS 二极管没有作为第一级的负载。从线性速度的观点来看，具有共源共栅输出级的比较器速度偏低。一般来说，在响

应为线性的情况下不采用这几种类型的比较器。但如果比较器响应达到摆率，它们作为比较器会有令人满意的性能。

可以驱动大容性负载的比较器

如果比较器连接有大的容性负载，它的速度将受到摆率的限制。在这些情况下，我们将给出几种驱动大电容 C_H 的方法。第一种方法是在两级开环比较器的输出端增加几个级联的推挽反相器，如图 8.3-3 所示。

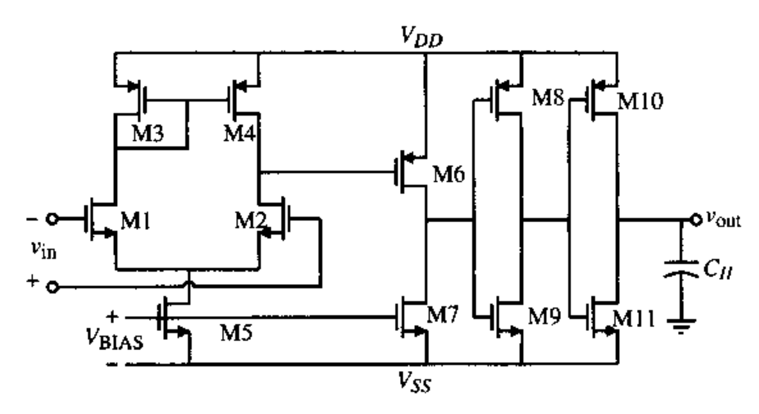


图 8.3-3 增大两级开环比较器的容性驱动能力

反相器 M8–M9 和 M10–M11 可以允许有很大的 C_H，且不牺牲比较器速度。这一原理在高速数字缓冲器中很容易理解。如果大电容连到 M6 和 M7 的漏极，由于吸入和供出的电流不大，摆率会很差。反相器 M8–M9 使电流驱动能力增大且不影响摆率，M8 和 M9 的 W/L 值必须足够大，以增加吸入和供出电流的能力，且不加载 M6 和 M7。同样，反相器 M10 和 M11 使吸入和供出电流的能力继续增大，且不加载 M8 和 M9。可以证明，如果 W/L 增大到原来的 2.72 倍，则达到最小的传输时延。然而，这是最佳情况，因此可以使用像 10 这样更大的倍数以减少所要求的级数。

7.4 节中讲到的低功耗运算放大器的过驱动技术可以用于增大比较器吸人和供出输出电流的能力。这些方法包括提高尾电流（如图7.4-4 所示）和使用电流镜。当需要输出电流时，电流镜的输出晶体管从有源区进入到饱和区（如图7.4-6 所示）。另一种能吸人和供出较大电流能力的电路叫自偏置差分放大器[2]，如图 8.3-4 所示。这个放大器包含两个差分放大器，每一个均作为另一个的负载，如图 8.3-4（a）所示。通过把 M5 和 M6 的栅极连接到 M1 和 M3 的漏极来实现差分放大器尾电流的自适应，如图8.3-4（b）所示。当正输入电压 v_{in}^+ 增大时，M1 和 M3 的漏极电压下降，并使 M6 导通，电流增大，这个电流通过 M4 流向连接在 M2 和 M4 漏极的输出电容。在这种情况下，M5 的电流为零。当 v_{in}^+ 下降时，M5 导通，且大电流经过输出电容通过 M2 泄漏。因此，这个电路具有吸入和供出大电流的能力，并且没有大的静态电流。这个电路的缺点是从 v_{in}^+ 到输出的时延比从 v_{in}^- 到输出的时延长。

8.4 开环比较器性能的改进

在两个方面可以通过很小的改动对开环高增益比较器的性能进行改进，这两个方面是输入失调电压和比较器在噪声环境下的单转换。第一个问题可以通过自动校零解决，第二个问题可以通过双稳态电路的迟滞解决。这两个技术将在下面介绍。

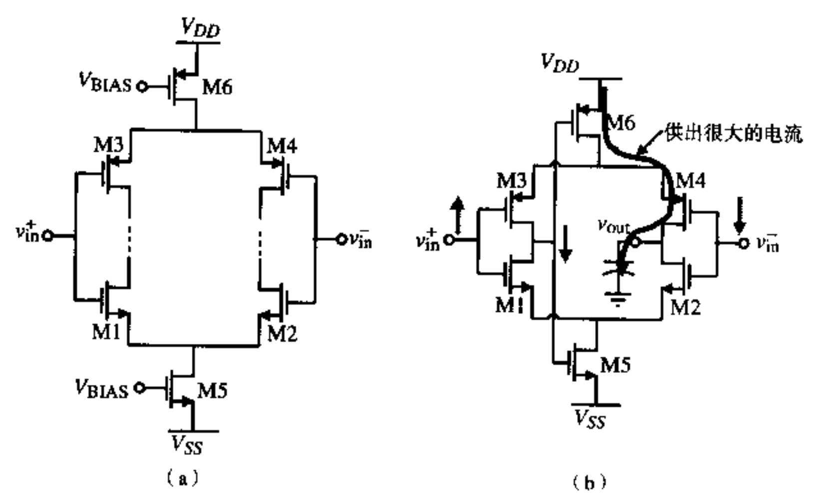


图8.3-4　（a）互为负载的两个差分放大器；（b）由（a）到自偏置差分放大器的演变

自动校零技术

输入失调电压是比较器设计中特别困难的问题。在诸如高精度 A/D 转换器等精密应用中，较大的输入失调电压是不允许的。虽然恰当的设计可以消除系统失调（尽管仍然受工艺变化的影响），但随机的失调仍然存在且不可预测。幸运的是，MOS 技术中的失调消除技术可去除大部分输入失调的影响。因为 MOS 晶体管的输入电阻近似于无穷，所以在 MOS 中可以运用这些技术。这一特性允许在晶体管的栅极长期储存电压。所以，失调电压可以得以测量并储存在电容中，然后与输入相加以消除失调。

图 8.4-1 给出了失调消除的方法。包含输入失调电压的比较器的模型如图8.4-1（a）。为方便起见，给失调电压加上极性。然而在现实中，失调电压的极性和数值都不能确定。图 8.4-1（b）给出了连接成单位增益的比较器结构，这样，输入失调就出现在输出端。为了使电路正常工作，必须使比较器在单位增益结构下稳定。这说明只有自补偿高增益放大器适合于自动校零。可以使用两级开环比较器，但是在自动校零时要加入补偿电路。在最后的自动校零运算操作中，C_{AZ} 置于比较器的输入端与 V_{OS} 串联。C_{AZ} 的电压加到 V_{OS} 上，使加在比较器同相输入的电压为零伏。因为没有直流通路对自动校零电容进行放电，所以其电压得以保持（在理想状况下）。事实上，存在与 C_{AZ} 并联的泄漏通路，会在一定周期内对电容放电。解决这个问题的方法是周期性地重复自动校零过程。

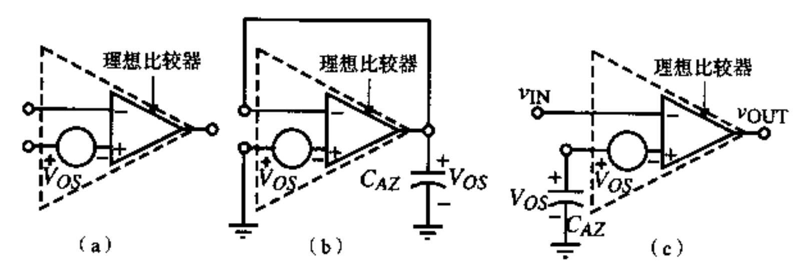


图 8.4-1　（a）包含失调的比较器简单模型；（b）在前半个自动校零周期内在自动校零电容 C_{AZ} 上存储失调的单位增益结构比较器；（c）在后半个自动校零周期内在同向输入端抵消失调的开环结构比较器

一个实际的差分输入、自动校零比较器如图8.4-2（a）所示。如前所述，比较器模型中添加了一个失调电压源。图8.4-2（b）给出了在ϕ_1为高电平时第一个相位期间的电路状态。失调被储存在 C_{AZ}上。图8.4-2（c）给出了ϕ_2为高电平时自动校零周期的第二个相位期间的电路状态。失调通过 V_{OS}和 C_{AZ}的叠加而抵消。在此期间电路作为比较器工作。

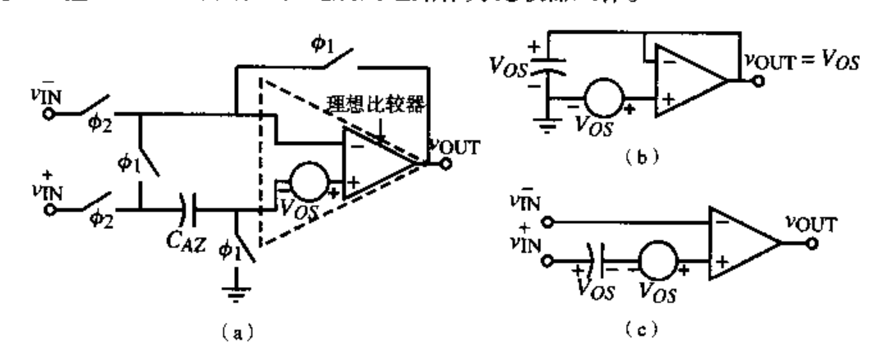


图8.4-2 （a）自动校零比较器的差分电路实现；（b）在ϕ_1相位期间的比较器；（c）在ϕ_2相位期间的比较器

还有许多其他的方法能用来实现一个自动校零比较器。对图 8.4-2（a）的电路稍加改动即可得到图 8.4-3 的电路，这是一个同相的自动校零比较器，另一种反相自动校零比较器如图 8.4-4 所示。这种反相比较器的使用更为简单，因为同相输入总是接地的。

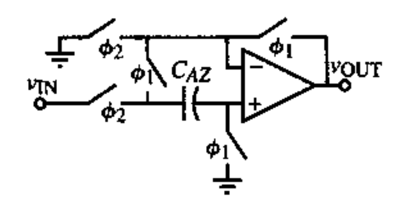


图 8.4-3 同相自动校零比较器

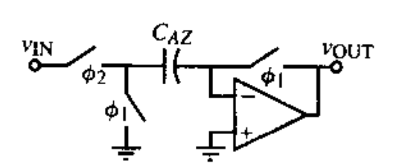


图 8.4-4 反相自动校零比较器

比较器内的开关可以用单沟道的 MOSFET 或者互补的 MOSFET 实现。使用非重叠时钟来驱动开关很重要，因为这样可以使任意给定的开关在另一个开关打开前关断。自动校零技术对消除大输入失调很有效，但不能完全消除。时钟馈通引起的电荷注入（见 4.1 节）可产生失调。这种失调虽然也可以消除，但却往往导致失调电压下限大于零。

迟滞比较器

通常情况下，比较器工作于噪声环境中，并且在阈值点检测信号的变化。如果比较器足够快（这取决于最普遍出现的噪声的频率）且噪声的幅度足够大的话，其输出端也将存在噪声。在这种情况下，我们希望对比较器的传输特性进行修改。在特定情况下，需要在比较器中引入迟滞。

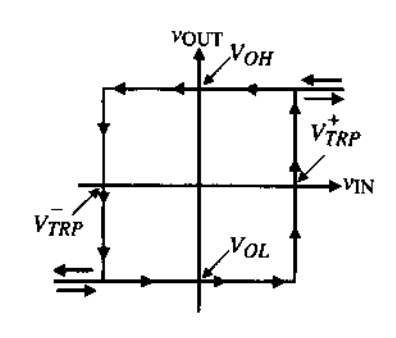


图 8.4-5 迟滞比较器的传输曲线

迟滞是比较器的一种性质，其输入阈值是输入（或输出）电平的函数。尤其是当输入经过阈值时输出会改变，同时，输入阈值也会随之降低，所以在比较器的输出又一次改变状态之前输入必须回到上一阈值。以上变化可清晰地显示在图 8.4-5

中。注意，输入从负值开始并向正值变化时，输出不变，直至输入达到正向转折点V_{TRP}^+时，比较器输出才开始改变。一旦输出变高，实际转折点被改变。当输入向负值方向减小时，输出不变，直至输入达到负向转折点 V_{TRP}^-时，比较器输出才开始转换。

在噪声环境中，迟滞带来的优点清晰地示于图8.4-6 中。在此图中，我们可以看到有一个包含噪声的信号加在没有迟滞的比较器的输入端，电路的功能是使比较器的输出跟随输入的低频信号。然而，阈值点附近噪声的变化使比较器的输出充满着噪声。该比较器的响应可通过添加迟滞来改进，迟滞电压必须等于或大于最大噪声幅度。上述比较器的响应如图8.4-6（b）所示。

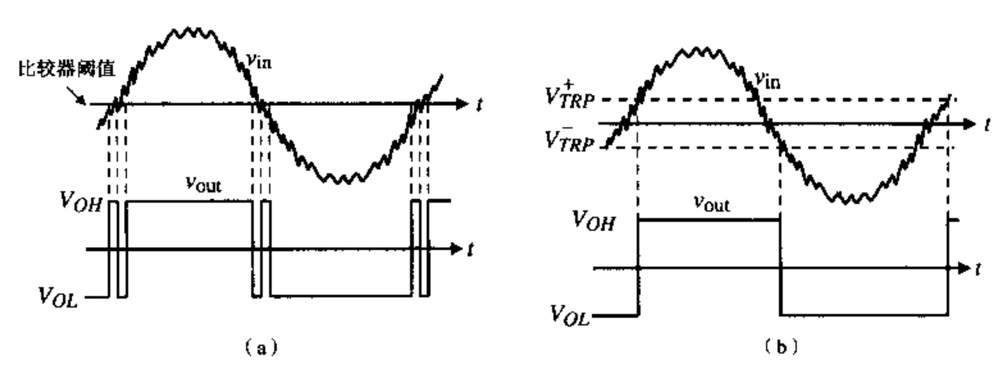


图 8.4-6 （a）比较器对输入含有噪声的响应；（b）迟滞比较器对输入含有噪声的响应

图8.4-5 所示的电压传输函数被称为双稳态特性。一个双稳态电路可以是顺时针方向，也可以是逆时针方向。图8.4-5 就是逆时针方向双稳态的一个例子。有时，逆时针方向的双稳态电路被称为同相器，顺时针方向的被称为反相器。双稳态电路的特性由它的宽度和高度以及是顺时针方向还是逆时针方向来定义。宽度由 V_{TRP}^+ 和 V_{TRP}^-之间的差给出，高度通常由 V_{OH}和 V_{OL}之间的差决定。另外，双稳态特性可通过增加直流失调电压来实现左移与右移。

在比较器中应用迟滞的方法很多，所有这些方法都使用正反馈，且可被分为外部方法或内部方法。外部迟滞使用外部正反馈来实现迟滞，它的实现是在比较器建成以后。使用内部迟滞的比较器自身具备迟滞功能，不需要外部反馈。下面我们将分析这两种方法。

图8.4-7 给出了一个使用外部正反馈实现迟滞的同相双稳态电路。此双稳态特征是逆时针方向的。我们假设比较器的最大和最小输出电压分别是 V_{OH}和 V_{OL}。转折点定义如下，假设 v_{IN}大大低于比较器正输入端的电压，在此情况下，输出电压将等于 V_{OL}。随着 v_{IN}的增加，求上转折点V_{TRP}^+可通过令 v_{IN}和 V_{OL}在比较器正输入端产生的电压为零得到。计算如下：

$$0 = \left(\frac{R_1}{R_1 + R_2}\right)V_{OL} + \left(\frac{R_2}{R_1 + R_2}\right)V_{TRP}^+ \tag{8.4-1}$$

解这个方程得到：

$$V_{TRP}^+ = -\frac{R_1}{R_2}V_{OL} \tag{8.4-2}$$

通常，V_{OL}是负的，因此上转折点为正电压。

下转折点 V_{TRP}^-可以这样得到：假设v_{IN}大大高于比较器的同相输入电压，则比较器输出为 V_{OH}，随着 v_{IN}的降低，当比较器的同相输入电压为零时可得到 V_{TRP}^-。因此，

$$0=\left(\frac{R_1}{R_1+R_2}\right)V_{OH}+\left(\frac{R_2}{R_1+R_2}\right)V_{TRP}^- \tag{8.4-3}$$

从而得到：

$$V_{TRP}^- = -\frac{R_1}{R_2}V_{OH} \tag{8.4-4}$$

双稳态电路的宽度由如下公式给出：

$$\Delta V_{\text{in}} = V_{TPR}^+ - V_{TRP}^- = \left(\frac{R_1}{R_2}\right)(V_{OH}-V_{OL}) \tag{8.4-5}$$

逆时针双稳态电路的分析结果如图 8.4-7 所示。

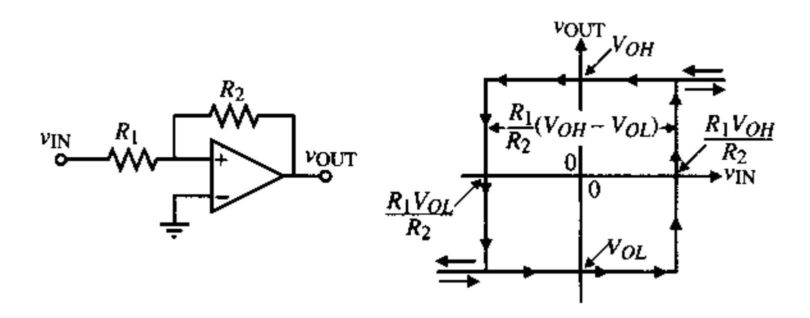


图 8.4-7 使用外部正反馈的同相双稳态电路

采用外部正反馈顺时针方向的双稳态电路如图8.4-8所示。假设输入大大低于比较器同相输入端电压，我们定义此时的输出电压为 V_{OH}。上转折点通过设置输入等于加在比较器同相输入端的电压来得到，即：

$$v_{\text{IN}} = V_{TRP}^+ = \left(\frac{R_1}{R_1+R_2}\right)V_{OH} \tag{8.4-6}$$

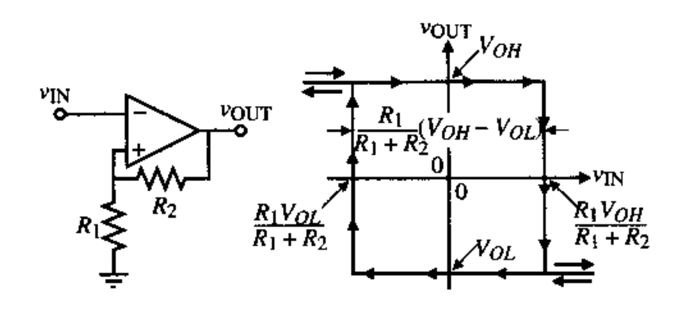


图 8.4-8 使用外部正反馈的反相双稳态电路

接下来，假设输入大大高于比较器的同相输入端电压，此时的输出电压定义为V_{OL}。下转折点通过设置输入等于比较器同相输入端电压得到，因此，

$$v_{\text{IN}} = V_{TRP}^- = \left(\frac{R_1}{R_1+R_2}\right)V_{OL} \tag{8.4-7}$$

双稳态电路的宽度由如下公式给出：

$$\Delta V_{in} = V_{TPR}^{+} - V_{TRP}^{-} = \left(\frac{R_1}{R_1 + R_2}\right)(V_{OH} - V_{OL}) \tag{8.4-8}$$

顺时针方向双稳态电路的分析结果如图 8.4-8 所示。

图 8.4-7 和图 8.4-8 中双稳态电路的传输特性中心点通过插入电源 V_{REF} 来改变其水平位置，见图8.4-9 所示的逆时针双稳态电路。如果我们求解图 8.4-9 中逆时针双稳态电路的转折点，可以得到：

$$V_{\mathrm{REF}} = \left(\frac{R_1}{R_1 + R_2}\right)V_{OL} + \left(\frac{R_2}{R_1 + R_2}\right)V_{TRP}^{+} \tag{8.4-9}$$

或者

$$V_{TRP}^{+} = \left(\frac{R_1 + R_2}{R_1}\right)V_{\mathrm{REF}} - \frac{R_1}{R_2}V_{OL} \tag{8.4-10}$$

和

$$V_{\mathrm{REF}} = \left(\frac{R_1}{R_1 + R_2}\right)V_{OH} + \left(\frac{R_2}{R_1 + R_2}\right)V_{TRP}^{-} \tag{8.4-11}$$

或者

$$V_{TRP}^{-} = \left(\frac{R_1 + R_2}{R_1}\right)V_{\mathrm{REF}} - \frac{R_1}{R_2}V_{OH} \tag{8.4-12}$$

双稳态特性的宽度没有改变，但此时中心点已经变为 V_{REF} 的$(R_1+R_2)/R_1$倍。

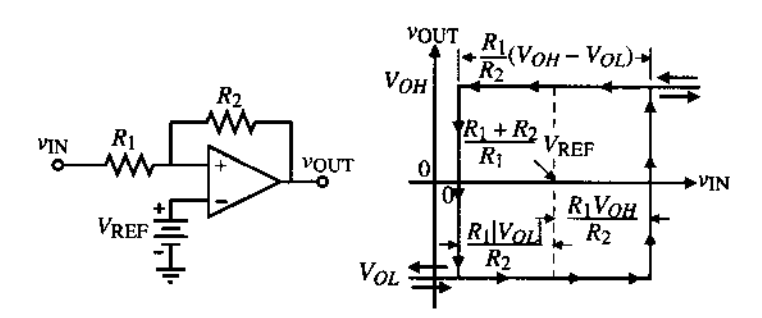


图 8.4-9　水平移动的使用外部正反馈的同相双稳态电路

图 8.4-10说明了反相或顺时针双稳态电路的传输特性如何通过插入与R_1相串联的电压V_{REF}来水平移动。设输入电压等于比较器同相输入端电压，得到上转折点如下：

$$v_{\mathrm{IN}} = V_{TRP}^{+} = \left(\frac{R_1}{R_1 + R_2}\right)V_{OH} + \left(\frac{R_1}{R_1 + R_2}\right)V_{\mathrm{REF}} \tag{8.4-13}$$

下转折点可通过把输入设置为等于比较器同相输入端电压得到。因此，

$$v_{\mathrm{IN}} = V_{TRP}^{-} = \left(\frac{R_1}{R_1 + R_2}\right)V_{OL} + \left(\frac{R_1}{R_1 + R_2}\right)V_{\mathrm{REF}} \tag{8.4-14}$$

此双稳态电路特性的宽度没有改变，但此时中心点已经变为 V_{REF} 的 $R_1/(R_1+R_2)$。

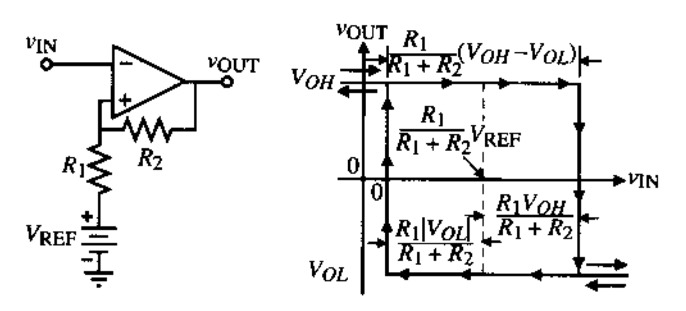


图 8.4-10　水平移动的使用外部正反馈的反相双稳态电路

例 8.4-1　反相迟滞比较器的设计

使用图 8.4-10 的电路设计一个高增益的开环比较器，当 $V_{OH}=2$ V，$V_{OL}=-2$ V 时，上转折点为 1 V，下转折点为 0 V。

解：

将本例的参数值代入式（8.4-13）和式（8.4-14），得：

$$1=\left(\frac{R_1}{R_1+R_2}\right)2+\left(\frac{R_1}{R_1+R_2}\right)V_{REF}$$

和

$$0=\left(\frac{R_1}{R_1+R_2}\right)(-2)+\left(\frac{R_1}{R_1+R_2}\right)V_{REF}$$

解上述两个方程式得到 $3R_1=R_2$，$V_{REF}=2$ V。

上述电路是使用外部正反馈来实现高增益开环迟滞比较器的一个例子，迟滞同样可以通过使用内部的正反馈来实现。图 8.4-11 示出了图 8.3-1 或图 8.3-2[1]所示比较器的差分输入级。在此电路中共有两条反馈路径，第一条是通过晶体管 M1 和 M2 的共源节点的串联电流[3, 4]反馈，这条反馈通路是负反馈；第二条是连接 M6 和 M7 源-漏极的并联电压反馈，这条反馈通路是正反馈。当此正反馈系数小于负反馈系数时，整个电路将为负反馈，同时失去迟滞效果；当正反馈系数大于负反馈系数时，整个电路将表现为正反馈，同时在电压传输曲线中将出现迟滞。只要$\beta_6/\beta_3<1$，传输函数便没有迟滞；当$\beta_6/\beta_3>1$ 时，迟滞将会出现。以下分析将推导有迟滞时的转折点方程。

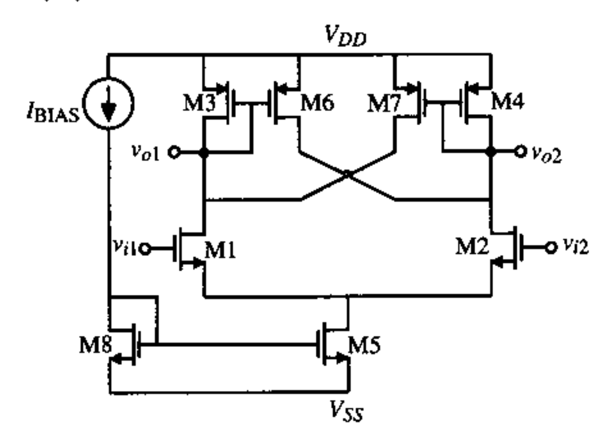


图 8.4-11　在高增益开环比较器的输入级使用内部正反馈实现迟滞

假设使用正、负电源，且 M1 的栅极接地。当 M2 的输入远低于零时，M1 导通，M2 截止，于是，M3 和 M6 将导通，M4 和 M7 将截止。i_5全部流经 M1 和 M3，因此 v_{o2}是高电平。这种状态下的电路如图8.4-12（a）所示。注意，尽管 M2 是截止的，它在电路中仍然被画出。此时，M6 试图提供如下电流：

$$i_6=\frac{(W/L)_6}{(W/L)_3}i_5 \tag{8.4-15}$$

随着 v_{in}不断地向阈值点（未知）增加，i_5的一些电流开始流过 M2，此现象将一直持续到这样一点，即流过 M2 的电流等于 M6 中的电流。当超过这一点时比较器才改变状态。为了估算其中的一个转折点，必须在 $i_2=i_6$时对电路进行分析。计算如下：

$$i_6=\frac{(W/L)_6}{(W/L)_3}i_3 \tag{8.4-16}$$

$$i_2=i_6 \tag{8.4-17}$$

$$i_5=i_2+i_1 \quad (i_1=i_3) \tag{8.4-18}$$

因此，

$$i_3=\frac{i_5}{1+[(W/L)_6/(W/L)_3]}=i_1 \tag{8.4-19}$$

$$i_2=i_5-i_1 \tag{8.4-20}$$

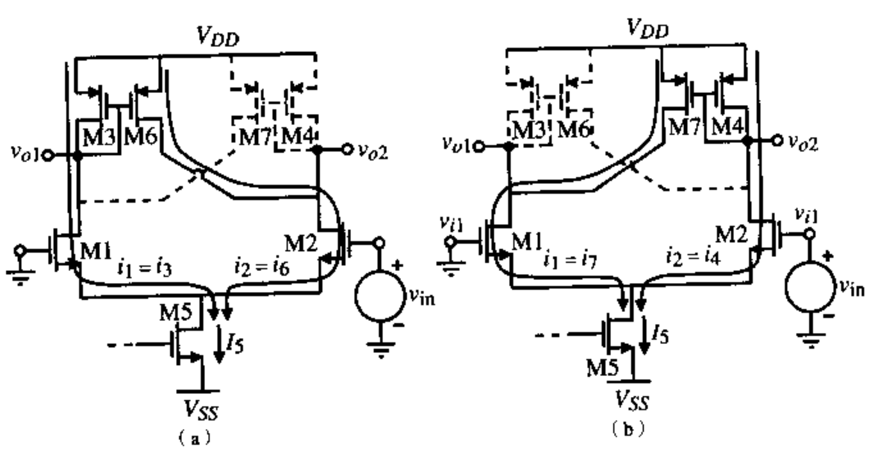


图 8.4-12 （a）图 8.4-11 的比较器，其中 v_{in}很负且向 V_{TRP}^{+}增加；（b）图 8.4-11 的比较器，其中 v_{in}很正且向 V_{TRP}^{-}减小

知道了 M1 和 M2 的电流就很容易计算出它们各自的 v_{GS}。因为 M1 的栅极接地，用 M1 和 M2 栅-源电压差值可计算出正的转折点，计算如下：

$$v_{GS1}=\left(\frac{2i_1}{\beta_1}\right)^{1/2}+V_{T1} \tag{8.4-21}$$

$$v_{GS2}=\left(\frac{2i_2}{\beta_2}\right)^{1/2}+V_{T2} \tag{8.4-22}$$

$$V_{TRP}^{+}=v_{GS2}-v_{GS1} \tag{8.4-23}$$

一旦达到阈值，比较器就会改变状态，于是大部分的尾电流将流过 M2 和 M4。于是，M7 导通，M3、M6 和 M1 截止。与先前的情况一样，随着输入减小，电路到达某一点使 M1 中的电流值增加到与 M7 中的电流值相等，在这一点的输入电压正是负转折点 V_{TRP}^{-}。这种状态下的等效电路如图 8.4-12（b）所示。为了计算转折点，可使用下列方程：

$$i_7 = \frac{(W/L)_7}{(W/L)_4} i_4 \tag{8.4-24}$$

$$i_1 = i_7 \tag{8.4-25}$$

$$i_5 = i_2 + i_1 \tag{8.4-26}$$

因此，

$$i_4 = \frac{i_5}{1 + [(W/L)_7/(W/L)_4]} = i_2 \tag{8.4-27}$$

$$i_1 = i_5 - i_2 \tag{8.4-28}$$

利用方程（8.4-21）和方程（8.4-22）计算 v_{GS}，则转折点为：

$$V_{TRP}^{-} = v_{GS2} - v_{GS1} \tag{8.4-29}$$

上述方程没有考虑沟道长度调制效应的影响，下面的例子将说明这些方程的作用。

例 8.4-2 计算迟滞比较器的转折点

考虑图 8.4-11 所示的电路。使用表 3.1-2 中给定的晶体管的参数计算比较器的正负阈值点，设器件栅长都是 1 μm，宽度为：$W_1 = W_2 = W_{10} = W_{11} = 10$ μm，$W_3 = W_4 = 2$ μm。M1 栅极接地，输入加在 M2 的栅极，电流 $i_5 = 20$ μA。对结果进行仿真。

解：

为了计算正转折点，设输入为负且向正方向增加。

$$i_6 = \frac{(W/L)_6}{(W/L)_3} i_3 = (5/1)(i_3)$$

$$i_3 = \frac{i_5}{1 + [(W/L)_6/(W/L)_3]} = i_1 = \frac{20\,\mu\text{A}}{1+5} = 3.33\,\mu\text{A}$$

$$i_2 = i_5 - i_1 = 20 - 3.33 = 16.67\,\mu\text{A}$$

$$v_{GS1} = \left(\frac{2i_1}{\beta_1}\right)^{1/2} + V_{T1} = \left(\frac{2 \cdot 3.33}{(5)\,110}\right)^{1/2} + 0.7 = 0.81\text{ V}$$

$$v_{GS2} = \left(\frac{2i_2}{\beta_2}\right)^{1/2} + V_{T2} = \left(\frac{2 \cdot 16.67}{(5)110}\right)^{1/2} + 0.7 = 0.946\text{ V}$$

$$V_{TRP}^{+} \cong v_{GS2} - v_{GS1} = 0.946 - 0.810 = 0.136\text{ V}$$

采用类似分析可确定负转折点：

$$i_4 = 3.33\ \mu\text{A}$$

$$i_1 = 16.67\ \mu\text{A}$$

$$v_{GS2} = 0.81\ \text{V}$$

$$v_{GS1} = 0.946\ \text{V}$$

$$V_{TRP}^{-} \cong v_{GS2} - v_{GS1} = 0.81 - 0.946 = -0.136\ \text{V}$$

PSPICE 对此电路的仿真结果如图 8.4-13 所示。

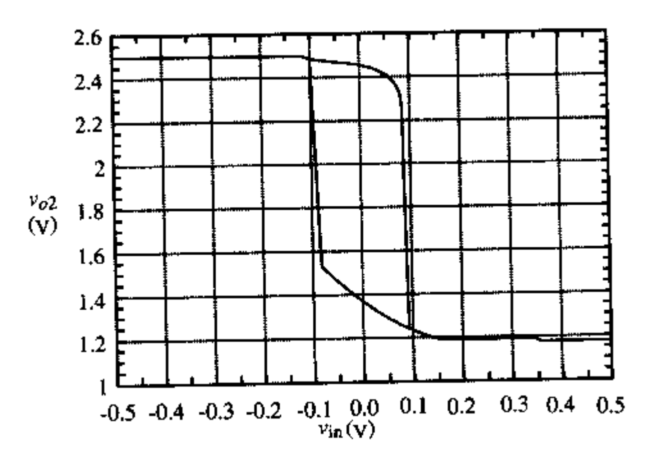


图 8.4-13 例 8.4-2 比较器的仿真结果

上述的差分级通常不能单独使用，因此需要一个输出级以提供合理的输出电压摆幅和输出电阻。有许多方法可以实现这样的输出级。图 8.4-14 给出了其中的一种，其在输出端实现了差分到单级的转换，因此提供了甲乙类驱动能力。

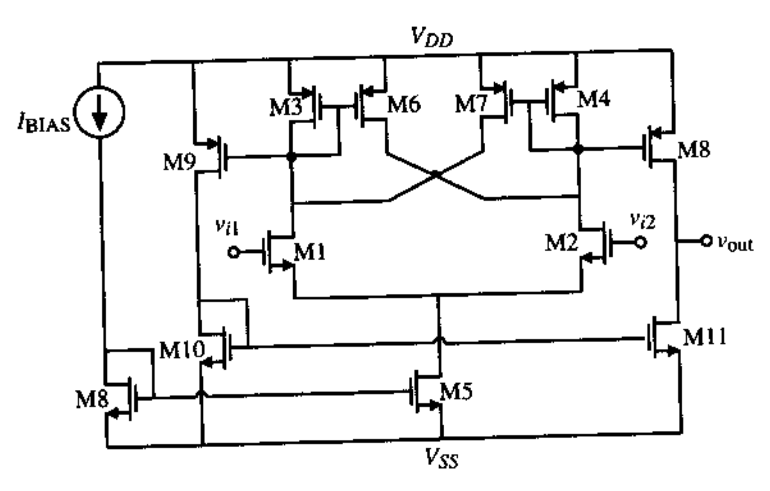


图 8.4-14 带有输出级和内部迟滞的完整比较器

8.5 离散时间比较器

在很多应用中，比较器只作用一段时间。这种电路由时钟驱动，比较器工作时，具有一部分时间和相位，不工作时，只具有相位。在这种情况下，可采用其他类型的比较器，它们具有高效

率，而且传输时延较小。我们将在这一节中讨论两种这样的比较器，即开关电容比较器和可再生比较器。

开关电容比较器

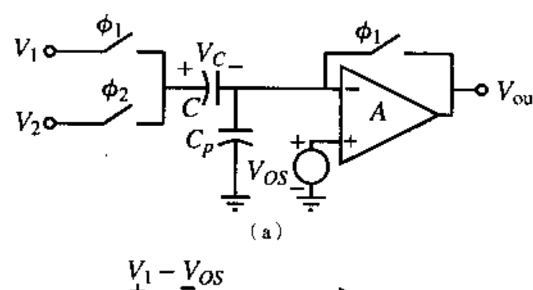
开关电容比较器使用组合开关电容和开环比较器。它的优点是，差分信号可用单端电路进行比较，且可对开环比较器直流失调电压自动校零。图8.5-1（a）是一个典型的开关电容比较器。加在电路上的电压通常被采样、保持，因此使用大写的变量。

当图 8.5-1 中的开关ϕ_1关闭时，电容 C 将对比较器的失调电压 V_{OS} 自动校零。电容 C_p 表示比较器输入到地的寄生电容。我们知道为了使电路正确工作，比较器在单位增益时必须稳定。可以看出，在ϕ_1相位周期结束时，C_1 和 C_p 上的电压为：

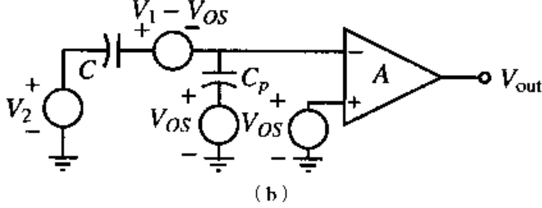
$$V_C(\phi_1) = V_1 - V_{OS} \tag{8.5-1}$$

和

$$V_{C_p}(\phi_1) = V_{OS} \tag{8.5-2}$$



（a）



（b）

图 8.5-1　（a）开关电容比较器；（b）ϕ_2开关关闭时（a）的等效电路

开关ϕ_2关闭时，在ϕ_2相位周期初始阶段的等效电路如图 8.5-1（b）所示。在此电路中，各个电容上的电压都被取消，并用阶跃电压源代替。于是，我们可以使用叠加原理方便地求出输出电压：

$$\begin{aligned} V_{out}(\phi_2) &= -A\left[\frac{V_2C}{C+C_p} - \frac{(V_1 - V_{OS})C}{C+C_p} + \frac{V_{OS}C_p}{C+C_p}\right] + AV_{OS} \\ &= -A\left[(V_2 - V_1)\frac{C}{C+C_p} - V_{OS}\left(\frac{C}{C+C_p} + \frac{C_p}{C+C_p}\right)\right] + AV_{OS} = -A(V_2 - V_1)\frac{C}{C+C_p} \end{aligned} \tag{8.5-3}$$

如果 C_p 小于 C，那么式（8.5-3）可以简化如下：

$$V_{out}(\phi_2) \approx A(V_1 - V_2) \tag{8.5-4}$$

因此，电压 V_1 和 V_2 的差值通过比较器的增益得到放大。

开关电容比较器的增益必须足够大以满足精度的要求。在很多情况下，精度是很高的（例如 100 mV），所以一个简单的单级放大器即可满足比较器的要求。比较器的速度取决于在给定周期

内开关关闭后比较器用了多长时间来达到稳定状态。在ϕ_1相位期间，图 8.5-1（a）电路的响应非常快。电路的时间常数取决于开关导通电阻和电容 C 的乘积及比较器在单位增益时的动态特性。所有这些时间常数都可以很小。在相位ϕ_2期间，比较器的开环响应将决定其速度。这一结论已经在 8.1 节的单极点近似以及 8.2 节的多极点近似中详细讨论过了。

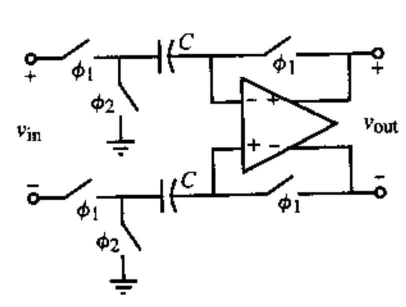


图 8.5-2 差分输入和差分输出的开关电容比较器

图 8.5-2 给出一个差分开关电容比较器。在ϕ_1相位期间，输入被两个相同的电容 C 采样。在此期间，差分输入和差分输出比较器的直流失调电压被自动校零。在ϕ_2相位期间，电容上的采样电压加到比较器的输入端。随着在ϕ_1相位结束时开关ϕ_1的打开，电荷注入将会减少，因为信号是差分电压而电荷注入是共模电压。

可再生比较器

可再生比较器使用正反馈来实现两个信号的比较。可再生比较器又称之为锁存器或者双稳态电路[5]。图 8.5-3 是由两个交叉耦合 MOS 管组成的一种最简单的锁存器。图 8.5-3(a)使用 NMOS 管，而图 8.5-3（b）是一个 PMOS 管锁存器。电流源/电流漏被用来确定晶体管中的直流电流。通常情况下，锁存器有两种工作模式。第一种模式不使用正反馈而直接将输入信号加到 v_{o1} 和 v_{o2} 端。在这种模式下所加的初始电压记为 v'_{o1} 和 v'_{o2}。第二种模式使用锁存器，根据 v'_{o1} 和 v'_{o2} 的相应值，这两个输出电压中的一个将变高而另一个将变低。可使用一个两相位时钟来确定工作模式。

确定锁存器工作时从初始状态到最终状态所需时间是很重要的。图 8.5-4（a）是图 8.5-3（a）锁存器的另一种画法。假设 v_{o1} 和 v_{o2} 初始值已经建立，求使锁存器工作所需要的时间。我们将使用图 8.5-4（b）中的模型分析图 8.5-4（a）中的锁存器。与电容串连的电压源表示 v_{o1} 和 v_{o2} 的初始值且为阶跃函数。

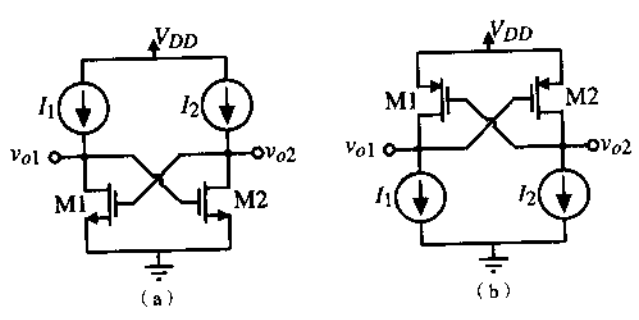


图 8.5-3 （a）NMOS 锁存器；（b）PMOS 锁存器

我们可以写出图 8.5-4（b）的节点方程为：

$$g_{m1}V_{o2} + G_1V_{o1} + sC_1\left(V_{o1} - \frac{V'_{o1}}{s}\right) = g_{m1}V_{o2} + G_1V_{o1} + sC_1V_{o1} - C_1V'_{o1} = 0 \quad (8.5\text{-}5)$$

$$g_{m2}V_{o1} + G_2V_{02} + sC_2\left(V_{o2} - \frac{V'_{o2}}{s}\right) = g_{m2}V_{o1} + G_2V_{o2} + sC_2V_{o2} - C_2V'_{o2} = 0 \quad (8.5\text{-}6)$$

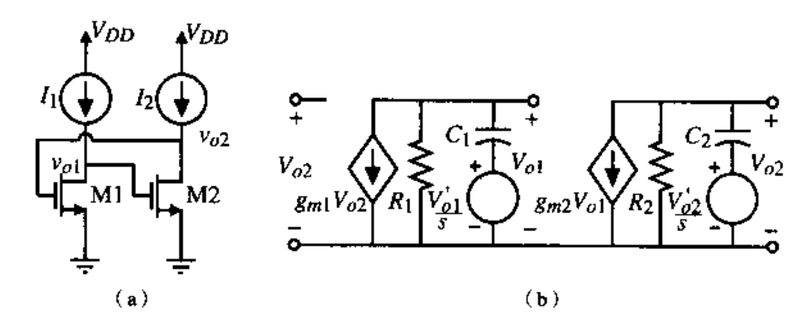


图 8.5-4 （a）图 8.5-3（a）的另一种画法；（b）(a)的等效电路

其中，G_1和 G_2是从 M1 和 M2 的漏极到地的电导，C_1和 C_2是从 M1 和 M2 的漏极到地的电容。解方程（8.5-5）和方程（8.5-6）得到 V_{o1}和 V_{o2}如下：

$$V_{o1} = \frac{R_1C_1}{sR_1C_1+1}V'_{o1} - \frac{g_{m1}R_1}{sR_1C_1+1}V_{o2} = \frac{\tau_1}{s\tau_1+1}V'_{o1} - \frac{g_{m1}R_1}{s\tau_1+1}V_{o2} \qquad (8.5\text{-}7)$$

$$V_{o2} = \frac{R_2C_2}{sR_2C_2+1}V'_{o2} - \frac{g_{m2}R_2}{sR_2C_2+1}V_{o1} = \frac{\tau_2}{s\tau_2+1}V'_{o2} - \frac{g_{m2}R_2}{s\tau_2+1}V_{o1} \qquad (8.5\text{-}8)$$

其中，τ_i是时间常数 R_iC_i。假设所有的晶体管相同，则有 $g_{m1}=g_{m2}=g_m$，$R_1=R_2=R$，$C=C_1=C_2$，从而$\tau_1=\tau_2=\tau$。用ΔV_o定义 V_{o1}和 V_{o2}的差值，用ΔV_i定义 V'_{o1}和 V'_{o2}的差值。因此，

$$\Delta V_o = V_{o2} - V_{o1} = \frac{\tau}{s\tau+1}\Delta V_i + \frac{g_mR}{s\tau+1}\Delta V_o \qquad (8.5\text{-}9)$$

求ΔV_o得：

$$\Delta V_o = \frac{\tau\Delta V_i}{s\tau+(1-g_mR)} = \frac{\dfrac{\tau\Delta V_i}{1-g_mR}}{\dfrac{s\tau}{1-g_mR}+1} = \frac{\tau'\Delta V_i}{s\tau'+1} \qquad (8.5\text{-}10)$$

其中：

$$\tau' = \frac{\tau}{1-g_mR} \qquad (8.5\text{-}11)$$

如果 $g_mR>1$，求式（8.5-10）的拉普拉斯反变换得：

$$\Delta v_o(t) = \Delta V'_i e^{-t/\tau'} = \Delta V_i e^{-t(1-g_mR)/\tau} \approx e^{g_mRt/\tau}\Delta V_i \qquad (8.5\text{-}12)$$

式（8.5-12）给出锁存器的时间常数为：

$$\tau_L \approx \frac{\tau}{g_mR} = \frac{C}{g_m} \qquad (8.5\text{-}13)$$

如果 C 的大部分是栅-源电容，则锁存器的时间常数可表示为：

$$\tau_L = \frac{0.67WLC_{ox}}{\sqrt{2K'(W/L)I}} = 0.67C_{ox}\sqrt{\frac{WL^3}{2K'I}} \qquad (8.5\text{-}14)$$

式（8.5-14）告诉我们锁存器的时间常数主要取决于沟道长度。因此锁存器的响应时间可表示为：

$$\Delta V_{out}(t) = e^{t/\tau_L}\Delta V_i \qquad (8.5\text{-}15)$$

式（8.5-15）给出了在锁存器使能后的某个时刻 t 输出电压之间的差值 ΔV_{out}。电压 ΔV_i 是在锁存器使能前输出电压 V_{o1} 和 V_{o2} 之间的差值。

图（8.5-5）给出了不同 ΔV_i 值对应的锁存器的时域响应，这个图已经通过用式（8.5-15）除以 $V_{OH}-V_{OL}$ 进行了归一化，从而得到：

$$\frac{\Delta V_{out}(t)}{V_{OH}-V_{OL}}=e^{t/\tau_L}\frac{\Delta V_i}{V_{OH}-V_{OL}} \tag{8.5-16}$$

重要的是要记住 ΔV_i 总是小于 $V_{OH}-V_{OL}$。锁存器的传输时延可以通过令式（8.5-16）等于 0.5 得到。结果为：

$$t_p=\tau_L\ln\left(\frac{V_{OH}-V_{OL}}{2\,\Delta V_i}\right) \tag{8.5-17}$$

因为 ΔV_i 总是小于 $0.5(V_{OH}-V_{OL})$，所以其对数的自变量总大于 1。

图 8.5-5 描述了锁存器的时域响应特性。有几点需要注意：第一点是在锁存器使能之前，ΔV_{out} 达到 $V_{OH}-V_{OL}$ 所需时间随锁存器输入 ΔV_i 的增大而减小。第二点是很明显的，锁存器的时间常数越小，其响应越快。如果锁存器在使能之前的输入 ΔV_i 较小，那么锁存器将需要较长的时间使输出电压 ΔV_{out} 达到 $V_{OH}-V_{OL}$。所以，需要加一个足够大的 ΔV_i 以利用锁存器正指数特性中快速增加的斜率。

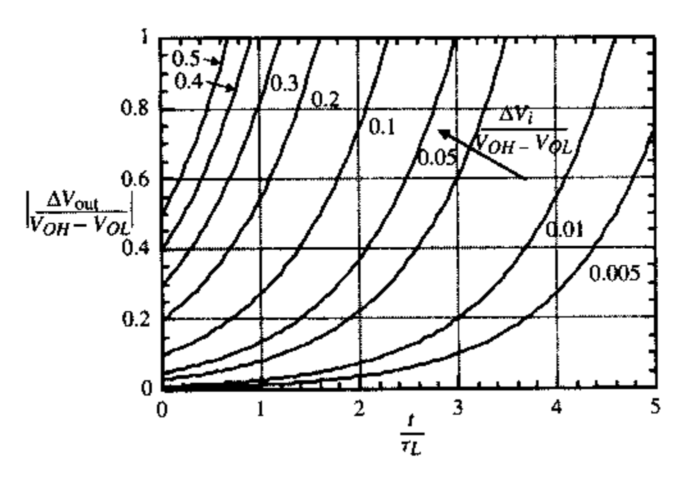


图 8.5-5 锁存器的归一化时域响应

例 8.5-1 锁存器的时域特性

求锁存器从使能到输出电压 $\Delta V_{out}=V_{OH}-V_{OL}$ 所需时间，设锁存器的 NMOS 晶体管的 W/L 是 10 μm/1 μm，在 $\Delta V_i=0.01V_{in}$(最小)、$\Delta V_i=0.1V_{in}$(最小)的两种情况下，锁存器的直流电流都是 10 μA。求在不同条件下锁存器的时延。

解：锁存器晶体管的跨导为：

$$g_m=\sqrt{2\cdot110\cdot10\cdot10}=148\ \mu\text{S}$$

输出电导在给定的锁存器增益 59.2 V/V 下是 0.4 μS。因为 $g_mR>1$，我们可以使用式（8.5-14）。所以，锁存器的时间常数为：

$$\tau_L = 0.67\, C_{ox}\sqrt{\frac{WL^3}{2K'}} = 0.67(24 \times 10^{-4})\sqrt{\frac{(10 \cdot 1) \times 10^{-18}}{2 \cdot 110 \times 10^{-6} \cdot 10 \times 10^{-6}}} = 108 \text{ ns}$$

利用式（8.5-17）或图 8.5-5 可以得到当 $\Delta V_i = 0.01(V_{OH} - V_{OL})$时，$t = 4.6\tau_L = 496$ ns，且当 $\Delta V_i = 0.1(V_{OH} - V_{OL})$时，$t = 2.3\tau_L = 248$ ns。

利用式（8.5-17）可得在 $\Delta V_i = 0.01(V_{OH} - V_{OL})$和 $\Delta V_i = 0.1(V_{OH} - V_{OL})$的情况下，传输时延分别为 174 ns 和 422 ns。

一个实用的锁存比较器如图 8.5-6 所示[6]。M7 和 M8 是锁存器的 PMOS 晶体管。M9 和 M10 被用来复位锁存器，这通过使 M7 和 M8 的源漏电压为零来实现。锁存器的输入加在 M1A 和 M1B 的栅极。M1A、M1B、M2A 和 M2B 工作于三极管线性区。输入值将使 M3 和 M4 的源极到地的电阻发生变化。锁存器使能时，M3 和 M4 的漏极将连到锁存器的输出。M3 和 M4 构成锁存器的并行正反馈通路。例如，M7 栅极的信号可以通过 M7 或者通过 M3（M5 是一个关闭的开关）。M3 和 M4 反馈路径的增益分别取决于电阻 R_1 或 R_2。如果电阻很小，则增益很大，锁存器的另一端将变高。

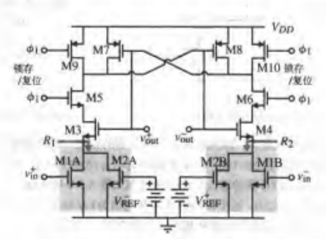


图 8.5-6　使用具有内建阈值锁存器的比较器

当锁存/复位变高，锁存器将进入再生模式。M5 和 M6 的漏极电流将使锁存器达到由电阻 R_1 和 R_2 失配决定的最终状态。这些电阻计算如下：

$$\frac{1}{R_1} = K_N'\left[\frac{W_{1A}}{L}(v_{in}^+ - V_T) + \frac{W_{2A}}{L}(V_{REF}^- - V_T)\right] \tag{8.5-18}$$

和

$$\frac{1}{R_2} = K_N'\left[\frac{W_{1B}}{L}(v_{in}^- - V_T) + \frac{W_{2B}}{L}(V_{REF}^+ - V_T)\right] \tag{8.5-19}$$

使 R_1 和 R_2 相等的输入电压值为：

$$v_{in}(\text{阈值}) = \left(\frac{W_2}{W_1}\right)V_{REF} \tag{8.5-20}$$

此输入电压为比较器提供了内建阈值，其中 $W_{1A} = W_{1B} = W_1$，$W_{2A} = W_{2B} = W_2$。当 $W_2/W_1 = 1/4$ 时，

阈值电压为±0.25 V_{REF}。这个比较器工作在 20 Ms/s 时，功耗为 0.2 mW。

图8.5-6 比较器的一个更简单的形式如图 8.5-7 所示[7]。在这个锁存比较器中，输入电压 v_{in}^{+} 和 v_{in}^{-} 决定了 M3 和 M4 的电流。电流越大，M3 和 M4 反馈回路的增益越大。这一电路在时钟频率为 2 MHz 时的功耗为 50 μW。

图 8.5-3 电路的电流源/电流漏可用相反类型晶体管的锁存器来代替，相应的动态锁存器如图8.5-8 所示[8]。当ϕ_{Latch}为高时，参考电压 V_{REF} 与输入电压 V_{in} 进行比较。这种锁存器具有低功耗的优点，因为在复位模式下（ϕ_{Latch} 为低时），锁存器中没有电流。它每次采样消耗的功率为 4.3 μW/Ms/s，从而使低功耗的快速采样是可行的。

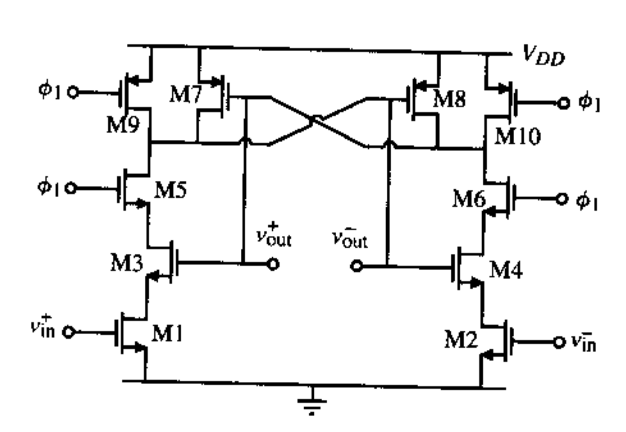


图8.5-7 简单的低功率锁存比较器

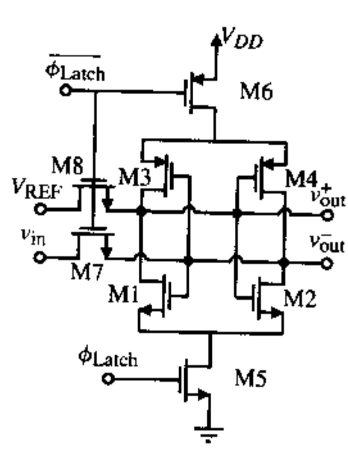


图8.5-8 动态锁存器

锁存器的输入电压失调很重要，因为这将限制锁存器的精度。输入精度范围等于输出摆幅除以锁存器的增益。典型的增益为 50~100，输出摆幅($V_{OH}-V_{OL}$)大约为 1 V。所以，典型的输入精度为 10~20 mV。图 8.5-8 所示锁存器的输入失调电压分布如图 8.5-9 所示[8]。可以看到，输入失调电压的分布大约在±10 mV 的范围。这个比较器在参考电压为1 V 时辨别两个信号的差值的精度为 5 位。这个范围可以通过增加前置放大器来减小，这将在下一节讨论。

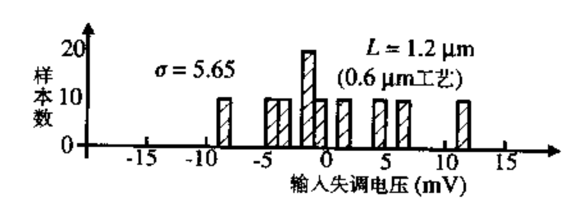


图 8.5-9 图 8.5-8 动态锁存器输入失调电压的分布直方图

8.6 高速比较器

高速比较器应该尽可能地降低其传输时延。为了达到这个目的，必须明确高速比较器的要求。将比较器分为数个级联电路最有助于理解，如图 8.6-1 所示，其中每级的增益都为 A_0，有一个 $1/\tau$ 的单极点。如果输入的变化稍稍大于 V_{in}(最小)，那么每级电路的功能是在尽可能小的时延下放大输入信号。我们注意到，前几级信号的摆幅比较小。当信号的摆幅开始接近要求的范围时，放大器将受到它们摆率的限制。所以，对前几级电路而言，重要的参数是带宽，高带宽可以使放大信号的时延较小，并将放大的信号传至下一级。但是，对于后面几级电路，重要的是具有高摆率，

这样才能使中间级电容和负载电容上的电压上升或下降得足够快。所以，在整个放大器的链路中，前几级电路的设计和后几级电路是不同的。

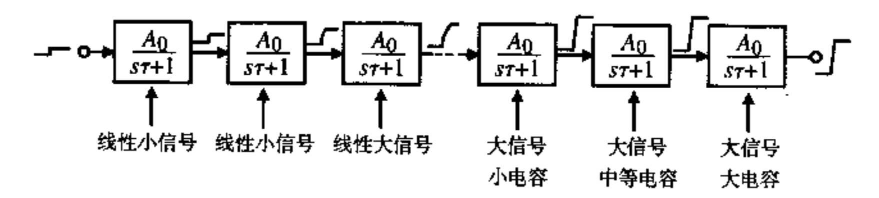


图 8.6-1 级联比较器概念描述

高速比较器设计的基本原则是采用前置放大器使输入的变化足够大并将其加到锁存器上。这组合了电路的最佳特点：一种是具有负指数响应的前置放大器电路，另一种是具有正指数响应的锁存器电路。它们的时域响应如图8.6-2所示。在此图中，前置放大器的增益与输入电压的乘积不足以达到要求的输出电压值。在时间 t_1，前置放大器将输入电压放大到 V_X。V_X被加到锁存器的输入端，然后，在时间t_2达到要求的输出电压值。所以，总的响应时间是 t_1+t_2。如果比较器只包含前置放大器，则增益会更大些，从 V_{OL} 到 V_{OH} 的转换时间将大于 t_1+t_2。另一方面，如果输入较小，锁存器将需要比 t_1+t_2更多的时间。我们在图 8.5-5 中可以看到，锁存器的输入越大，输出达到最大值的时间越短。

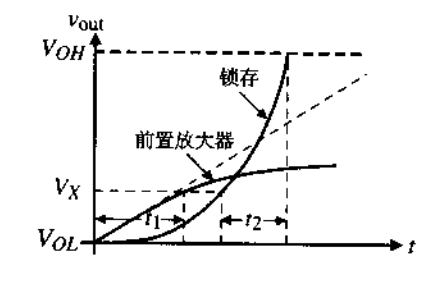


图 8.6-2 前置放大器和锁存器的阶跃响应

前置放大器的设计必须按照如下方式设计，即锁存器所需的输入电压 V_X必须在最短的时间内达到。因为前置放大器工作在线性区域，这就意味着其带宽必须尽可能大。我们知道，放大器的增益带宽积通常是个常数，因此，一个单级放大器的放大能力是有限的。如果数个低增益、高带宽的放大器级联，那么总时延 t_1可以被最小化。事实上，最佳的级联放大器的个数是6，而每个放大器的增益是2.72。这种优化非常广泛，事实上，三个增益为 6 的放大器同样可以提供很好的结果，且所需的芯片面积更小[9]。

一个使用三级低增益放大器级联作为前置放大器和一个输出锁存器的高速比较器如图 8.6-3 所示。当 FB 和复位开关关闭时，每个放大器的电容 C_v将自动校零。遗憾的是，每一个放大器必须自己校零。同时对所有的三个放大器校零需要更多的开关。输入被加在电容 C_1和 C_2上。对于高速应用，图 8.6-3 中比较器的时钟可以提高到 100 MHz，使比较器运行在 100 Msps 下。随着采样时间的提高，比较器消耗的功率也随之上升。

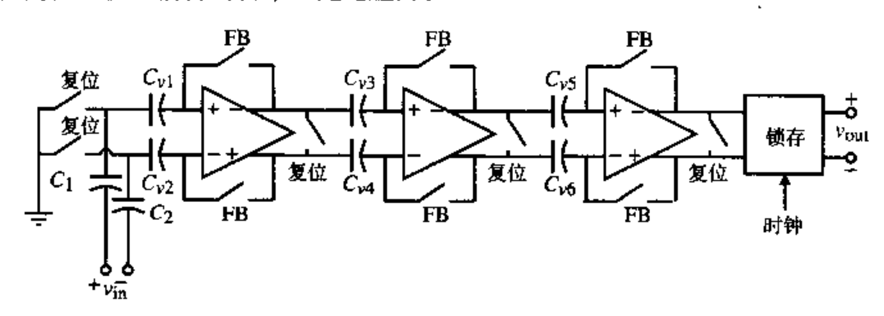


图 8.6-3 全差分、三级比较器和锁存器

低增益前置放大器必须在高带宽和所需增益间进行折中。一个简单的前置放大器如图 8.6-4 所示。最后一级前置放大器与锁存器的连接也示于图中。此前置放大器的增益为：

$$A_v = g_{m1}/g_{m3} = g_{m2}/g_{m4} \tag{8.6-1}$$

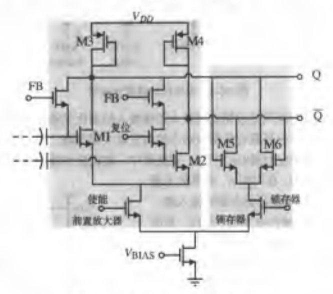


图 8.6-4 前置放大器和锁存器举例

其主极点为：

$$|p_{\text{dominant}}| = \frac{g_{m3}}{C} = \frac{g_{m4}}{C} \tag{8.6-2}$$

其中，C 是输出节点到地的电容。如果晶体管的偏置电流是 25 μA，M1 和 M2 的 W/L 值是 100，M3 和 M4 的 W/L 值是 1，则其增益是 3.85 V/V。如果 $C = 0.5$ pF，则极点为 10^8 rad/s 或 15.9 MHz。我们应保持极点尽可能地大，这一点很重要。有时，由于下一级为容性负载，则需要对放大器的输出进行缓冲。但是，缓冲会带来 2～3 dB 的增益损耗，这是我们所不希望的。

图 8.6-4 中前置放大器存在一些问题：一个是即使对于很大的 W/L 差值其增益仍然很小，另一个就是锁存器的输出到前置放大器的输入之间没有隔离。锁存器输出端的快速变化可以通过 M1 和 M2 的漏–栅电容进行传输，并出现在锁存器的输入端。图 8.6-5 所示的前置放大器解决了上述两个问题。晶体管 M5 和 M6 被用来增加 M1 和 M2 中的电流，这样，增益将按 M1、M2 电流差除以 M3、M4 电流差的平方根增加。阐述如下。式（8.6-1）给出的前置放大器的增益可进一步表示为：

$$A_v = -\frac{g_{m1}}{g_{m3}} = -\sqrt{\frac{K_N'(W_1/L_1)I_1}{K_P'(W_3/L_3)I_3}} = -\sqrt{\frac{K_N'(W_1/L_1)}{K_P'(W_3/L_3)}}\sqrt{1+\frac{I_5}{I_3}} \tag{8.6-3}$$

如果 I_5 大于 I_3，那么增益以 1 加上 I_5/I_3 的平方根的规律增加。如果 $I_5=24I_3$，那么增益增加到以前的 5 倍。晶体管 M7 和 M8 隔离输入与快速变化的锁存器输出。

在锁存器之前使用一个前置放大器，具有通过前置放大器增益来降低锁存器输入失调电压的作用。比较器的输入失调电压将变成前置放大器的失调电压，此失调电压可自动校零，因而较小。

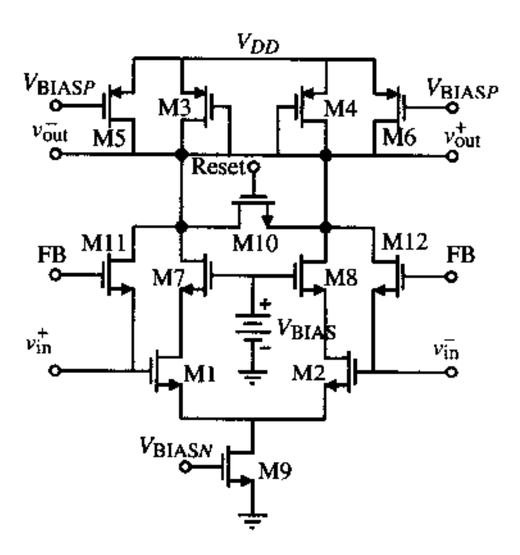


图 8.6-5 改进的前置放大器

前置放大器可以被一个电荷转移电路取代，从而简化前置放大器[8]。一个简单的电荷转移电路如图8.6-6（a）所示。其中，电容 C_T大于 C_O。这个电荷转移放大器分三个工作阶段：第一个阶段是复位阶段，这时开关 S1 闭合使 C_T放电；第二个阶段是预充电阶段，如图 8.6-6（b）所示，这时开关 S2 闭合。在这个阶段，电容 C_T被充电至 $v_{in}-V_T$，输出电容 C_O被充电至预置电压 V_{PR}；第三个阶段是放大阶段，如图8.6-6（c）所示。这时所有的开关均打开。在这个阶段，假设输入改变了ΔV，这将产生电流流入 C_T，该电流同时流入 C_O。因为 C_T和 C_O的电荷变化必须相等，所以 C_O上的电压变化为$-(C_T/C_O)\Delta V$。如果 C_T大于 C_O，则输入变化量ΔV在输出端将被放大 C_T/C_O倍。

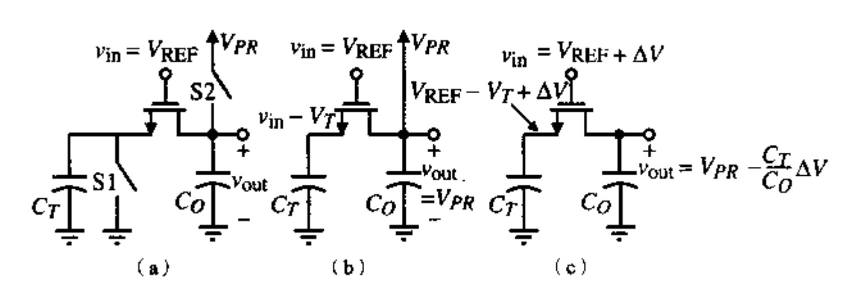


图 8.6-6 （a）电荷转移放大器；（b）预充电阶段；（c）放大阶段

电荷转移放大器必须解决以下几个问题：第一个是只可以放大正值电压，第二个是大的失调电压是亚阈电流的函数。图 8.6-7 所示的电路解决了这两个问题，它使用了 NMOS 管和 PMOS 管。开关S3 用来切断复位阶段的电流通路。这一电路与一个动态锁存器级联构成一个比较器，这个比较器具有 8 位线性度和 20 Ms/s 的采样率，功耗低于 5 μW。这种电荷转移比较器的限制之一是电荷馈通。虚拟开关被用来消除电荷馈通的一些影响，这种影响发生在许多开关被打开的时候。

当一个比较器必须在极短的时间内驱动非常大的输出电容时，锁存器通常能力不够。在这种情况下，通常在锁存器后接一个能快速地产生大量电流的电路。一个遵循上述原则设计的高速比较器如图 8.6-8 所示[10]。第一级是一个低增益宽带前置放大器，它驱动锁存器。锁存器的输出用来驱动一个自偏置差分放大器。这个放大器的输出驱动一个推挽输出驱动器。

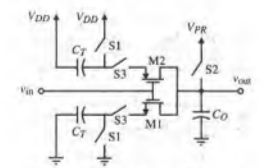


图 8.6-7 CMOS 电荷转移前置放大器

图 8.6-8 中的比较器在 5 pF 负载电容和 10 mV 的过驱动下具有 10 ns 的传输时延。值得注意的是，这个比较器是同步的（没有使用时钟）。比较器在中度摆幅下的增益大于 2000 V/V，且其静态电流为 100 μA。更详细的设计可以查阅 Baker 等人的文献[10]。

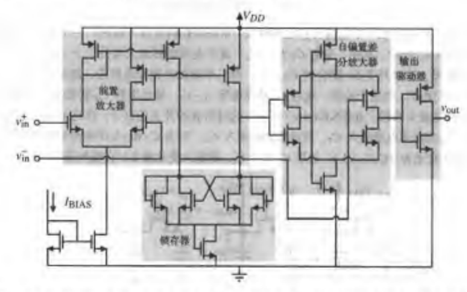


图 8.6-8 采用级联的前置放大器、锁存器、自偏置差分放大器和输出驱动器的高速比较器

8.7 小结

这一章介绍了如何使用 CMOS 电路完成比较器的功能。我们已经在第 4 章和第 5 章讨论了基本的 CMOS 电路，这一章对 CMOS 比较器进行了讨论。第 6 章的运算放大器可构成开环、高增益比较器。二阶开环比较器特性描述了其性能。我们可以看到两种响应模式可以同时在一个线性比较器中存在：一个是小信号，另外一个是大信号。两者的不同就在于是否达到摆率。当某一比较器没有达到摆率（小信号）时，带宽是降低传输时延的关键。而当比较器达到摆率时，供出和吸入电流的能力是快速工作的关键。

开环比较器的性能可以通过使用迟滞来改进，迟滞可消除输入信号中的噪声影响。自动校零可以减小输入失调电压。自动校零期间，比较器在单位增益时必须稳定，这对于某些类型的比较

器很难实现。自偏置比较器在自动归零期间总是稳定的。尽管我们没有考察比较器的噪声，但可以采用和运算放大器同样的方式进行分析。在比较器转换期间，我们假设线性现象的噪声是很重要的，这样可使比较器工作在线性区域。

在很多比较器的应用中，信号在时间上是离散的，即非连续的。在此情况下，可以使用可再生电路作为比较器。遗憾的是，可再生电路的瞬态响应一般用正指数函数来描述。这就意味着如果输入的信号很小，所需信号要花很长的时间才能达到大斜率的指数响应区域。解决此问题的方法是级联前置放大器和锁存器。前置放大器的功能是快速建立锁存器的输入，这样可以避免指数响应中的慢速上升。这可使比较器的工作速度达到和超过 20 Ms/s。

比较器将在后面的章节中扮演重要的角色，尤其是在模数转换方面。比较器是决定模拟信号处理的速度和精度的重要因素之一。

习题

8.1-1 画出图 8.1-2、图 8.1-4、图 8.1-6 和图 8.1-9 反相比较器的等效图。

8.1-2 使用 6.6 节介绍的宏模型技术给出一个具有 10000 V/V 直流增益，10 mV 失调电压，V_{OH} =1 V，V_{OL}=0 V，主极点为−1000 rad/s，摆率为 1 V/μs 的比较器的模型。用你的宏模型对例 8.1-1 进行仿真以检验其正确性。

8.1-3 画出具有 20 μs 传输时延的反相比较器的一阶时序响应。其输入由下列方程描述：

$$v_{in} = 0 \quad 当\ t < 5\ \mu s 时$$

$$v_{in} = 5(t - 5\ \mu s) \quad 当\ 5\ \mu s < t < 7\ \mu s\ 时$$

$$v_{in} = 10 \quad 当\ t > 7\ \mu s 时$$

8.1-4 重复例 8.1-1，将比较器的极点改为-10^5 rad/s 而不是-10^3 rad/s。

8.1-5 例 8.1-1 中的 V_{in} 为何值时将产生达到摆率的响应？

8.2-1 使用图 8.2-5 的二阶比较器重复例 8.2-1。

8.2-2 如果二阶比较器的极点都等于-10^7 rad/s，当输入阶跃幅度为 $10V_{in}$(最小)时，求最大斜率以及发生的时刻。SR 为何值时才能避免达到摆率？

8.2-3 重复例 8.2-3，设 $p_1 = -5\times10^6$ rad/s，$p_2 = -10\times10^6$ rad/s。

8.2-4 对于图 8.2-5，求第一级输出电压所有可能的表 8.2-1 中的初始状态和比较器输出电压。

8.2-5 计算图 8.2-4 中比较器转折点电压。使用表 3.1-2 中提供的参数。另外，$(W/L)_2$=100，$(W/L)_1$ = 10，V_{BIAS} = 1 V，V_{SS} = 0 V，V_{DD} = 4 V。

8.2-6 使用习题 8.2-5 的结果计算最坏情况下转折点电压的变化，设在 V_T,K',V_{DD} 和 V_{BIAS} 有±10% 的变化。

8.2-7 画出习题 8.2-5 中电路的输出响应，给定的输入为 4 V 到 1 V 的阶跃输入。假设有一个 10 pF 的负载电容。同时假设输入在 4 V 停留很长的一段时间。计算从阶跃输入到输出改变逻辑状态（CMOS）的时延。

8.2-8 重复例 8.2-5，设 v_{G2} 为常数，加在 v_{G1} 上的波形如图 8.2-6 所示。

8.2-9 使用例 6.3-1 中设计的两级运算放大器重复例 8.2-5，假设没有补偿电容。

8.2-10 假设传输时延 t_p = 25 ns，重复例 8.2-6。

8.2-11 设计一个比较器，采用如下参数：P_{diss} < 2 mW, V_{DD} = 3 V, V_{SS} = 0 V, C_{load} = 3 pF, t_{prop} < 1 μs,

ICMR = 1.5~2.5 V, A_{v0} > 2200，且输出电压摆幅在 1.5 V 范围内。使用表 3.1-2 和表 3.3-1 的参数，所有晶体管采用 1 μm 沟道长度。

8.3-1 假设图 8.3-1 中 M5 的直流电流为 100 μA，如果 $W_6/L_6 = 5(W_4/L_4)$，$W_8/L_8 = 5(W_3/L_3)$，且 C_L = 10 pF，$V_{DD} = -V_{SS}$ = 2 V，比较器的传输时延为多少？

8.3-2 如果例 6.5-3 中的折叠共源共栅运算放大器被用做比较器，如果 C_L = 5 pF，求主极点。如果输入阶跃是 10 mV，确定其响应是线性还是非线性的，并计算传输时延。

8.3-3 求图 8.3-3 所示电路的开环增益，设两级运算放大器与例 6.3-1 相同，没有补偿，$W_{10}/L_{10} = 10(W_8/L_8) = 100(W_6/L_6)$, $W_9/L_9 = (K'_P/K'_N)(W_8/L_9)$, $W_{11}/L_{11} = (K'_P/K'_N)(W_{10}/L_{10})$，M8 和 M9 中的静态电流为 100 μA，M10 和 M11 中的静态电流为 500 μA。如果 C_{II} =100 pF，且阶跃输入足够大以达到摆率，求传输时延。

8.3-4 图 P8.3-4 的电路称为箝位比较器。使用表 3.1-2 的参数计算比较器的增益。如果负载电容为 5 pF，正负摆率是多少？

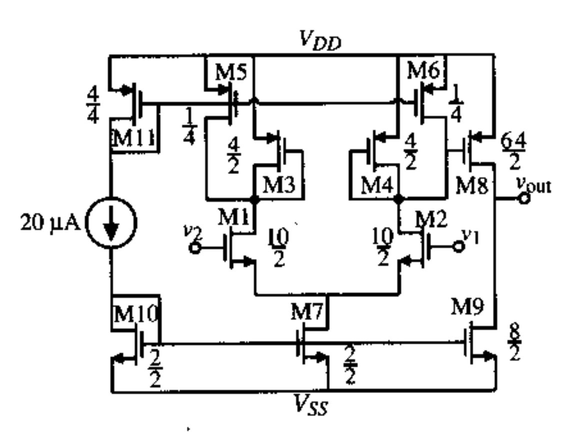


图 P8.3-4

8.4-1 如果图8.4-1 中比较器的主极点为 10^4 rad/s，增益为 10^3，C_{AZ} 充电到最终电压 V_{OS} 的 99%需要多少时间？如果像图 8.4-1（b）那样配置，电容 C_{AZ} 充电足够长时间后最终电压为多少？

8.4-2 使用图8.4-9 所示的电路设计一个迟滞特性，假设 V_{OH} =2 V，V_{OL}=0 V 且 V_{TRP}^- = 0 V，V_{TRP}^+ = 1 V，R_1 = 100 kΩ。

8.4-3 使用图8.4-10 重复练习习题 8.4-2。

8.4-4 假设图8.4-11 中的所有晶体管都工作在饱和模式。利用例 8.4-2 中的 W/L 值和电流值计算正反馈回路 M6–M7 的增益。

8.4-5 重复例8.4-1 使 $V_{TRP}^+ = -V_{TRP}^-$ = 0.5 V。

8.4-6 设 i_5 = 50 μA，重复例 8.4-2。使用仿真进行验证。

8.5-1 列出图8.5-1 所示开关电容比较器和具有相同增益和频率响应的开环比较器的优点及缺点。

8.5-2 如果图8.5-3 中两个锁存器的电流及 W/L 的值相同，哪一个锁存器比较快？为什么？

8.5-3 重复例8.5-1，设 $\Delta V_{out} = (0.5)(V_{OH} - V_{OL})$。

8.5-4 重复例8.5-1，设锁存器的直流电流为 50 μA。

8.5-5 重新推导图 P8.5-5 中电路的 $\Delta V_{out}/\Delta V_i$ 的表达式，其中 $\Delta v_{out} = v_{o2} - v_{o1}$，$\Delta V_i = v_{i1} - v_{i2}$。

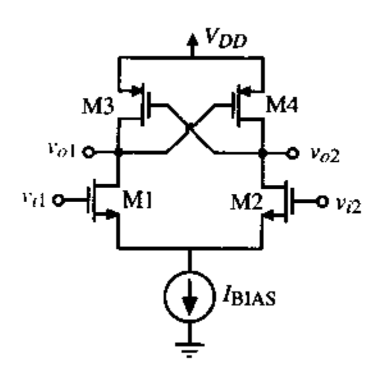


图 P8.5-5

8.5-6 比较图 8.5-8 中使用 NMOS 管的动态锁存器和图 8.5-3 中使用 PMOS 管的锁存器，两个锁存器的优缺点分别是什么？

8.5-7 使用表 3.1-2 中晶体管在最坏情况下的参数值，计算图 8.5-3（a）中 NMOS 锁存器的失调电压。

8.6-1 假设一个运算放大器的低频增益为 1000 V/V，主极点为-10^4 rad/s。比较图 8.6-1 中用该运算放大器构成的不同结构的−3 dB 带宽。

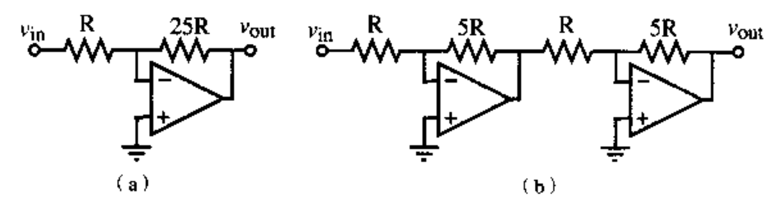


图 P8.6-1

8.6-2 假设 C_L=1 pF，计算图 P8.6-2 中电路的增益和−3 dB 的带宽。忽略 pn 结的反向偏置电压影响，并假设体–源极和体–漏极区域为 $W\times 5\ \mu m$。

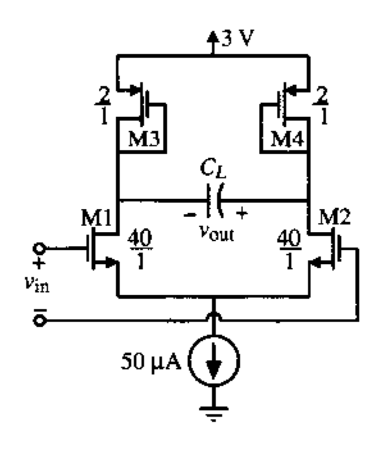


图 P8.6-2

8.6-3 使用图 P8.6-3 重复习题 8.6-2。M1 和 M2 的 W/L 值是 10 μm/1 μm，其他的 PMOS 晶体管的 W/L 值都是 2 μm/1 μm。

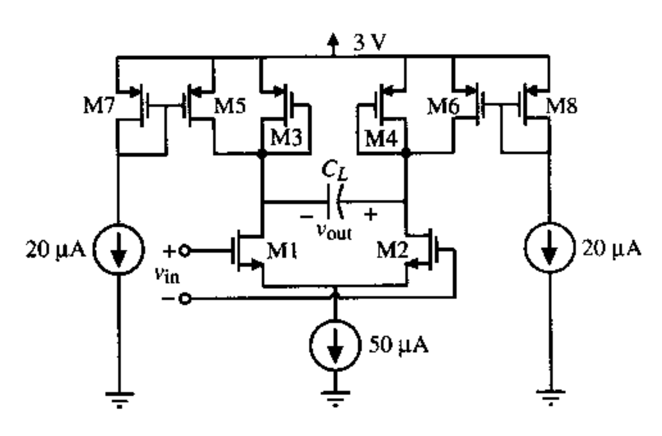


图 P8.6-3

8.6-4 假设一个比较器由锁存器和放大器级联组成，且放大器的增益为 5 V/V，−3 dB 带宽为 $1/\tau_L$，τ_L 为锁存器的时间常数。假设输入电压为 $0.05(V_{OH}-V_{OL})$，而且加在锁存器上的电压为：（a）$\Delta V_i=0.05(V_{OH}-V_{OL})$，（b）$\Delta V_i=0.1(V_{OH}-V_{OL})$，（c）$\Delta V_i=0.15(V_{OH}-V_{OL})$，（d）$\Delta V_i=0.2(V_{OH}-V_{OL})$，求归一化的传输时延。再从你的结论中找出最小传输时延所对应的 ΔV_i。

8.6-5 假设一个比较器由两个相同的放大器和一个锁存器级联组成，且此放大器参数由习题 8.6-4 给出。如果输入电压是 $0.05(V_{OH}-V_{OL})$，加在锁存器上的电压是 $\Delta V_i=0.1(V_{OH}-V_{OL})$，求归一化的传输时延。

8.6-6 重复习题 8.6-5，假设有三个同样的放大器与锁存器级联。如果输入电压为 $0.05(V_{OH}-V_{OL})$ 且加在锁存器上的电压为 $\Delta V_i=0.2(V_{OH}-V_{OL})$，求归一化的传输时延。

8.6-7 一个比较器由一个放大器和一个锁存器级联组成，如图 P8.6-7 所示。此放大器的电压增益为 10 V/V，$f_{-3\,\mathrm{dB}}=100$ MHz，锁存器的时间常数为 10 ns。放大器和锁存器的最大最小电压为 V_{OH} 和 V_{OL}。放大器加上阶跃信号 $0.05(V_{OH}-V_{OL})$后，什么时候使能锁存器得到最小的传输时延？最小传输时延是多少？锁存器的传输时延 $t_p=\tau_L\ln\left(\frac{V_{OH}-V_{OL}}{2v_{il}}\right)$，其中 v_{il} 是锁存器的输入（文中表示为 ΔV_i）。

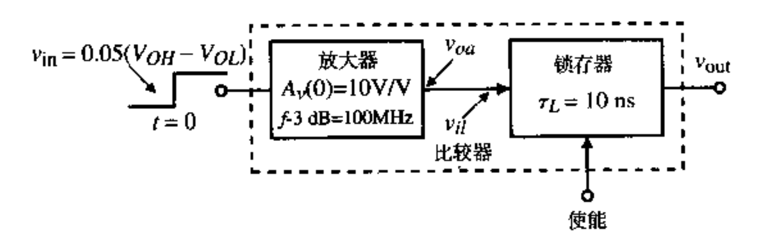


图 P8.6-7

参考文献

1. D. J. Allstot, "A Precision Variable-Supply CMOS Comparator," *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 6, pp. 1080–1087, Dec. 1982.
2. M. Bazes, "Two Novel Full Complementary Self-Biased CMOS Differential Amplifiers," *IEEE J. Solid-State Circuits*, Vol. 26, No. 2, pp. 165–168, Feb. 1991.
3. J. Millman and C. C. Halkias, *Integrated Electronics: Analog and Digital Circuits and Systems*. New York: McGraw-Hill, 1972.

4. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th ed. New York: Oxford University Press, 1998.
5. J. Millman and H. Taub, *Pulse, Digital, and Switching Waveforms*. New York: McGraw-Hill, 1965.
6. T. B. Cho and P. R. Gray, "A 10b, 20 Msamples/s, 35 mW Pipeline A/D Converter," *IEEE J. Solid-State Circuits*, Vol. 30, No. 3, pp. 166–172, Mar. 1995.
7. A. L. Coban and P. E. Allen, "A 1.5 V, 1 mW Audio ΔΣ Modulator with 98 dB Dynamic Range," *Proc. Int. Solid-State Circuit Conf.*, pp. 50–51, Feb. 1999.
8. K. Kotani, T. Shibata, and T. Ohmi, "CMOS Charge-Transfer Preamplifier for Offset-Fluctuation Cancellation in Low-Power A/D Converters," *IEEE J. Solid-State Circuits*, Vol. 33, No. 5, pp. 762–769, May 1998.
9. J. Doernberg, P. R. Gray, and D. A. Hodges, "A 10-bit 5-Msample/s CMOS Two-Step Flash ADC," *IEEE J. Solid-State Circuits*, Vol. 24, No. 2, pp. 241–249, Apr. 1989.
10. R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*. Piscataway, NJ: IEEE Press, 1998, Chap. 26.

第 9 章　开关电容电路

在 20 世纪 70 年代以前，模拟信号处理电路一直使用由电阻、电容和运算放大器组成的连续时间电路。遗憾的是，标准 CMOS 工艺所能提供的电阻和电容的绝对容差太大，不能满足大多数模拟信号处理功能的要求。20 世纪 70 年代初，模拟数据采样技术取代了电阻，形成了只由 MOSFET 开关、电容和运算放大器组成的电路[1, 2]。这种电路被称为开关电容电路，它已成为用标准 CMOS 工艺实现模拟信号处理电路的一种常用方法。开关电容电路取得成功的一个重要原因是其信号处理功能的精度与电容比值的精度成比例。在前面的章节中我们已经了解到，在标准 CMOS 工艺中电容的相对精度相当高。开关电容电路的主要优点是：（1）与 CMOS 工艺兼容；（2）高精度的时间常数；（3）良好的电压线性度；（4）良好的温度特性。主要的缺点是：（1）时钟馈通；（2）需要不重叠的时钟信号；（3）信号的带宽必须小于时钟频率。

信号处理电路的重要组成部分是信号。信号可以用它们的时间和幅度特性来描述。从时间观点来看，信号可以分为连续的和离散的。连续时间信号是定义在整个时间范围内的，而离散时间信号则仅仅定义在某一时间范围内（通常只是一个时间点）。信号在幅度上也可以分为连续的或离散的。模拟信号的幅值是连续的（可以取任何可能的幅值）。数字信号只能取特定的幅值。例如，一个二进制数字信号通常只被定义为 0 和 1 的两个幅值。开关电容电路在幅度上是连续的而在时间上是离散的。它们通常被称做模拟数据采样电路[3]。

本章将介绍开关电容电路的基本概念。虽然扎实的模拟数据采样电路和 z 域技术的背景知识对读者的理解很有帮助，但本章所采用的分析方法主要是基于容性电路的标准电路分析方法。第一节主要介绍怎样利用开关电容电路模拟电阻。我们只考虑基本的、两相的、不重叠的时钟方案。第二节逐步阐明分析方法。接下来的两节引入了开关电容放大器和开关电容积分器的概念。这两个模块是开关电容电路的基础。接下来考虑开关电容电路的 z 域模型。这有助于开关电容电路的设计与分析。然后介绍开关电容滤波器的构成模块，包括一阶和二阶模块。最后，本章分析了混叠现象并提出了防止其对开关电容电路产生影响的方法。

9.1　开关电容电路

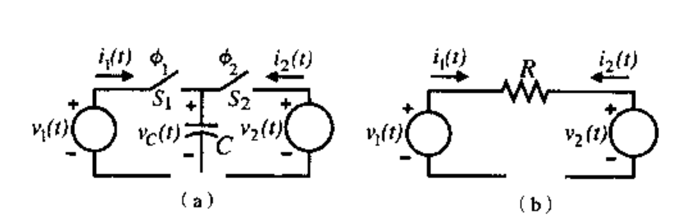
本节首先介绍电容中转移电荷的基本概念。然后引入用含有开关和电容的电路来模拟电阻的方法。接下来回顾了适用于分析开关电容电路的电路分析方法，并通过分析一个一阶低通滤波器来阐明上述方法。

电阻模拟

用开关和电容来模拟（测量）电阻的记载首次出现在 1873 年 James Clerk Maxwell 的一篇文章里[4]。他在文中（P420~425）描述了测量检流计电阻的方法：把电池、电表和电容串联起来，并且周期性地翻转电容。使用类似的方法，我们可以说明如何模拟电阻。分析图9.1-1（a）的开关电容电路。这种结构被称为并联开关电容等效电阻。下面，我们将说明图9.1-1（a）是如何等效为

图9.1-1（b）中的电阻R的。

图 9.1-1（a）中的并联开关电容等效电阻电路由两个独立的电压源$v_1(t)$和$v_2(t)$、两个受控开关S_1和S_2和一个电容C组成。开关S_1和S_2受时钟波形控制。这些时钟波形示于图9.1-2中，两个时钟信号为ϕ_1和ϕ_2。当时钟波形为1时，开关闭合；当时钟波形为0时，开关断开。注意，ϕ_1和ϕ_2不会同时为1，这样的时钟被称为非重叠时钟。图9.1-2中的时钟波形周期为T。单个时钟宽度略小于$T/2$。



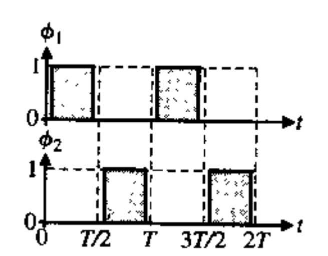


图 9.1-1　（a）并联开关电容等效电阻；

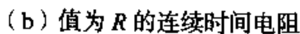

（b）值为R的连续时间电阻

图 9.1-2　典型的两相非重叠时钟波形

假设图 9.1-1（a）中的电压$v_1(t)$和$v_2(t)$在时钟周期T内变化不大。因此，我们可以近似地假设$v_1(t)$和$v_2(t)$在T内几乎为常量。我们可以求出从$v_1(t)$流入电容C的电流$i_1(t)$的平均值。平均电流的定义为：

$$i_1(\text{平均}) = \frac{1}{T}\int_0^T i_1(t)\,dt \tag{9.1-1}$$

由于$i_1(t)$只在时间$0 \leqslant t \leqslant T/2$内存在，我们可以将式（9.1-1）改写为：

$$i_1(\text{平均}) = \frac{1}{T}\int_0^{T/2} i_1(t)\,dt \tag{9.1-2}$$

但是我们知道电荷和电流之间有如下关系：

$$i_1(t) = \frac{dq_1(t)}{dt} \tag{9.1-3}$$

把式（9.1-3）带入式（9.1-2）得到：

$$i_1(\text{平均}) = \frac{1}{T}\int_0^{T/2} dq_1(t) = \frac{q_1(T/2) - q_1(0)}{T} \tag{9.1-4}$$

一个时不变电容的电荷可以表示为：

$$q_C(t) = Cv_C(t) \tag{9.1-5}$$

把式（9.1-5）带入式（9.1-4）就得到了期望的结果：

$$i_1(\text{平均}) = \frac{C[v_C(T/2) - v_C(0)]}{T} \tag{9.1-6}$$

由作用于图 9.1-1(a)的并联开关电容电路的图9.1-2中的时钟波形可以看出电压 $v_c(T/2)$等于 $v_1(T/2)$，电压 $v_c(0)$等于 $v_2(0)$。因此式（9.1-6）可以变为：

$$i_1(\text{平均}) = \frac{C[v_1(T/2) - v_2(0)]}{T} \tag{9.1-7}$$

但是，如果 $v_1(t)$和 $v_2(t)$在周期 T 内近似保持恒定，那么：

$$v_1(0) \approx v_1(T/2) \approx v_1(T) \approx V_1 \tag{9.1-8}$$

以及

$$v_2(0) \approx v_2(T/2) \approx v_2(T) \approx V_2 \tag{9.1-9}$$

如果信号频率比时钟频率小得多，$v_1(t)$和 $v_2(t)$在时钟周期 T 内可以被看成常数。把式（9.1-8）和式（9.1-9）代入式（9.1-7）得到流入电容 C 的平均电流为：

$$i_1(\text{平均}) = \frac{C(V_1 - V_2)}{T} \tag{9.1-10}$$

现在让我们来求流入图 9.1-1（b）中的电阻 R 的平均电流 i_1(平均)。这个值很容易写成：

$$i_1(\text{平均}) = \frac{V_1 - V_2}{R} \tag{9.1-11}$$

把式（9.1-10）和式（9.1-11）的平均电流对等得到期望的结果：

$$R = \frac{T}{C} \tag{9.1-12}$$

式（9.1-12）表明如果周期 T 内 $v_1(t)$和 $v_2(t)$的变化可以被忽略，图 9.1-1（a）中的并联开关电容电路就等效于一个电阻。需要注意的是并联开关电容电阻模拟电路是一个三端网络，它在两个不接地的端点之间模拟了一个电阻。

例 9.1-1　一个并联开关电容模拟电阻的设计实例

如果图 9.1-1（a）中时钟频率为 100 kHz，求模拟 1 MΩ电阻的电容 C 的值。

解：

100 kHz 的时钟周期是 10 μs，因此利用式（9.1-12）可以得到：

$$C = \frac{T}{R} = \frac{10^{-5}}{10^6} = 10\ \text{pF}$$

从前面的分析中已知，CMOS 工艺中 10 pF 电容需要的面积小于 1 MΩ 电阻需要的面积。

图 9.1-3 给出了另外三个能够模拟电阻的开关电容电路。图 9.1-3(a)是串联开关电容电阻器，图 9.1-3（b）是串并联开关电容电阻器，图9.1-3（c）是双线性开关电容电阻器。注意，串联和双线性开关电容电阻电路是双端电路而不是三端电路。串联开关电容电阻器的等效电阻可以用式（9.1-12）表达。我们将举例说明如何求出图 9.1-3（b）串并联开关电容电阻器的等效电阻。

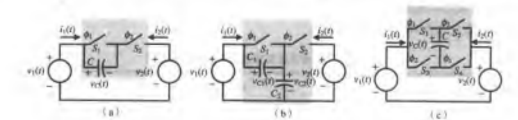


图 9.1-3　模拟电阻的开关电容电路。（a）串联；（b）串并联；（c）双线性

对于图 9.1-3（b）的串并联开关电容电阻器，我们看到在时钟ϕ_1和ϕ_2的半周期或相位中都存在电流 $i_1(t)$。因此，我们将式（9.1-1）改写为：

$$i_1(\text{平均}) = \frac{1}{T}\int_0^T i_1(t)\,dt = \frac{1}{T}\left(\int_0^{T/2} i_1(t)\,dt + \int_{T/2}^{T} i_1(t)\,dt\right) \tag{9.1-13}$$

利用式（9.1-4）的结果，我们可以将 I_1 的平均值表示为：

$$i_1(\text{平均}) = \frac{1}{T}\int_0^{T/2} dq_1(t) + \frac{1}{T}\int_{T/2}^{T} dq_1(t) = \frac{q_1(T/2) - q_1(0)}{T} + \frac{q_1(T) - q_1(T/2)}{T} \tag{9.1-14}$$

因此，i_1(平均)可以用 C_1、C_2、v_{C1}、v_{C2} 表示为：

$$i_1(\text{平均}) = \frac{C_2[v_{C2}(T/2) - v_{C2}(0)]}{T} + \frac{C_1[v_{C1}(T) - v_{C1}(T/2)]}{T} \tag{9.1-15}$$

当 $t = 0$、$T/2$ 和 T 时，电路中电容上的电压值就是在 S_1 和 S_2 断开前最后通过它们的值。因此，图 9.1-3（b）中的开关序列使得 $V_{C2}(0) = V_2$、$V_{C2}(T/2) = V_1$、$V_{C1}(T/2) = 0$、$V_{C1}(T) = V_1 - V_2$。把这些结果代入式（9.1-15）得到：

$$i_1(\text{平均}) = \frac{C_2[V_1 - V_2]}{T} + \frac{C_1[V_1 - V_2 - 0]}{T} = \frac{(C_1 + C_2)(V_1 - V_2)}{T} \tag{9.1-16}$$

使式（9.1-11）和式（9.1-16）相等可以得到希望的关系式为：

$$R = \frac{T}{C_1 + C_2} \tag{9.1-17}$$

例 9.1-2　一个串并联开关电容电路模拟电阻的设计

如果 $C_1 = C_2 = C$，时钟频率为 250 kHz，求能够模拟 1 MΩ电阻的电容 C 的值。

解：

时钟周期是 4 μs，利用式（9.1-17）可以求出 C：

$$2C = \frac{T}{R} = \frac{4 \times 10^{-6}}{10^6} = 4\ \text{pF}$$

因此，$C_1 = C_2 = C = 2$ pF。

表 9.1-1 总结了我们分析过的这四种开关电容电阻模拟电路的等效电阻值。值得注意的是，

每个例子中，模拟电阻值都与电容值的倒数成比例。这是用 CMOS 工艺实现开关电容电路的特点：它的时间常数比连续时间电路精确得多。

表 9.1-1 四种开关电容电阻电路阻值的总结

开关电容电阻模拟电路	电路图	等效电阻
并联	ϕ_1 ϕ_2 $v_1(t)$ C $v_2(t)$	$\frac{T}{C}$
串联	ϕ_1 ϕ_2 $v_1(t)$ C $v_2(t)$	$\frac{T}{C}$
串并联	ϕ_1 ϕ_2 $v_1(t)$ C_1 C_2 $v_2(t)$	$\frac{T}{C_1+C_2}$
双线性	ϕ_1 ϕ_2 C $v_1(t)$ ϕ_2 ϕ_1 $v_2(t)$	$\frac{T}{4C}$

开关电容电路的精度

一个模拟信号处理电路的频率或时间的精度是由电路时间常数的精度决定的。为了说明这一点，我们来分析图 9.1-4 所示的简单一阶低通滤波器。该电路在频域中的电压传递函数是：

$$H(j\omega)=\frac{V_2(j\omega)}{V_1(j\omega)}=\frac{1}{j\omega R_1C_2+1}=\frac{1}{j\omega\tau_1+1} \qquad (9.1\text{-}18)$$

其中：

$$\tau_1=R_1C_2 \qquad (9.1\text{-}19)$$

τ_1 称为电路的时间常数。为了比较连续时间电路和离散时间或开关电容电路的精度，我们定义 τ_1 为 τ_C。τ_C 的精确度可以表示为：

$$\frac{d\tau_c}{\tau_c}=\frac{dR_1}{R_1}+\frac{dC_2}{C_2} \qquad (9.1\text{-}20)$$

我们发现时间常数的精度等于电阻 R_1 和电容 C_2 的精度之和。在标准 CMOS 工艺中，根据元件类型和物理尺寸的不同，τ_C 的精确度在 5%至 20%之间变化。这种精度对于大多数信号处理应用来说都是不够的。

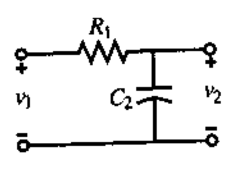


图 9.1-4 连续时间一阶低通电路

现在我们分析用表 9.1-1 中的一个开关电容电路来代替图 9.1-4 中的电阻 R_1 的情况。例如，选择并联开关电容电路模拟 R_1。如果我们定义这种情况的时间常数为 τ_D，那么等效的时间常数可以写为：

$$\tau_D=\left(\frac{T}{C_1}\right)C_2=\left(\frac{1}{f_cC_1}\right)C_2 \qquad (9.1\text{-}21)$$

其中，f_c 是时钟频率。τ_D 的精度可以表示为：

$$\frac{d\tau_D}{\tau_D}=\frac{dC_2}{C_2}-\frac{dC_1}{C_1}-\frac{df_c}{f_c} \qquad (9.1\text{-}22)$$

这是一个非常重要的结果。它说明了离散时间常数的精度τ_D等于C_1、C_2的相对精度和时钟频率的相对精度。假设时钟频率是完全准确的，则在标准CMOS工艺下τ_D的精度可以小到0.1%。这种精确度对于大多数信号处理应用来说是足够的，这也是开关电容电路在标准CMOS工艺中得到广泛运用的一个主要原因。

使用两相非重叠时钟的开关电容电路的分析方法

开关电容电路经常被称为模拟数据采样电路，因为信号在幅度上是连续的而在时间上是离散的。图9.1-5中虚线所示为一任意连续时间电压波形$v(t)$。在时刻$t=0$、$T/2$、T、$3T/2$……该电压被采样并被保持半个周期（$T/2$）。图9.1-5（a）中的数据采样波形$v^*(t)$是一个典型的开关电容波形，这里假设开关电容电路的输入信号已经被采样和保持。图中暗阴影和亮阴影矩形分别对应图9.1-2中的两相非重叠时钟的ϕ_1相位和ϕ_2相位。

图9.1-5很明显地表示出图9.1-5（a）中的波形等于图9.1-5（b）与图9.1-5（c）的叠加。这个关系可以表示为：

$$v^*(t)=v^o(t)+v^e(t) \qquad (9.1\text{-}23)$$

其中，上标o表示奇相位（ϕ_1），上标e表示偶相位（ϕ_2）。对于每个指定的采样点，$t=nT/2$，公式（9.1-23）可以表示为：

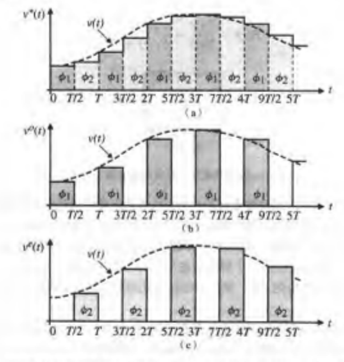


图9.1-5　（a）两相时钟的采样数据电压波形；（b）奇时钟(ϕ_1)的波形；（c）偶时钟(ϕ_2)的波形

$$v^*(nT/2)\Big|_{n=1,2,3,4,\ldots} = v^o\left((n-1)\frac{T}{2}\right)\Big|_{n=1,3,\ldots} = v^e\left((n-1)\frac{T}{2}\right)\Big|_{n=2,4,\ldots} \tag{9.1-24}$$

为了在频域中分析开关电容电路，必须将时域序列转换为等效的 z 域表达式。为了说明这一点，分析序列 $v(nT)$的单边 z 变换，定义为[5]：

$$V(z)=\sum_{n=0}^{\infty} v(nT)z^{-n} = v(0)+v(T)z^{-1}+v(2T)z^{-2}+\cdots \tag{9.1-25}$$

此式对使序列 $V(z)$收敛的所有的 z 均成立。现在，式（9.1-23）在 z 域中可以被表示为：

$$V^*(z)=V^o(z)+V^e(z) \tag{9.1-26}$$

开关电容电路的 z 域表达式允许我们分析它的传递函数。

图 9.1-6 显示了从 z 域角度观察的开关电容电路。输入电压 $V_i(z)$和输出电压 $V_o(z)$都能被分解为奇电压分量和偶电压分量。根据选择的奇电压或偶电压，共有四种可能的传递函数。它们通常被表示为：

$$H^{ij}(z)=\frac{V_o^j(z)}{V_i^i(z)} \tag{9.1-27}$$

其中，i 或 j 可以是 e 或 o。举例来说，$H^{oe}(z)$表示 $V_o^e(z)/V_i^o(z)$。同样，传递函数 $H(z)$可以被定义为：

$$H(z)=\frac{V_o(z)}{V_i(z)}=\frac{V_o^e(z)+V_o^o(z)}{V_i^e(z)+V_i^o(z)} \tag{9.1-28}$$

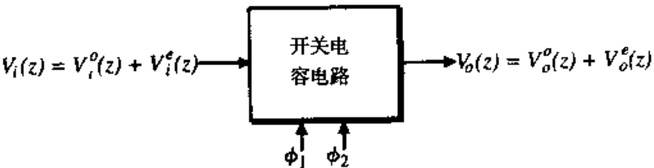


图 9.1-6　z 域中基本开关电容电路的输入输出电压

使用两相非重叠时钟的开关电容电路的分析方法由选定相位周期里的时域电路分析组成。由于电路仅由电容（充电的和未充电的）和电压源组成，因此很容易用简单的代数方法得出这些等式。一旦分析了选定的相位周期，其后的相位周期将在前面的分析产生的初始条件下进行分析。据此，可以用一个时域等式将第二个周期的输出与另一周期的输入电压联系起来。然后，用式（9.1-25）将时域等式转换到 z 域，就可以得到所期望的 z 域传递函数。下面将举例说明这一方法。

将一个时间点与每个时间相位联系起来是很方便的。显然，可以选择时钟相位的开始或结束。这里选择时钟相位的开始，但选择时钟相位的结束是完全等效的。关键是在一个特定的分析中要保持一致。在下面的例子中，时间点被选为相位周期的开始，如图 9.1-7（b）里的单括号所示，它表示某一个相位周期的开始。

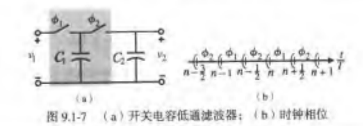


图 9.1-7 （a）开关电容低通滤波器；（b）时钟相位

例 9.1-3 开关电容一阶低通滤波器的分析

使用上述方法求图 9.1-7（a）所示一阶低通开关电容电路的 z 域传递函数。这个电路是图 9.1-4 的改进，其中的电阻 R_1 被替换为表 9.1-1 中的并联开关电容电阻电路。图 9.1-7（b）给出了时钟的定时。这个定时是随意指定的，只用来辅助分析，并不影响结果。

解：

让我们从 $(n-1)T$ 到 $(n-\frac{1}{2})T$ 的时间间隔中的 ϕ_1 相位开始。在这个时间周期内，图 9.1-8（a）等价于图 9.1-7（a）。在此时间周期内，C_1 被充电至 $v_1^o(n-1)T$。而 C_2 仍然保持前一周期的电压 $v_2^e(n-\frac{3}{2})T$。图 9.1-8（b）给出了图 9.1-8（a）的一个有效的简化方法，用一个未充电电容 C_2 串联一个值为 $v_2^e(n-\frac{3}{2})T$ 的电压源代替已充电至 $v_2^e(n-\frac{3}{2})T$ 的 C_2。这个电压源是一个从 $t=(n-\frac{3}{2})T$ 开始的阶跃函数。由于 C_2 未被充电，因此，

$$v_2^o(n-1)T = v_2^e(n-\tfrac{3}{2})T \tag{9.1-29}$$

图 9.1-8 （a）在 $t=(n-1)T$ 到 $t=(n-\frac{1}{2})T$ 时间周期内的图 9.1-7（a）的等效电路；（b）（a）的简化等效电路

现在，让我们分析下一个在 $t=(n-\frac{1}{2})T$ 到 $t=nT$ 之间的时钟周期 ϕ_2。图 9.1-9 显示了这个周期里图 9.1-7（a）的等效电路。可以看出前一个周期充电至 $v_1^o(n-1)T$ 的 C_1 并联连接在 C_2 两端，C_2 的电压由式（9.1-29）给出。因此，图 9.1-9 的输出电压可以表示为两个电压源 $v_1^o(n-1)T$ 和 $v_2^o(n-1)T$ 的叠加，即：

$$v_2^e(n-\tfrac{1}{2})T = \left(\frac{C_1}{C_1+C_2}\right)v_1^o(n-1)T + \left(\frac{C_2}{C_1+C_2}\right)v_2^o(n-1)T \tag{9.1-30}$$

图 9.1-9 在 $t=(n=\frac{1}{2})T$ 到 $t=nT$ 时间周期内的图 9.1-7（a）的等效电路

如果将式（9.1-29）扩展到一个完整的周期 T，它可以被改写为：

$$v_2^o(n)T = v_2^e\left(n-\tfrac{1}{2}\right)T \tag{9.1-31}$$

将式（9.1-30）代入式（9.1-31）就可以得到：

$$v_2^o(nT)=\left(\frac{C_1}{C_1+C_2}\right)v_1^o(n-1)T+\left(\frac{C_2}{C_1+C_2}\right)v_2^o(n-1)T \tag{9.1-32}$$

接下来写出式（9.1-32）的 z 域等效表达式。如果我们把 z 域等效地表示为：

$$v(nT)\leftrightarrow V(z) \tag{9.1-33}$$

那么序列的移位特性可以表示为：

$$v(n-n_0)T\leftrightarrow z^{-n_0T}V(z) \tag{9.1-34}$$

将此特性代入式（9.1-32）可得：

$$V_2^o(z)=\left(\frac{C_1}{C_1+C_2}\right)z^{-1}V_1^o(z)+\left(\frac{C_2}{C_1+C_2}\right)z^{-1}V_2^o(z) \tag{9.1-35}$$

重新整理式（9.1-35）得到：

$$V_2^o(z)=\left[1-\left(\frac{C_2}{C_1+C_2}\right)z^{-1}\right]=\left(\frac{C_1}{C_1+C_2}\right)z^{-1}V_1^o(z) \tag{9.1-36}$$

最后，求解 $V_2^o(z)/V_1^o(z)$ 给出图 9.1-7（a）中的开关电容电路的 z 域传递函数为：

$$H^{oo}(z)=\frac{V_2^o(z)}{V_1^o(z)}=\frac{z^{-1}\left(\dfrac{C_1}{C_1+C_2}\right)}{1-z^{-1}\left(\dfrac{C_2}{C_1+C_2}\right)}=\frac{z^{-1}}{1+\alpha-\alpha z^{-1}} \tag{9.1-37}$$

其中：

$$\alpha=\frac{C_2}{C_1} \tag{9.1-38}$$

上述例子阐述了求开关电容电路的 z 域传递函数的方法。通常要求的是分别对应于奇相位或偶相位的传递函数，即 $H^{oo}(z)$ 或 $H^{ee}(z)$。但是在某些情况下，也会用到 $H^{oe}(z)$ 或 $H^{eo}(z)$。

一个连续时间电路的频率响应可以从它的复频域传递函数 $H(s)$ 中得到，如下式：

$$H(s)=\frac{V_{out}(s)}{V_{in}(s)} \tag{9.1-39}$$

其中 s 是常用的复频率变量，定义为：

$$s=\sigma+j\omega \tag{9.1-40}$$

其中，σ 是复变量 s 的实部，ω 是复变量 s 的虚部。s 域如图 9.1-10（a）所示。连续时间的频域响应在 $\sigma=0$ 或 $s=j\omega$ 时得到。z 域变量同样也是一个复变量，表示为：

$$z=re^{j\omega T} \tag{9.1-41}$$

其中，r 是原点到某点的半径；ω 是角频率，单位是 rad/s；T 是时钟周期，单位为 s。z 域如图9.1-10（b）所示。离散时间频率响应在 $r=1$ 时得到。可以看出连续时间频率响应对应于图9.1-10（a）的纵轴，而离散时间频率响应对应于图9.1-10（b）的单位圆。因此，为了求出离散时间或开关电容电路的频率响应，我们用 $e^{j\omega T}$ 来代替变量 z 并将结果表示为 ω 的函数。下面举例说明这个方法。

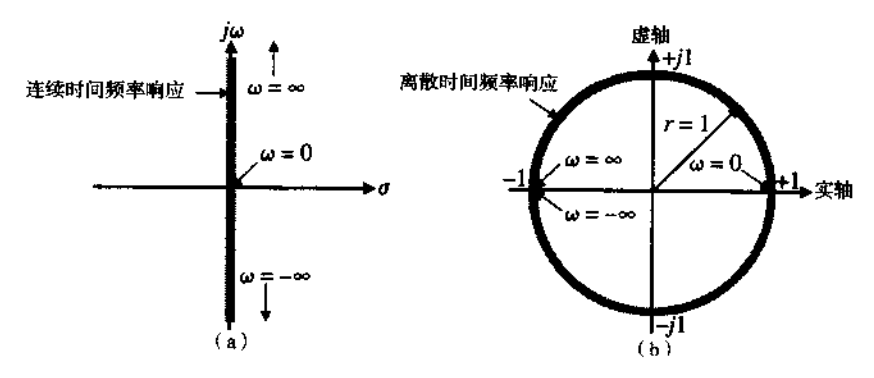


图 9.1-10　（a）连续频域；（b）离散频域

例 9.1-4　例 9.1-3 的频率响应

利用上个例子的结果求图 9.1-7（a）所示开关电容电路的离散时间频率响应的幅度和相位。

解：

首先用$e^{j\omega T}$代替式（9.1-37）中的 z，结果为：

$$H^{oo}(e^{j\omega T}) = \frac{e^{-j\omega T}}{1+\alpha-\alpha e^{-j\omega T}} = \frac{1}{(1+\alpha)e^{j\omega T}-\alpha} = \frac{1}{(1+\alpha)\cos(\omega T)-\alpha+j(1+\alpha)\sin(\omega T)} \quad (9.1\text{-}42)$$

其中，我们利用欧拉公式将 $e^{j\omega T}$ 替换为$\cos(\omega T)+j\sin(\omega T)$。式（9.1-42）的幅度可以通过求分母的实部和虚部的平方和的平方根得到：

$$\begin{aligned}|H^{oo}| &= \frac{1}{\sqrt{(1+\alpha)^2\cos^2(\omega T)-2\alpha(1+\alpha)\cos(\omega T)+\alpha^2+(1+\alpha)^2\sin^2(\omega T)}} \\ &= \frac{1}{\sqrt{(1+\alpha)^2[\cos^2(\omega T)+\sin^2(\omega T)]+\alpha^2-2\alpha(1+\alpha)\cos(\omega T)}} \\ &= \frac{1}{\sqrt{1+2\alpha+2\alpha^2-2\alpha(1+\alpha)\cos(\omega T)}} \\ &= \frac{1}{\sqrt{1+2\alpha(1+\alpha)(1-\cos(\omega T))}}\end{aligned} \quad (9.1\text{-}43)$$

式（9.1-42）的相移可以表示为：

$$\mathrm{Arg}[H^{oo}] = -\tan^{-1}\left[\frac{(1+\alpha)\sin(\omega T)}{(1+\alpha)\cos(\omega T)-\alpha}\right] = -\tan^{-1}\left[\frac{\sin(\omega T)}{\cos(\omega T)-\alpha/(1+\alpha)}\right] \quad (9.1\text{-}44)$$

在求出了开关电容电路的频率响应后，就可以设计电路的参数了。前两个例子中，α（即 C_2/C_1）就是一个电路参数。通常设计时假设开关电容电路的信号频率远小于时钟频率。这被称之为过采样假设，表示为：

$$f_{\mathrm{signal}} \ll f_{\mathrm{clock}} \quad (9.1\text{-}45)$$

如果我们用 f 表示 f_{signal}，可以把不等式（9.1-45）改写为：

$$f_{signal} = f \ll \frac{1}{T} \tag{9.1-46}$$

将式（9.1-46）乘以 2π 得到：

$$2\pi f = \omega \ll \frac{2\pi}{T} \tag{9.1-47}$$

或

$$\omega T \ll 2\pi \tag{9.1-48}$$

如果采用式（9.1-48）的过采样假设，ωT 就远小于 2π，我们可以简化离散时间频率响应并使它等于连续时间频率响应，从而求出电路参数的值。下面举例说明这个方法并且完成图 9.1-7（a）的频率分析。

例 9.1-5 设计开关电容电路并计算它的频率响应

设计一个如图 9.1-7（a）所示的一阶低通开关电容电路，要求–3 dB 频率为 1 kHz。假设时钟频率为 20 kHz（时钟频率应该更高，但是为了分析方便我们取 20 kHz）。画出所得的离散时间电路的频率响应，并与一阶低通连续时间滤波器相比较。

解：

若假设 ωT 小于 1，则 $\cos(\omega T)$ 近似为 1 而 $\sin(\omega T)$ 近似为 ωT。把这些近似值代入式（9.1-42）的幅度响应得到：

$$H^{oo}(e^{j\omega T}) \approx \frac{1}{(1+\alpha) - \alpha + j(1+\alpha)\omega T} = \frac{1}{1 + j(1+\alpha)\omega T} \tag{9.1-49}$$

将它与式（9.1-18）比较，得到如下关系式，这个式子决定了电路参数 α：

$$\omega\tau_1 = (1+\alpha)\omega T \tag{9.1-50}$$

求解 α 得到：

$$\alpha = \frac{\tau_1}{T} - 1 = f_c\tau_1 - 1 = \frac{f_c}{\omega_{-3\,\mathrm{dB}}} - 1 = \frac{\omega_c}{2\pi\omega_{-3\,\mathrm{dB}}} - 1 \tag{9.1-51}$$

用例题中给出的值可以求出 $\alpha = (20/6.28) - 1 = 2.1831$，因此 $C_2 = 2.1831C_1$。

图 9.1-11 给出了连续时间和离散时间一阶低通电路的幅度和相位响应。我们注意到对于较小的 ω，连续时间的 $H(j\omega)$ 和离散时间的 $H^{oo}e^{j\omega T}$，其频率响应几乎是一样的。但是当 ω 增大时，离散时间频率响应就偏离了连续时间频率响应。图 9.1-11（a）所示的离散时间频率幅度响应的一个重要特性是：在时钟频率及其每个谐波分量上是重复的。因此，我们注意到，在 $\omega = 0.5\omega_c$ 时，离散时间幅度响应达到最小值然后又开始增加，并在 ω_c 时回到 $\omega = 0$ 时的值。因为 $\omega_1 (= 2000\pi)$ 并不比 ω_c 小多少，离散时间响应即使在–3 dB 频率处就已经偏离了。这种匹配关系可以简单地通过选取更高的时钟频率（比如 100 kHz）来得到改善。当频率小于 $0.1\omega_c$ 时两个电路的相位响应能够很好匹配。超过这个频率，离散时间相位响应远大于连续时间相位响应。ω_c 处的离散时间相位响应与 $\omega = 0$ 处相同，但是相位其实已经偏移了–360°或者 -2π。

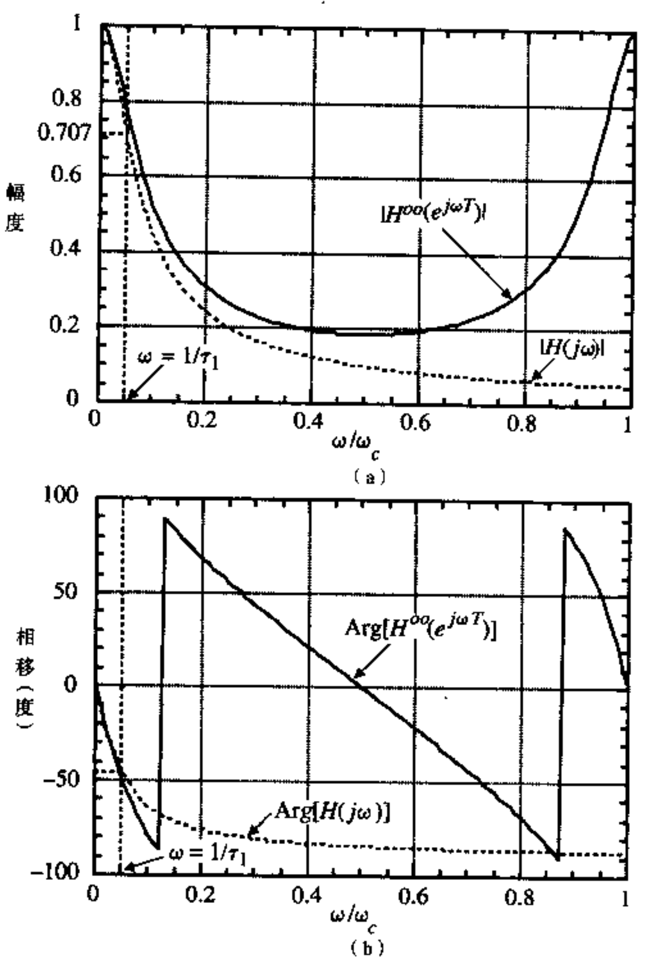


图 9.1-11　图 9.1-4 的连续时间低通滤波器和图 9.1-7（a）的离散时间低通滤波器的频率响应。（a）幅频响应；（b）相频响应

通过例 9.1-3、例 9.1-4 和例 9.1-5 对图 9.1-7（a）的分析说明了怎样分析一个普通离散时间电路。如果离散时间电路变得十分复杂，这种方法就会变得冗长且易出错。幸运的是，大多数开关电容电路都与运算放大器紧密相联，而运算放大器可以降低电路的复杂程度使其能够像上述例子里的电路一样简单。在本章末尾这个问题将会引出其他的分析。

9.2　开关电容放大器

本节介绍开关电容在放大器中的应用。这类电路使用带负反馈的运算放大器获得正比于电容比值的增益。我们从使用电阻反馈的放大器开始介绍。这些放大器将作为开关电容放大器的基础。将分析运算放大器开环增益和单位增益带宽对这些放大器的影响。

连续时间放大器

图 9.2-1 示出了熟悉的使用电阻和运算放大器的同相和反相放大器。很容易求出两种电路的理想增益[6]。对于图 9.2-1（a）的同相放大器，理想增益为：

$$\frac{v_{OUT}}{v_{IN}} = \frac{R_1 + R_2}{R_1} \tag{9.2-1}$$

对于图 9.2-1（b）中的反相放大器，理想增益为：

$$\frac{v_{OUT}}{v_{IN}} = -\frac{R_2}{R_1} \tag{9.2-2}$$

式（9.2-1）和式（9.2-2）的结果是假设图 9.2-1 中运算放大器的差模增益近似为无穷大。

将图 9.2-1 中的运算放大器用图 9.2-2 的压控电压源模型来代替，可以看到有限增益和有限单位增益带宽的影响。电压增益 $A_{vd}(s)$是复频率变量 s 的函数，表示为：

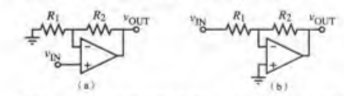


图 9.2-1 （a）连续时间同相放大器；（b）连续时间反相放大器

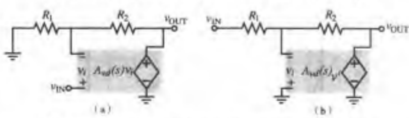


图 9.2-2 有限增益和有限单位增益带宽的电压放大器模型。（a）同相；（b）反相

$$A_{vd}(s) = \frac{A_{vd}(0)\,\omega_a}{s + \omega_a} = \frac{GB}{s + \omega_a} \approx \frac{GB}{s}, \quad \omega \gg \omega_a \tag{9.2-3}$$

其中，A_{vd} (0)是低频差模电压增益，GB 是单位增益带宽，ω_a 是运算放大器的−3 dB 频率。令式（9.2-3）中的 s 为 0，可以分析 A_{vd} (0)的影响。当 A_{vd} (s)等于 A_{vd} (0)时，求解图 9.2-2 所示运算放大器的电压增益给出如下结果。对于同相放大器，可得：

$$\frac{V_{out}}{V_{in}} = \frac{A_{vd}(0)}{1 + \dfrac{A_{vd}(0)R_1}{R_1 + R_2}} = \left(\frac{R_1 + R_2}{R_1}\right)\frac{\dfrac{A_{vd}(0)R_1}{R_1 + R_2}}{1 + \dfrac{A_{vd}(0)R_1}{R_1 + R_2}} = \left(\frac{R_1 + R_2}{R_1}\right)\frac{|LG|}{1 + |LG|} \tag{9.2-4}$$

其中反馈回路的增益幅度 $|LG|$ 为：

$$|LG| = \frac{A_{vd}(0)R_1}{R_1 + R_2} \tag{9.2-5}$$

对于反相放大器，结果是：

$$\frac{V_{out}}{V_{in}} = \frac{\dfrac{-R_2A_{vd}(0)}{R_1 + R_2}}{1 + \dfrac{A_{vd}(0)R_1}{R_1 + R_2}} = -\left(\frac{R_2}{R_1}\right)\frac{\dfrac{R_1A_{vd}(0)}{R_1 + R_2}}{1 + \dfrac{A_{vd}(0)R_1}{R_1 + R_2}} = -\left(\frac{R_2}{R_1}\right)\frac{|LG|}{1 + |LG|} \tag{9.2-6}$$

注意，当 $A_{vd}(0)$和 $|LG|$ 变大时，式（9.2-4）和式（9.2-6）分别近似为式（9.2-1）和式（9.2-2）。

例 9.2-1　由有限电压增益引起的电压放大器精度限制

假设图 9.2-1 的电压放大器的电压增益被设计为+10 和−10。如果 $A_{vd}(0)$为 1000，求每个放大器的实际电压增益。

解：

对于同相放大器，R_2/R_1 为 9。因此，由式（9.2-5）得到反馈环路增益为 $|LG| = 1000/(1+9) = 100$。由式（9.2-4），实际增益为 $10(100/101) = 9.901$ 而不是 10。对于反相放大器，R_2/R_1 为 10。在这种情况下，反馈环路增益为 $|LG| = 1000/(1+10) = 90.909$。把这个值代入式（9.2-6）得到实际增益为−9.891 而不是−10。

式（9.2-3）中有限的 $A_{vd}(0)$将会影响放大器的低频和直流增益的精度。当频率增加时，式（9.2-3）中有限的 GB 将影响放大器的频率响应。在重复以上分析前，首先假设ω 远大于ω_a使得我们可以用式（9.2-3）给出的 $A_{vd}(s)$的近似表达式，即$A_{vd}(s) \approx GB/s$。把式（9.2-4）和式（9.2-6）中的 $A_{vd}(0)$用 GB/s 代替后，得到了以下同相放大器的表达式：

$$\frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \left(\frac{R_1+R_2}{R_1}\right)\frac{\dfrac{GB\cdot R_1}{R_1+R_2}}{s+\dfrac{GB\cdot R_1}{R_1+R_2}} = \left(\frac{R_1+R_2}{R_1}\right)\frac{\omega_H}{s+\omega_H} \tag{9.2-7}$$

其中，ω_H是上限−3 dB 频率，给出如下：

$$\omega_H = \frac{GB\cdot R_1}{R_1+R_2} \tag{9.2-8}$$

反相放大器的等效表达式如下式：

$$\frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \left(-\frac{R_2}{R_1}\right)\frac{\dfrac{GB\cdot R_1}{R_1+R_2}}{s+\dfrac{GB\cdot R_1}{R_1+R_2}} = \left(-\frac{R_2}{R_1}\right)\frac{\omega_H}{s+\omega_H} \tag{9.2-9}$$

例 9.2-2　由有限单位增益带宽引起的电压放大器的−3 dB 频率

假设图9.2-1 中的电压放大器的电压增益设计为+1 和−1。如果图9.2-1 中的运算放大器的单位增益带宽 GB 为 2π Mrad/s，求每个放大器的上限−3 dB 频率。

解：

在这两种情况下，由式（9.2-8）可以得到上限−3 dB 频率。但是，对于理想增益为+1 的同相放大器，R_2/R_1的值为 0。因此，上限−3 dB 频率ω_H等于 GB 或 2π Mrad/s (MHz)。对于理想增益为−1 的反相放大器来说，R_2/R_1 的值为 1。因此，ω_H等于 $GB/2$ 或π Mrad/s (500 kHz)。

电荷放大器

在我们分析开关电容放大器之前，首先来分析一种被称做电荷放大器的放大器。电荷放大器就是用电容取代了图 9.2-1 中的电阻，如图 9.2-3 所示。如果用电容的倒数取代电阻，则上面归纳的所有关系式均成立。例如，式（9.2-4）、式（9.2-5）和式（9.2-6）给出的低频差模电压增益 $A_{vd}(0)$的影响分别变成了：

$$\frac{V_{out}}{V_{in}} = \left(\frac{C_1 + C_2}{C_2}\right)\frac{|LG|}{1 + |LG|} \tag{9.2-10}$$

$$|LG| = \frac{A_{vd}(0)C_2}{C_1 + C_2} \tag{9.2-11}$$

$$\frac{V_{out}}{V_{in}} = -\left(\frac{C_1}{C_2}\right)\frac{|LG|}{1 + |LG|} \tag{9.2-12}$$

式（9.2-7）、式（9.2-8）和式（9.2-9）给出的单位增益带宽 GB 的影响分别变成了：

$$\frac{V_{out}(s)}{V_{in}(s)} = \left(\frac{C_1 + C_2}{C_2}\right)\frac{\omega_H}{s + \omega_H} \tag{9.2-13}$$

$$\omega_H = \frac{GB \cdot C_2}{C_1 + C_2} \tag{9.2-14}$$

$$\frac{V_{out}(s)}{V_{in}(s)} = \left(-\frac{C_1}{C_2}\right)\frac{\omega_H}{s + \omega_H} \tag{9.2-15}$$

图 9.2-3 中的电荷放大器和图 9.2-1 中的电压放大器的最大区别在时域函数上。如果电荷放大器的输入保持恒定，那么最终漏电流将会引起电容上的电压发生变化。这将导致运算放大器的输出电压等于它的正或负极限值。据此，运算放大器的反馈回路将不再有效且以上等式也不再成立，因此电荷放大器必须满足的一个条件是电容上的电压必须足够频繁地重新确定使得漏电流不产生影响。这也导致在开关电容电路的每个时钟周期中电压至少确定一次。因此，电荷放大器在开关电容电路中可以起到电压放大器的作用。

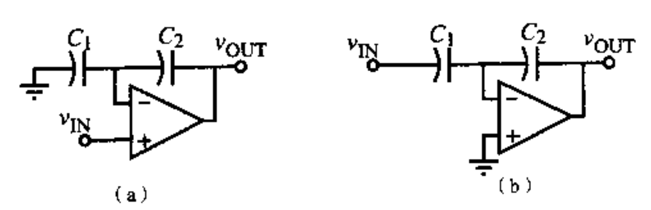


图 9.2-3 （a）同相电荷放大器；（b）反相电荷放大器

开关电容放大器

初一想，上面提到的电荷放大器似乎可以作为开关电容电路的放大器。虽然这是正确的，我们仍然需要分析一下使用运算放大器、开关和电容的开关电容放大器。首先是因为开关电容放大器和电荷放大器在性能上的区别。其次，开关电容放大器是引出开关电容积分器的必经步骤，而开关电容积分器是本章的一个重要内容。这里我们只分析图9.2-1（b）所示开关电容反相电压放大器的实现。

图 9.2-4 显示了反相开关电容放大器的演变。图 9.2-1（b）中的反相电压放大器中的电阻被图 9.1-1 或表 9.1-1 中的并联开关电容模拟电阻取代，如图 9.2-4（a）所示。遗憾的是，这样一来，在任何一个时钟相位中运算放大器上都没有反馈。这是不希望得到的，并且它会引起运算放大器的输出电压在ϕ_2相位周期中不确定。如果我们选择双线性开关电容模拟电阻代替 R_2，这个问题就可以解决。但是双线性开关电容模拟电阻需要增加 4 个开关。于是我们对串联开关电容模拟电阻

做一些很小的改动，如图 9.2-4（b）所示。这里，我们使串联开关电容模拟电阻的ϕ_2开关在整个时钟周期内都关闭，即不需要这个开关。

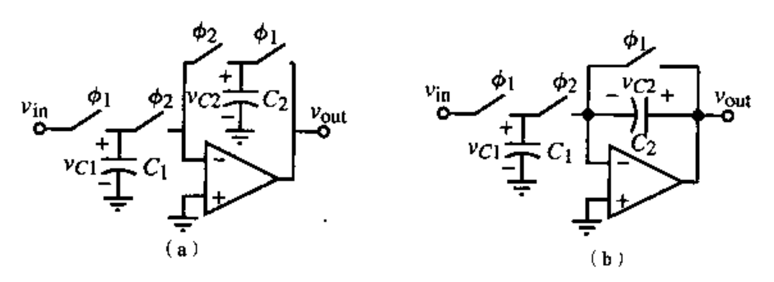


图 9.2-4 （a）采用并联模拟电阻的开关电容电压放大器；（b）为了使放大器更实用而采取的对（a）的改进

图9.2-4（b）中的开关电容电压放大器能够使用上一节介绍的方法进行分析。运算放大器使得分析变得更简单，因为它将浮动节点的数量减少至 0。让我们用图9.1-7（b）中的时钟相位来进行分析。从$(n-1)T$ 和$(n-\frac{1}{2})T$之间的ϕ_1相位周期开始。在这个周期里，C_1被充电为$v_{in}^o(n-1)T$，而C_2被放电。现在，分析下一个从$t=(n-\frac{1}{2})T$到$t=nT$的时钟周期ϕ_2。图 9.2-4（b）在ϕ_2开关闭合时刻的等效电路如图 9.2-5（a）所示（为了简化，这个时刻被假设为$t=0$）。这个电路更有用的形式示于图 9.2-5（b）中。在图 9.2-5（b）中，一个值为$v_{in}^o(n-1)T$的阶跃电压源被用于反相电荷放大器中，用来在ϕ_2相位周期内产生下面的输出电压：

$$v_{out}^e\left(n-\tfrac{1}{2}\right)T=-\left(\frac{C_1}{C_2}\right)v_{in}^o(n-1)T \tag{9.2-16}$$

将式（9.2-16）转换为z域表达式得到：

$$z^{-1/2}V_{out}^e(z)=-\left(\frac{C_1}{C_2}\right)z^{-1}V_{in}^o(z) \tag{9.2-17}$$

再将式（9.2-17）乘以$z^{1/2}$得到：

$$V_{out}^e(z)=-\left(\frac{C_1}{C_2}\right)z^{-1/2}V_{in}^o(z) \tag{9.2-18}$$

求解这个偶-奇传递函数得：

$$H^{oe}(z)=\frac{V_{out}^e(z)}{V_{in}^o(z)}=-\left(\frac{C_1}{C_2}\right)z^{-1/2} \tag{9.2-19}$$

如果我们假设所加的输入信号$v_{in}^o(n-1)T$在前一个ϕ_2相位周期[从$t=(n-\frac{3}{2})T$到$t=(n-1]$内保持不变，则：

$$v_{in}^o(n-1)T=v_{in}^e\left(n-\tfrac{3}{2}\right)T \tag{9.2-20}$$

从其中可得：

$$V_{in}^o(z)=z^{-1/2}V_{in}^e(z) \tag{9.2-21}$$

把式（9.2-21）代入式（9.2-18）得到：

$$V_{out}^{e}(z)=-\left(\frac{C_1}{C_2}\right)z^{-1}V_{in}^{e}(z) \tag{9.2-22}$$

或者

$$H^{ee}(z)=\frac{V_{out}^{e}(z)}{V_{in}^{e}(z)}=-\left(\frac{C_1}{C_2}\right)z^{-1} \tag{9.2-23}$$

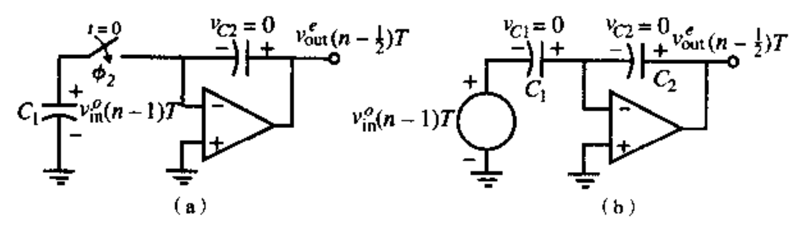


图9.2-5 （a）开关ϕ_2闭合时图9.2-4（b）的等效电路；（b）（a）的简化等效电路

如前所述，在频域中比较图9.2-1（b）的连续时间反相放大器和图9.2-4（b）的开关电容等效电路是非常有用的。首先假设运算放大器是理想的。图9.2-1（b）的频响幅度为R_2/R_1，相移为±180°。幅度和相移都是与频率无关的。把式（9.2-19）或式（9.2-23）中的z换成$e^{j\omega T}$可以得到图9.2-4（b）的频率响应。对应于式（9.2-19）的结果是：

$$H^{oe}(e^{j\omega T})=\frac{V_{out}^{e}(e^{j\omega T})}{V_{in}^{o}(e^{j\omega T})}=-\left(\frac{C_1}{C_2}\right)e^{-j\omega T/2} \tag{9.2-24}$$

对应于式（9.2-23）的结果是：

$$H^{ee}(e^{j\omega T})=\frac{V_{out}^{e}(e^{j\omega T})}{V_{in}^{e}(e^{j\omega T})}=-\left(\frac{C_1}{C_2}\right)e^{-j\omega T} \tag{9.2-25}$$

如果C_1/C_2等于R_2/R_1，那么图9.2-4（b）的幅度响应就与图9.2-1（b）的相同。但是式（9.2-24）的相移是：

$$\mathrm{Arg}[H^{oe}(e^{j\omega T})]=\pm180°-\omega T/2 \tag{9.2-26}$$

式（9.2-25）的相移是：

$$\mathrm{Arg}[H^{ee}(e^{j\omega T})]=\pm180°-\omega T \tag{9.2-27}$$

可以看出开关电容反相放大器的相移在开始时与连续时间反相放大器相同，但在±180°相移上增加了一个线性相位延迟。式（9.2-27）附加的负相移是式（9.2-26）的两倍。读者可以证明，当信号频率是时钟频率的一半时，式（9.2-26）的附加负相移是90°，而式（9.2-27）的是180°。在大多数情况中，这个附加的负相移并不重要。但是如果开关电容反相放大器位于一个反馈回路中，这个附加的相移将成为稳定性的一个关键因素。

实际上，图9.2-4（b）的开关电容反相放大器受到图2.4-3所示的寄生电容的影响。底面寄生电容被短路，但是顶面寄生电容直接加在了C_1上。可以看出C_2的寄生电容对其没有影响。这是因为其中的一个寄生电容（即底面）与运算放大器的输入端并联，那是虚地，电压值恒为0。其他的寄生电容（即顶面）与输出端并联，仅仅作为运算放大器的一个容性负载。

开关电容电路经过改进后对寄生电容已经不敏感了[7]。图9.2-6显示了正的和负的开关电容跨阻等效电路，它们与寄生电容无关。这些跨阻都是一端加上电压另一端产生电流的两端口网络，

在这种情况下输出端是短路的。在我们的应用中，短路端口是连接到运算放大器差分输入端的端口，即虚地。

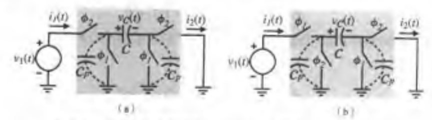


图 9.2-6　开关电容跨阻等效电路。（a）正跨阻；（b）负跨阻

我们发现，如果图 9.2-6 的开关电容电路被用做跨阻，那么 C 的寄生电容将不影响电路。当图 9.2-6（a）中的ϕ_1开关关闭时，寄生电容 C_p 被短路而不能被充电。在ϕ_2周期内，寄生电容或者被并联在 v_1 两端，或者被短路。即使左边的寄生电容被充电至 v_1，这些电荷也将在下个相位周期ϕ_1内被短路。

图 9.2-6（b）给出了一个等效于 T/C 的负跨阻。图 9.2-6 中的跨阻定义如下：

$$R_T = \frac{v_1(t)}{i_2(t)} = \frac{v_1}{i_2(\text{平均})} \tag{9.2-28}$$

在式（9.2-28）中，我们像以前那样假设 $v_1(t)$在时钟频率的一个周期内近似为常数。使用 9.1 节介绍的方法，我们可以写出：

$$i_2(\text{平均}) = \frac{1}{T}\int_{T/2}^{T} i_2(t)\,dt = \frac{q_2(T) - q_2(T/2)}{T} = \frac{Cv_c(T) - Cv_c(T/2)}{T} = \frac{-Cv_1}{T} \tag{9.2-29}$$

将式（9.2-28）代入式（9.2-29）可得 $R_T = -T/C$。同样，图 9.2-6（a）的跨阻等于 T/C。这些结果只在 $f_c >> f$ 时有效。

把图9.2-6 中的开关电容跨阻用在图9.2-4（b）的开关电容反相放大器中，就能够得到与电容器的寄生电容无关的同相和反相开关电容电压放大器。所得电路示于图 9.2-7。值得注意的是，图9.2-7（a）和图9.2-7（b）的区别仅在于最左端那组开关的相位上。我们仍然使用图9.2-4（b）的反馈电路，因为图9.2-6 的跨阻电路将会导致反馈回路在一个时钟相位内开路。虽然图9.2-6 的电路实现了期望的开关电容电压放大器，但是由于它们与前述图 9.2-4（b）的电路略有不同，我们必须更仔细地分析它们的性能。

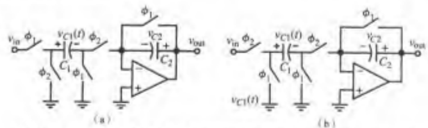


图 9.2-7　对寄生电容不敏感的开关电容电压放大器。（a）同相；（b）反相

首先我们来分析图 9.2-7（a）的同相电压放大器。使用图 9.1-7（b）的定相，我们从 $t = (n-1)T$ 到 $t = (n-\frac{1}{2})T$ 之间的相位ϕ_1开始。每个电容上的电压可以写为：

$$v_{C1}^{o}(n-1)T = v_{in}^{o}(n-1)T \quad (9.2\text{-}30)$$

和

$$v_{C2}^{o}(n-1)T = v_{out}^{o}(n-1)T = 0 \quad (9.2\text{-}31)$$

在ϕ_2相位，这个电路等效于加上负输入电压$v_{in}^{o}(n-1)T$的图 9.2-3（b）的反相电荷放大器。其输出电压可以写为：

$$v_{out}^{e}\left(n-\tfrac{1}{2}\right)T = \left(\frac{C_1}{C_2}\right) v_{in}^{o}(n-1)T \quad (9.2\text{-}32)$$

式（9.2-32）的z域表达式为：

$$V_{out}^{e}(z) = \left(\frac{C_1}{C_2}\right) z^{-1/2} V_{in}^{o}(z) \quad (9.2\text{-}33)$$

该式除了符号不同外与式（9.2-18）等价。如果施加的输入信号$v_{in}^{o}(n-1)T$在前一个ϕ_2周期保持不变，则式（9.2-33）可以化为：

$$V_{out}^{e}(z) = \left(\frac{C_1}{C_2}\right) z^{-1} V_{in}^{e}(z) \quad (9.2\text{-}34)$$

该式与式（9.2-22）除了符号外也相互等效。对图 9.2-4（b）与图 9.2-7（a）进行比较，可以发现幅度是相同的。由于负号之故，式（9.2-33）和式（9.2-34）的相位仅为$-\omega T/2$和$-\omega T$，而非$\pm180°$。

接着我们来分析一下图 9.2-7（b）的反相电压放大器。我们注意到在ϕ_1相位内，C_1和C_2都在放电。结果，在ϕ_1和ϕ_2相位周期内都没有电荷传递。在ϕ_2周期内，图 9.2-7（b）只是一个类似于图 9.2-3（b）的反相电荷放大器。这个相位周期内的输出电压可以写为：

$$v_{out}^{e}\left(n-\tfrac{1}{2}\right)T = -\left(\frac{C_1}{C_2}\right) v_{in}^{e}\left(n-\tfrac{1}{2}\right)T \quad (9.2\text{-}35)$$

注意，输出电压相对于输入电压没有延迟。z域的等效表达式为：

$$V_{out}^{e}(z) = -\left(\frac{C_1}{C_2}\right) V_{in}^{e}(z) \quad (9.2\text{-}36)$$

因此，在C_1连接在运算放大器的输入端和反相输入端之间的相位期间时，对寄生效应不敏感的反相电压放大器等效于一个反相电荷放大器。与式（9.2-19）或式（9.2-23）所描述的图 9.2-4（b）相比，图 9.2-7（b）具有相同的幅度响应但没有附加的相位延迟。

例 9.2-3　开关电容加法放大器的设计

利用图 9.2-7 设计一个开关电容加法放大器，在ϕ_2相位周期内输出电压等于$10v_1-5v_2$，其中v_1和v_2在ϕ_2-ϕ_1周期内保持恒定，并在下一个周期被重新采样。

解：

因为图9.2-7 中运算放大器的反相输入端是一个虚地，不止一个电容能够连接到那一点向反馈电容传输电荷。因此，图9.2-8显示了一种可能的电路结构，其中正的和负的跨阻电路都被连接到同一个运算放大器的反相输入端。

单独分析每个输入，可以写出：

$$v_{o1}^{e}\left(n-\tfrac{1}{2}\right)T = 10v_1^{o}(n-1)T \quad (9.2\text{-}37)$$

和

$$v_{o2}^{e}(n-\tfrac{1}{2})T = -5v_{2}^{e}(n-\tfrac{1}{2})T \tag{9.2-38}$$

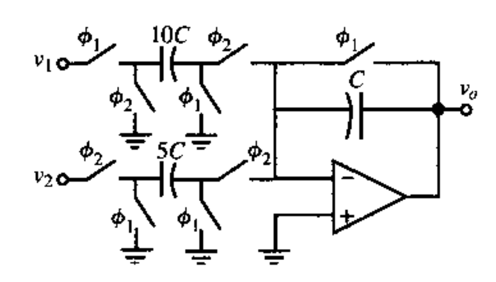


图 9.2-8　开关电容电压求和放大器

因为$v_1^o(n-1)T = v_1^e(n-\tfrac{3}{2})T$，式（9.2-37）可以改写为：

$$v_{o1}^{e}(n-\tfrac{1}{2})T = 10v_{1}^{e}(n-\tfrac{3}{2})T \tag{9.2-39}$$

联立式（9.2-38）和式（9.2-39）可得：

$$v_{o}^{e}(n-\tfrac{1}{2})T = v_{o1}^{e}(n-\tfrac{1}{2})T + v_{o2}^{e}(n-\tfrac{1}{2})T = 10v_{1}^{e}(n-\tfrac{3}{2})T - 5v_{2}^{e}(n-\tfrac{1}{2})T \tag{9.2-40}$$

或者

$$V_o^e(z) = 10z^{-1}V_1^e(z) - 5V_2^e(z) \tag{9.2-41}$$

式（9.2-40）和式（9.2-41）证明图 9.2-8 满足例题的要求。

开关电容电路的非理想特性

在 4.1 节中，我们注意到开关电容电路的 MOSFET 开关可能引起馈通，从而产生直流偏移。这个偏移有两部分，一个与输入相关的部分和一个与输入无关的部分。下面我们将举例说明时钟馈通的影响，这需要深入理解 4.1 节中介绍的时钟馈通模型。

例 9.2-4　同相开关电容放大器中时钟馈通的影响

图 9.2-9 为一个同相开关电容电压放大器。开关叠加电容 C_{OL}设为 100 fF 且 $C_1 = C_2 = 1$pF。如果开关尺寸 $W = 1$ μm，$L = 1$ μm，非重叠时钟的幅度为 0～5 V，上升和下降速率为±0.2 × 10⁹ V/s。计算当输入信号为 1 V 时实际的输出电压值。

解：

我们把这个例子分为三个时序。第一个是ϕ_1关闭（ϕ_{1off}），第二个是ϕ_2开启（ϕ_{2on}），第三个是ϕ_2关闭（ϕ_{2off}）。

ϕ_1关闭

对于 M1，V_{HT}可以表示为［式（4.1-5）］：

$$V_{HT} = 5\text{ V} - 1\text{ V} - 0.7\text{ V} = 3.3\text{ V}$$

因此，$\beta V_{HT}^2/2C_L$为：

$$\frac{\beta V_{HT}^2}{2C_L} = \frac{110\times10^{-6}(3.3)^2}{2\times10^{-12}} = 0.599\times10^9\text{ V/s}$$

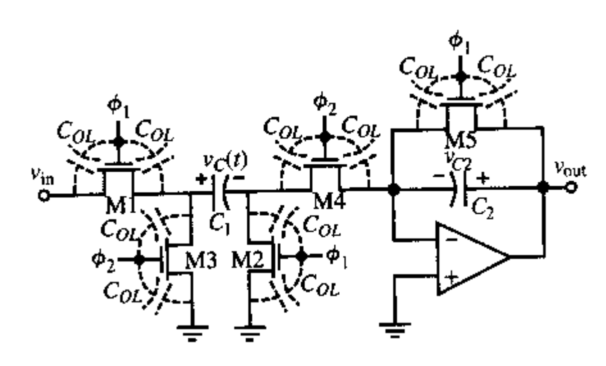


图 9.2-9 带有 MOSFET 开关叠加电容 C_{OL} 的同相开关电容电压放大器

该近似对应于慢过渡模式。利用式（4.1-6）可得：

$$V_{error}=\left(\frac{220\times10^{-18}+(0.5)(24.7)(10^{-16})}{10^{-12}}\right)\sqrt{\frac{\pi\cdot2\times10^8\cdot10^{-12}}{2\cdot110\times10^{-6}}}-\frac{220\times10^{-18}}{10^{-12}}(1+1.4+0)$$

$$=(0.001455)(1.690)-220\times10^{-6}(2.4)=2.459\text{ mV}-0.528\text{ mV}=1.931\text{ mV}$$

对于 M2，其 V_{HT} 为［式（4.1-5）］：

$$V_{HT}=5\text{ V}-0\text{ V}-0.7\text{ V}=4.3\text{ V}$$

$\beta V_{HT}^2/2C_L$ 的值为：

$$\frac{\beta V_{HT}^2}{2C_L}=\frac{110\times10^{-6}(4.3)^2}{2\times10^{-12}}=1.017\times10^9\text{ V/s}$$

因此，M2 也处于慢过渡模式。利用式（4.1-6）得到误差电压为：

$$V_{error}=\left(\frac{220\times10^{-18}+(0.5)(24.7)(10^{-16})}{10^{-12}}\right)\sqrt{\frac{\pi\cdot2\times10^8\cdot10^{-12}}{2\cdot110\times10^{-6}}}-\frac{220\times10^{-18}}{10^{-12}}(1+1.4+0)$$

$$=(0.001455)(1.690)-220\times10^{-6}(1.4)=2.459\text{ mV}-0.308\text{ mV}=2.151\text{ mV}$$

因此，在 ϕ_1 相位结束时 C_1 电容上的净误差为：

$$v_{C1}(\phi_{1off})=1.0-0.00193+0.00215=1.00022\text{ V}$$

可以看到，$v_{in}\neq0$ V 的影响是导致从 M1 到 M2 的馈通没有被完全抵消。

我们还必须考虑 M5 关闭的影响。为了利用 4.1 节中 M5 的关系，我们认为 4.1 节的馈通模型对于 M5 通过虚地点的馈通是有效的。在此假设基础上，M5 将会有和 M2 相同的馈通，即 2.15 mV。这个误差电压在 ϕ_1 相位结束时被保留在电容 C_2 上，即：

$$v_{C2}(\phi_{1off})=0.00215\text{ V}$$

ϕ_2 开启

在 ϕ_2 开启阶段，M3 和 M4 会与 C_1 和 C_2 馈通。但是，很容易发现 M3 和 M4 在 C_1 上的影响可以相互抵消。因此，我们只要考虑 M4 的馈通和它在 C_2 上的影响。有趣的是，M4 在 C_2 上的馈通恰好等于反相的先前 M5 的馈通。因此在 ϕ_2 结束后 C_2 上的电压稳定为：

$$v_{C2}(\phi_{2on})=0.00215\text{ V}-0.00215\text{ V}+\frac{C_1}{C_2}v_{C1}(\phi_{1off})=1.00022\text{ V}$$

ϕ_2关闭

最后，当开关M4关闭时，在C_2上会有馈通。因此M4一端为0 V，馈通与前相同，即等于2.15 mV。最终C_2两端的电压（即输出电压v_{out}）为：

$$v_{out}(\phi_{2off}) = v_{C2}(\phi_{2off}) = 1.00022\text{ V} + 0.00215\text{ V} = 1.0024\text{ V}$$

值得注意的是最后的馈通影响最大。

我们要分析的开关电容电压放大器的另一个非理想特性是运算放大器的有限差模增益$A_{vd}(0)$。$A_{vd}(0)$对图9.2-7（a）中同相电压放大器的影响可用图9.2-10的ϕ_2相位期间的放大器模型来描述，用于ϕ_2相位周期内的式（9.2-30）和式（9.2-31）仍然有效。因为$A_{vd}(0)$不是无穷大，可以在运算放大器的输入端串联一电压来模拟这一效果。这个电压源的值为$v_{out}/A_{vd}(0)$，其中v_{out}为运算放大器的输出电压。如图9.2-10所示，这一结果表明运算放大器反相输入端的虚地不再存在。因此，ϕ_2相位周期内的输出电压可写为：

$$v_{out}^{e}\left(n-\tfrac{1}{2}\right)T = \left(\frac{C_1}{C_2}\right)v_{in}^{o}(n-1)T + \left(\frac{C_1+C_2}{C_2}\right)\frac{v_{out}^{e}\left(n-\frac{1}{2}\right)T}{A_{vd}(0)} \tag{9.2-42}$$

注意，如果$A_{vd}(0)$变为无限大，式（9.2-42）将简化为式（9.2-32）。将式（9.2-42）转换到z域，解出传输函数$H^{oe}(z)$为：

$$H^{oe}(z) = \frac{V_{out}^{e}(z)}{V_{in}^{o}(z)} = \left(\frac{C_1}{C_2}\right)z^{-1/2}\left[\frac{1}{1-\dfrac{C_1+C_2}{A_{vd}(0)C_2}}\right] \tag{9.2-43}$$

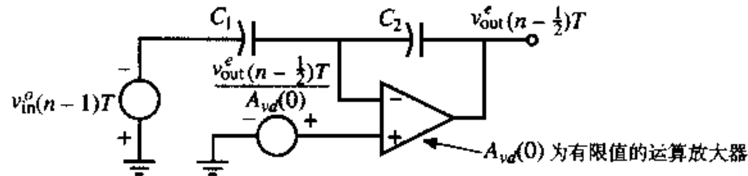


图9.2-10　在ϕ_2相位时图9.2-7（a）的电路模型

式（9.2-43）只表明了有限的$A_{vd}(0)$对幅度响应的影响。相位响应没有受到影响。例如，如果$A_{vd}(0)$等于1000 V/V，那么例9.2-4中的括号项，即误差项[式（9.2-43）]的值为1.002而不是理想值1.0。这个误差是增益误差。这会影响开关电容电路的信号处理功能。

最后，让我们来分析一下运算放大器有限的单位增益带宽GB和摆率的影响。GB对开关电容电路影响的定量分析比较复杂，最好用仿真方法实现。通常，如果时钟周期T小于$10/GB$，那么GB就会影响性能。这种影响表现在不完整的电荷传输上，导致幅度和相位的误差。运算放大器的GB要足够大，使瞬态响应（也称为建立时间）能够在下个相位开始前完成。要了解更详细的信息，可参见参考文献[7]。

除了有限的GB，运算放大器的另一个影响开关电容电路性能的非理想特性是转换速率，即摆率。摆率是运算放大器输出电压上升或下降的最大速率。如果运算放大器的输出电压变化很大，如在图9.2-9中反馈开关（M5）关闭时，摆率需要一段时间使输出电压改变。例如，假设图9.2-9的输出电压是5 V，运算放大器的摆率为1 V/μs，则输出电压变化5 V需要5 μs。这意味着至少需要10 μs的时间，对应的最大时钟频率为100 kHz。

9.3 开关电容积分器

开关电容积分器是模拟信号处理电路中的关键单元。所有的滤波器设计都可以简化为同相和反相的积分器。在这节中，我们首先分析连续时间积分器以便理解开关电容积分器所需要的性能。本节其他部分将讨论开关电容积分器，并举例说明其频率响应特性。同时给出运算放大器和开关的非理想特性对性能的影响。在 9.5 节我们将简要介绍衰减的开关电容积分器或一阶低通电路。

连续时间积分器

图9.3-1中给出了采用运算放大器实现的反相和同相连续时间积分器。虽然可以用一个运算放大器来实现同相积分器，但我们使用图9.3-1（a）是因为这是同相积分器最简单的形式之一。本节我们将在频域里描述积分器的特征，但是也同样可以在时域中进行。图9.3-1（a）中同相积分器的理想传输函数为：

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)}=\frac{1}{j\omega R_1C_2}=\frac{\omega_I}{j\omega}=\frac{-j\omega_I}{\omega} \qquad (9.3\text{-}1)$$

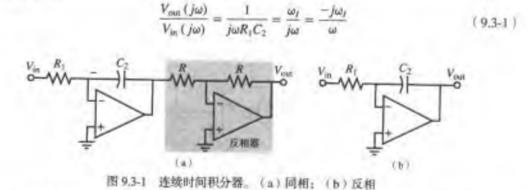


图 9.3-1　连续时间积分器。（a）同相；（b）反相

其中，ω_I被称为积分频率。τ_I等于$1/\omega_I$为积分时间常数。ω_I为积分器增益幅值为1时的频率。对反相积分器，理想传输函数为：

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)}=\frac{-1}{j\omega R_1C_2}=\frac{-\omega_I}{j\omega}=\frac{j\omega_I}{\omega} \qquad (9.3\text{-}2)$$

图9.3-2给出了同相和反相积分器的理想幅频响应和相频响应。它们的幅频响应相同，但相频响应相差 180°。

我们再来看看运算放大器有限差模增益 $A_{vd}(0)$和有限单位增益带宽 GB 的影响。因为开关电容电路只采用图9.3-1（b）结构而不会采用图9.3-1（a）结构，所以我们只讨论前者。用电容C_2取代图 9.2-2 中的电阻 R_1，解出传输函数得：

$$\frac{V_{out}}{V_{in}}=-\left(\frac{1}{sR_1C_2}\right)\frac{\dfrac{A_{vd}(s)\,sR_1C_2}{sR_1C_2+1}}{1+\dfrac{A_{vd}(s)\,sR_1C_2}{sR_1C_2+1}}=\left(-\frac{\omega_I}{s}\right)\frac{\dfrac{A_{vd}(s)\,(s/\omega_I)}{(s/\omega_I)+1}}{1+\dfrac{A_{vd}(s)\,(s/\omega_I)}{(s/\omega_I)+1}} \qquad (9.3\text{-}3)$$

其中，环路增益$|LG|$为：

$$|LG|=\frac{A_{vd}(s)\,(s/\omega_I)}{(s/\omega_I)+1} \qquad (9.3\text{-}4)$$

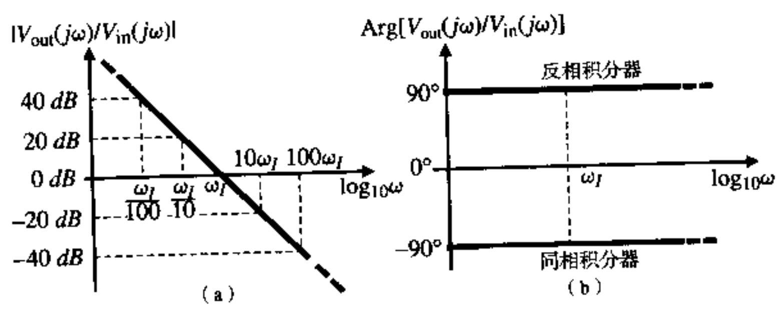


图 9.3-2　同相连续时间积分器。（a）理想幅频响应；（b）相频响应

当我们分析环路增益频率响应的幅度时，会发现在低频 $(s \to 0)$ 时 LG 远小于 1。同样，在高频时 LG 也远小于 1。在中频范围内，LG 的幅度则比 1 大得多，此时式（9.3-3）变成：

$$\frac{V_{\text{out}}}{V_{\text{in}}} = -\frac{\omega_I}{s} \tag{9.3-5}$$

在低频 $(s \to 0)$ 时，$A_{vd}(s)$ 近似等于 $A_{vd}(0)$，式（9.3-3）变成：

$$\frac{V_{\text{out}}}{V_{\text{in}}} = -A_{vd}(0) \tag{9.3-6}$$

在高频 $(s \to \infty)$ 时，$A_{vd}(s)$ 近似为 GB/s，式（9.3-3）变成：

$$\frac{V_{\text{out}}}{V_{\text{in}}} = -\left(\frac{GB}{s}\right)\left(\frac{\omega_I}{s}\right) \tag{9.3-7}$$

式（9.3-5）到式（9.3-7）代表了各种频率范围内的式（9.3-3）。我们可以通过找到环路增益幅度为 1 的频率来划分这些频率范围。但是更简单的方法是令式（9.3-5）的幅度与式（9.3-6）的相等，并求出它们的交点频率 ω_{x1}。结果是：

$$\omega_{x1} = \frac{\omega_I}{A_{vd}(0)} \tag{9.3-8}$$

式（9.3-5）和式（9.3-7）的过渡频率 ω_{x2} 同样可以通过令式（9.3-5）的幅度与式（9.3-7）的相等求得，结果是：

$$\omega_{x2} = GB \tag{9.3-9}$$

图 9.3-3 显示了当 $A_{vd}(0)$ 和 GB 为有限值时求得的反相积分器的幅频响应和相频响应的渐进线。

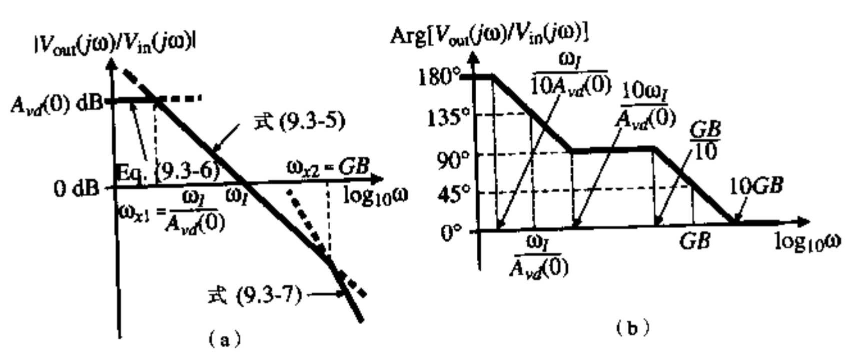


图 9.3-3　当 $A_{vd}(0)$ 和 GB 为有限值时连续时间反相积分器的响应。（a）幅频响应；（b）相频响应

例 9.3-1 理想连续时间积分器的频率范围

当运算放大器的 $A_{vd}(0)$和 GB 分别为 1000 和 1 MHz 时，求连续时间积分器近似为理想特性的频率范围。假设ω_I为 2000π rad/s。

解：

一个积分器的“理想”程度是由它的相移接近 ± 90°（+90°用于反相积分电路，−90°用于同相积分电路）的程度决定的。图 9.3-3（b）的渐近曲线中，实际相移在 $10\omega_I/A_{vd}(0)$频率处大约比 90°多 6°，而在 $GB/10$ 频率处大约比 90°少 6°。假设本例题中 ± 6°的误差满足要求，则频率范围可以通过估算 $10\omega_I/A_{vd}(0)$和 $GB/10$ 来求出。我们求得这个范围是从 10 Hz 到 100 kHz。

开关电容积分器

开关电容积分器的实现直接建立在本章前面的分析基础上。我们选择图9.3-1（b）的连续时间反相积分器作为原型。如果用图 9.2-6（b）的负互阻等效电路取代电阻 R_1，就得到了图 9.3-4（a）所示的同相开关电容积分器。注意，负互阻电路实际上实现了图9.3-1（a）的反相器。接着，我们用图 9.2-6（a）的正互阻等效电路取代 R_1，得到图 9.3-4（b）所示的反相开关电容积分器。另一种方法是只要从图 9.2-7 的电路中移除ϕ_1反馈开关就能得到图 9.3-4 的电路。

下面我们要研究图 9.3-4 中每个积分器的频率响应。首先从图 9.3-4（a）的同相积分器开始，我们再次利用图 9.1-7（b）给出的定相。从$t=(n-1)T$到$t=(n-\frac{1}{2})T$之间的相位ϕ_1开始，每个电容器上的电压可以表示为：

$$v_{c1}^{o}(n-1)T = v_{in}^{o}(n-1)T \tag{9.3-10}$$

$$v_{c2}^{o}(n-1)T = v_{out}^{o}(n-1)T \tag{9.3-11}$$

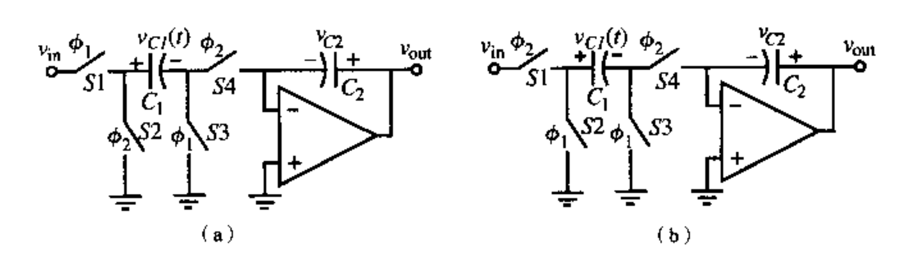


图 9.3-4 与寄生电容无关的开关电容积分器。（a）同相；（b）反相

在ϕ_2相位内，电路等效于图 9.3-5 所示的电路。注意，每个电容都已预先充电，并用与电容相串联的电压源表示。从图 9.3-5（b），我们得到：

$$v_{out}^{e}\left(n-\tfrac{1}{2}\right)T = \left(\frac{C_1}{C_2}\right) v_{in}^{o}(n-1)T + v_{out}^{o}(n-1)T \tag{9.3-12}$$

如果前移一个相位周期，即从$t=(n-\frac{1}{2})T$到$t=(n)T$，我们发现输出电压是不变的。因此，可以得出：

$$v_{out}^{o}(n)T = v_{out}^{e}\left(n-\tfrac{1}{2}\right)T \tag{9.3-13}$$

把式（9.3-12）带入式（9.3-13）给出所需的时间关系式如下：

$$v_{out}^{o}(n)T = \left(\frac{C_1}{C_2}\right) v_{in}^{o}(n-1)T + v_{out}^{o}(n-1)T \tag{9.3-14}$$

我们可以写出式（9.3-14）的z域表达式：

$$V_{out}^{o}(z) = \left(\frac{C_1}{C_2}\right) z^{-1} V_{in}^{o}(z) + z^{-1} V_{out}^{o}(z) \tag{9.3-15}$$

解得传递函数$H^{oo}(z)$为：

$$H^{oo}(z) = \frac{V_{out}^{o}(z)}{V_{in}^{o}(z)} = \left(\frac{C_1}{C_2}\right)\frac{z^{-1}}{1-z^{-1}} = \left(\frac{C_1}{C_2}\right)\frac{1}{z-1} \tag{9.3-16}$$

为了得到频率响应，用$e^{j\omega T}$代替z。结果是：

$$H^{oo}(e^{j\omega T}) = \frac{V_{out}^{o}(e^{j\omega T})}{V_{in}^{o}(e^{j\omega T})} = \left(\frac{C_1}{C_2}\right)\frac{1}{e^{j\omega T}-1} = \left(\frac{C_1}{C_2}\right)\frac{e^{-j\omega T/2}}{e^{j\omega T/2}-e^{-j\omega T/2}} \tag{9.3-17}$$

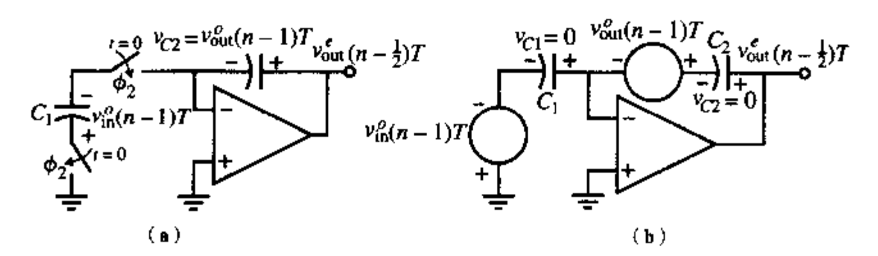


图 9.3-5　（a）在开关ϕ_2闭合时的图 9.3-4（a）的等效电路；（b）（a）的简化电路

用三角函数式代替$e^{j\omega T/2}-e^{-j\omega T/2}$，式（9.3-17）变成：

$$H^{oo}(e^{j\omega T}) = \frac{V_{out}^{o}(e^{j\omega T})}{V_{in}^{o}(e^{j\omega T})} = \left(\frac{C_1}{C_2}\right)\frac{e^{-j\omega T/2}}{j2\sin(\omega T/2)}\left(\frac{\omega T}{\omega T}\right) = \left(\frac{C_1}{j\omega T C_2}\right)\left(\frac{\omega T/2}{\sin(\omega T/2)}\right)(e^{-j\omega T/2}) \tag{9.3-18}$$

为了说明等式（9.3-18）的结果，让ωT变小，使最后两项近似为 1。因此，我们能将式（9.3-18）和式（9.3-1）等同起来。可以得到R_1等于T/C_1，这与图 9.2-6 中的跨阻是一致的。积分频率ω_I表示为：

$$\omega_I = \frac{C_1}{TC_2} \tag{9.3-19}$$

注意，开关电容积分器的积分频率ω_I定义明确，因为它与电容比值成比例。

式（9.3-18）中的第二项和第三项分别表示幅度误差和相位误差。当信号频率ω增加时，幅度项从 1 开始增加并且当$\omega = 2\pi/T$时接近无穷大。低频时相位误差是零，并使得理想相移–90°线性减小。下面举例说明这些误差的影响以及连续时间积分器和开关电容积分器之间的区别。

例 9.3-2　连续时间积分器和开关电容积分器的比较

假设ω_I等于$0.1\omega_c$，画出从 0 到ω_c的同相连续时间积分器和开关电容积分器的幅频和相频响应。

解：

令ω_I为$0.1\omega_c$，则：

$$H(j\omega) = \frac{1}{10j\omega/\omega_c}$$

和

$$H^{oo}(e^{j\omega T}) = \left(\frac{1}{10j\omega/\omega_c}\right)\left(\frac{\pi\omega/\omega_c}{\sin(\pi\omega/\omega_c)}\right)(e^{-j\pi\omega/\omega_c})$$

图 9.3-6 显示了此例的结果。由图可知连续时间积分器和开关电容积分器的幅值在ω_I 处非常接近。另外，相移仅在$\omega=0$ 处很接近。

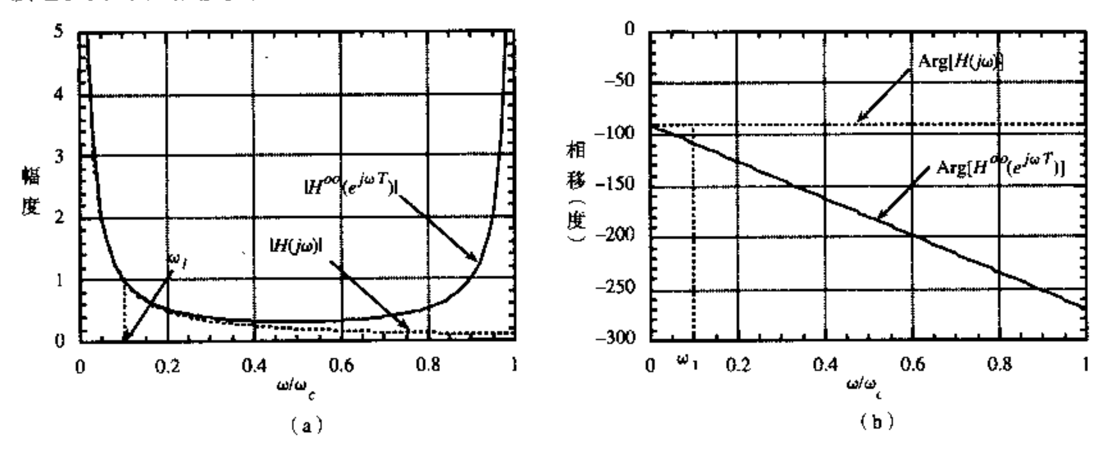


图 9.3-6　连续时间同相积分器 $H(j\omega)$和开关电容同相积分器 $H^{oo}(e^{j\omega T})$的。（a）幅频响应；（b）相频响应

图9.3-4（b）显示了一个反相的、对寄生效应不敏感的开关电容积分器。此电路的频率响应可以用和上面的同相积分器类似的方法求得。如果我们继续使用图 9.1-7（b）的开关定相，在 $t=(n-1)T$ 到 $t=(n-\frac{1}{2})T$ 之间的ϕ_1 相位周期中，条件可写成：

$$v_{C1}^{o}(n-1)T = 0 \tag{9.3-20}$$

和

$$v_{C2}^{o}(n-1)T = v_{out}^{o}(n-1)T = v_{out}^{e}\left(n-\tfrac{3}{2}\right)T \tag{9.3-21}$$

从式（9.3-21）中可以看出电容 C_2 在当前相位周期ϕ_1 期间保持着前一相位周期ϕ_2时的电压。

在下一个 $t=nT$ 和 $t=(n-\frac{1}{2})T$ 之间的相位周期ϕ_2，图 9.3-4（b）中的反相积分器可以利用图 9.3-7（a）表示。利用图 9.3-7（b）的简化等效电路，可以容易地写出此相位期间的输出电压为：

$$v_{out}^{e}\left(n-\tfrac{1}{2}\right)T = v_{out}^{e}\left(n-\tfrac{3}{2}\right)T - \left(\frac{C_1}{C_2}\right)v_{in}^{e}\left(n-\tfrac{1}{2}\right)T \tag{9.3-22}$$

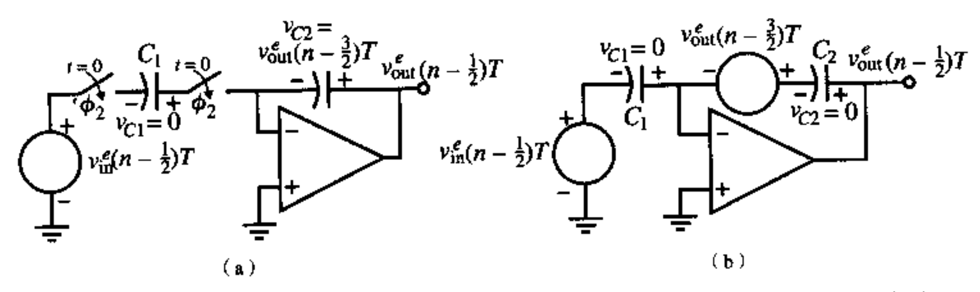


图 9.3-7　（a）ϕ_2 开关闭合时图 9.3-4（b）的等效电路；（b）（a）的简化等效电路

式（9.3-22）的等效z变换为：

$$V_{out}^{e}(z)=z^{-1}V_{out}^{e}(z)-\left(\frac{C_1}{C_2}\right)V_{in}^{e}(z) \tag{9.3-23}$$

解出传递函数$H^{ee}(z)$为：

$$H^{ee}(z)=\frac{V_{out}^{e}(z)}{V_{in}^{e}(z)}=-\left(\frac{C_1}{C_2}\right)\frac{1}{1-z^{-1}}=-\left(\frac{C_1}{C_2}\right)\frac{z}{z-1} \tag{9.3-24}$$

为了得到频率响应，用$e^{j\omega T}$代替z得：

$$H^{ee}(e^{j\omega T})=\frac{V_{out}^{e}(e^{j\omega T})}{V_{in}^{e}(e^{j\omega T})}=-\left(\frac{C_1}{C_2}\right)\frac{e^{j\omega T}}{e^{j\omega T}-1}=-\left(\frac{C_1}{C_2}\right)\frac{e^{j\omega T/2}}{e^{j\omega T/2}-e^{-j\omega T/2}} \tag{9.3-25}$$

用$2j\sin(\omega T/2)$取代式（9.3-25）中的$e^{j\omega T/2}-e^{-j\omega T/2}$，化简得到：

$$H^{ee}(e^{j\omega T})=\frac{V_{out}^{e}(e^{j\omega T})}{V_{in}^{e}(e^{j\omega T})}=-\left(\frac{C_1}{j\omega TC_2}\right)\left(\frac{\omega T/2}{\sin(\omega T/2)}\right)(e^{j\omega T/2}) \tag{9.3-26}$$

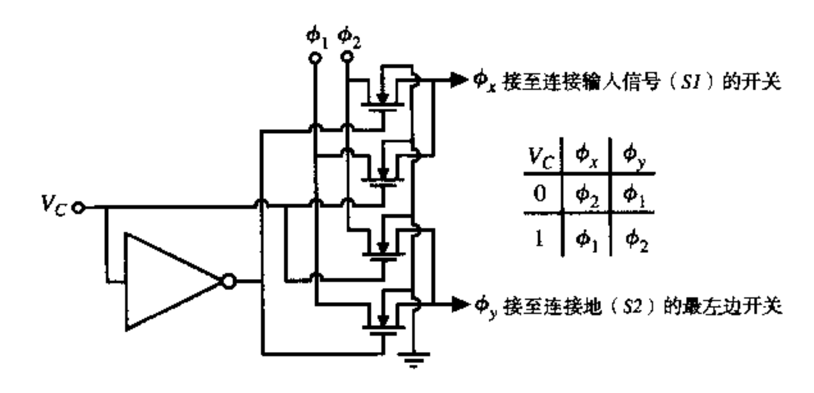
式（9.3-26）与同相积分器的式（9.3-18）非常接近，惟一的区别是整个函数和指数项幅角乘上一个负号。结果是幅频响应相同，而相频响应表示如下：

$$\mathrm{Arg}[H^{ee}(e^{j\omega T})]=\frac{\pi}{2}+\frac{\omega T}{2} \tag{9.3-27}$$

可以看出反相积分器的相位误差是正的，而同相积分器的是负的。反相（同相）积分器的其他传递函数的推导与输出的时间有关。

在许多应用中，同相积分器和反相积分器串联在一个反馈回路中。值得注意的是，使用图9.3-4中的结构时，每个积分器的相位误差是相互抵消的，总的相位误差为零。最终这些积分器从相频响应的角度看是理想的。

此外，我们注意到，图9.3-4（b）中对寄生效应不敏感的反相开关电容积分器与图9.3-4（a）中对寄生效应不敏感的同相开关电容积分器的区别仅在于最左边两个开关的状态。同样的观察结果也出现在图9.2-7的开关电容放大器中。在许多应用中，这些开关的状态可以用一个电路来控制。例如图9.3-8中的电路，它根据控制电压v_C的二进制值调整时钟ϕ_1和ϕ_2。ϕ_x加在与输入（$S1$）相连的开关上，ϕ_y加在最左边的接地开关（$S2$）上。这个电路在波形发生器中特别有用[8]。



V_C	ϕ_x	ϕ_y
0	ϕ_2	ϕ_1
1	ϕ_1	ϕ_2

图9.3-8　改变图9.3-4最左边开关的时钟ϕ_1和ϕ_2的电路

开关电容积分器的非理想特性

开关电容积分器的非理想特性包括时钟馈通、运算放大器的有限差模电压增益、运算放大器的有限单位增益带宽以及运算放大器的摆率。我们将简要分析每个因素的影响。

时钟馈通的影响已经在讨论开关电容放大器时研究过。回想一下，输出端的失调表现为两种形式：一种独立于输入信号，另一种与输入信号相关。与输入信号相关的失调可以消除，方法是延迟作用于图 9.3-4 最左边开关的时钟ϕ_1。图 9.3-9 描述了时钟是怎样被延迟的。分析图 9.3-9 提供的时钟作用到图 9.3-4（a）的同相积分器所得的结果。ϕ_1结束时，S_3打开，时钟馈通发生，但是由于开关端为地电位，馈通与信号电平无关。在一个时钟延迟之后，ϕ_{1d}结束时，S_1打开。但是没有馈通发生，因为S_3是打开的，没有电流通路。时钟ϕ_2不需要时延，因为开关S_2和S_4没有与输入相关的馈通。开关S_1的时延消除了与输入相关的馈通。

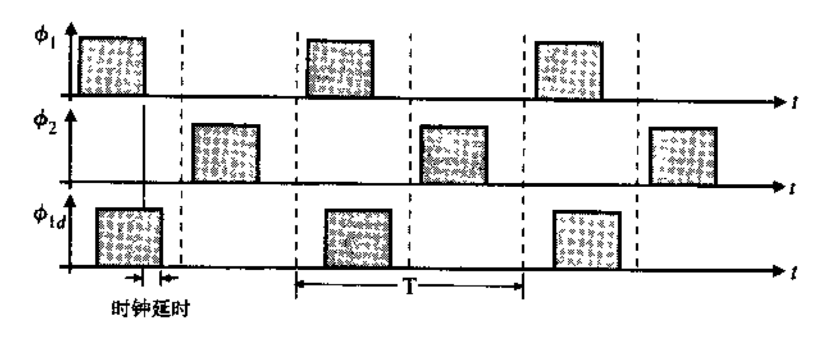


图 9.3-9　消除输入相关失调电压的延迟时钟波形

将图 9.2-10 所示运算放大器模型用于图 9.3-4 中的某个开关电容积分器中可以分析有限$A_{vd}(0)$带来的影响。观察图 9.3-10 中的电路，它等效于ϕ_2相位周期开始时的同相积分器。与图 9.3-5（b）进行比较，我们注意到两个重要变化：第一个是出现了一个独立源 $v_{out}^{e}(n-\frac{1}{2})T/A_{vd}(0)$，它模拟了$A_{vd}(0)$的有限值；第二个是与$C_2$串联的独立源减小了$v_{out}^{o}(n=1)T/A_{vd}(0)$。$v_{out}^{e}(n-\frac{1}{2})T$的时域表达式为：

$$v_{out}^{e}\left(n-\tfrac{1}{2}\right)T=\left(\frac{C_1}{C_2}\right)v_{in}^{o}(n-1)T+v_{out}^{o}(n-1)T-\frac{v_{out}^{o}(n-1)T}{A_{vd}(0)}+\frac{v_{out}^{e}(n-\frac{1}{2})T}{A_{vd}(0)}\left(\frac{C_1+C_2}{C_2}\right) \quad (9.3\text{-}28)$$

将式（9.3-13）代入式（9.3-28）得到：

$$v_{out}^{o}(n)T=\left(\frac{C_1}{C_2}\right)v_{in}^{o}(n-1)T+v_{out}^{o}(n-1)T-\frac{v_{out}^{o}(n-1)T}{A_{vd}(0)}+\frac{v_{out}^{o}(n)T}{A_{vd}(0)}\left(\frac{C_1+C_2}{C_2}\right) \quad (9.3\text{-}29)$$

使用前面介绍的方法求出 z 域传递函数为：

$$H^{oo}(z)=\frac{V_{out}^{o}(z)}{V_{in}^{o}(z)}=\frac{\dfrac{C_1}{C_2}z^{-1}}{1-z^{-1}+\dfrac{z^{-1}}{A_{vd}(0)}-\dfrac{C_1}{A_{vd}(0)C_2}-\dfrac{1}{A_{vd}(0)}} \quad (9.3\text{-}30)$$

式（9.3-30）可以改写为：

$$H^{oo}(z)=\frac{V_{out}^{o}(z)}{V_{in}^{o}(z)}=\left(\frac{(C_1/C_2)z^{-1}}{1-z^{-1}}\right)\left(\frac{1}{1-\dfrac{1}{A_{vd}(0)}-\dfrac{C_1}{A_{vd}(0)C_2(1-z^{-1})}}\right) \quad (9.3\text{-}31)$$

或

$$H^{oo}(z)=\frac{V_{\text{out}}^{o}(z)}{V_{\text{in}}^{o}(z)}=\frac{H_I(z)}{1-\dfrac{1}{A_{vd}(0)}-\dfrac{C_1}{A_{vd}(0)C_2(1-z^{-1})}} \tag{9.3-32}$$

这里，$H_I(z)$已由式（9.3-16）给出。如果$H_I(z)$由式（9.3-24）给出，对图9.3-4（b）中的反相积分器进行类似分析也可以得到式（9.3-32）的结果。

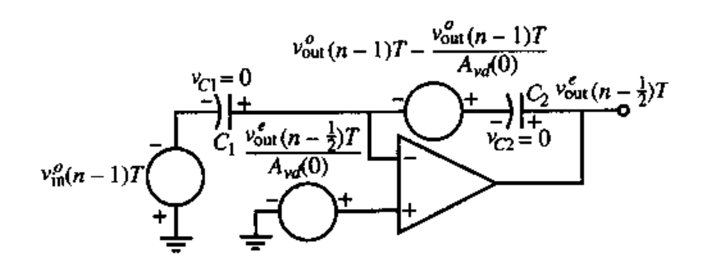


图9.3-10　ϕ_2周期开始时同相积分器的等效电路

式（9.3-32）的分母表示有限的$A_{vd}(0)$引起的误差。如果我们把式（9.3-32）的z域变量z用$e^{j\omega T}$代替，可以得到下面的表达式：

$$H^{oo}(e^{j\omega T})=\frac{H_I(e^{j\omega T})}{1-\dfrac{1}{A_{vd}(0)}\left[1+\dfrac{C_1}{2C_2}\right]-j\dfrac{C_1/C_2}{2A_{vd}(0)\tan(\omega T/2)}} \tag{9.3-33}$$

这里对于同相积分器$H_I(e^{j\omega T})$由式（9.3-18）给出，对于反相积分器由式（9.3-26）给出。积分器的误差可以表示如下：

$$H(j\omega)=\frac{H_I(j\omega)}{[1-m(\omega)]\,e^{-j\theta(\omega)}} \tag{9.3-34}$$

其中，$m(\omega)$为幅度误差，$\theta(\omega)$为相位误差，$H_I(j\omega)$是理想积分器传递函数。注意在开关电容电路里，$H_I(j\omega)$包括采样引入的幅度误差和相位误差。如果$\theta(\omega)$远小于1，式（9.3-34）可以近似为：

$$H(j\omega)\approx\frac{H_I(j\omega)}{1-m(\omega)-j\theta(\omega)} \tag{9.3-35}$$

比较式（9.3-33）和式（9.3-35），可以得出有限的$A_{vd}(0)$引起的幅度误差和相位误差的表达式：

$$m(j\omega)=\frac{1}{A_{vd}(0)}\left[1+\frac{C_1}{2C_2}\right] \tag{9.3-36}$$

和

$$\theta(j\omega)=\frac{C_1/C_2}{2A_{vd}(0)\tan\omega T/2} \tag{9.3-37}$$

式（9.3-36）和式（9.3-37）描述了图9.3-4中的开关电容积分器由有限的$A_{vd}(0)$引起的幅度误差和相位误差。

例9.3-3　计算有限的$A_{vd}(0)$引起的积分器误差

假设一个开关电容积分器的时钟频率和积分频率分别是100 kHz和10 kHz。如果$A_{vd}(0)$的值

是 100，求 10 kHz 时的 $m(j\omega)$和$\theta(j\omega)$。

解：

由式（9.3-19）得到 C_1 和 C_2 的比值为：

$$\frac{C_1}{C_2}=\omega_1 T=\frac{2\pi\cdot 10\,000}{100\,000}=0.6283$$

将这个比值和 $A_{vd}(0)$的值一起代入式（9.3-36）和式（9.3-37）得：

$$m(j\omega)=\frac{1}{100}\left[1+\frac{0.6283}{2}\right]=1.0131 \quad\rightarrow\quad 1-m(\omega)=0.9869$$

和

$$\theta(j\omega)=\frac{0.6283}{2\cdot 100\cdot \tan(18°)}=0.554°$$

式（9.3-34）给出了这些结果的意义。理想开关电容传递函数 $H_I(j\omega)$乘以一个近似为 1/0.9869=1.013 的数，并附加一个约为 0.554° 的相位延迟。通常，相移误差比幅度误差更严重。

最后，让我们分析一下有限的单位增益带宽 GB 带来的影响。运算过程中需要一个包括 GB 频率特性的运算放大器的时域模型。这个模型和计算超出了本书的介绍范围，但是可以在 Martin 和 Sedra[7]的附录里找到。结果归纳在了表 9.3-1 中。如果ωT 远小于 1，表 9.3-1 中的等式可以简化为：

$$m(\omega)\approx -2\pi\left(\frac{f}{f_c}\right)e^{-\pi(GB/f_c)} \tag{9.3-38}$$

上式对于同相和反相积分器都适用。对于同相积分器，$\theta(j\omega)$仍然近似为 0，然而对于反相积分器，$\theta(\omega)\approx m(\omega)$。使用这些结果可以估计有限的 GB 对图 9.3-4 的开关电容积分器性能的影响。

表 9.3-1 有限的 GB 值对开关电容积分器的影响小结

同相积分器	反相积分器
$m(\omega)\approx -e^{-k_1}\left(\frac{C_2}{C_1+C_2}\right)$	$m(\omega)\approx -e^{-k_1}\left[1-\left(\frac{C_2}{C_1+C_2}\right)\cos(\omega T)\right]$
$\theta(\omega)\approx 0$	$\theta(\omega)\approx -e^{-k_1}\left(\frac{C_2}{C_1+C_2}\right)\cos(\omega T)$
$k_1\approx\pi\left(\frac{C_2}{C_1+C_2}\right)\left(\frac{GB}{f_c}\right)$	

剩下要考虑的运算放大器的非理想特性是摆率。还好，积分器对有限摆率的敏感程度比上一节讨论的放大器要小。这是因为当没有电容连到运算放大器的反相输入端时，反馈电容 C_2 保持了运算放大器的输出电压不变。只有当 C_2 上的电荷变化引起运算放大器的输出电压变化时，有限的摆率才会产生影响。为了避免这种情况，必须满足下面的不等式：

$$\frac{\Delta v_o(\text{最大})}{SR}<\frac{T}{2} \tag{9.3-39}$$

其中，Δv_o(最大) 为积分器的最大输出摆幅。例如，如果Δv_o(最大) 为 5 V，时钟频率为 100 kHz，运算放大器摆率必须大于 1 V/μs。考虑到运算放大器的其他非理想特性，这种情况下 10 V/μs 的摆率比较合适。

开关电容电路的噪声包括一个常规噪声源和一个开关等效热噪声源。这个噪声电压的频谱密度被称为 kT/C 噪声，单位是 V^2/Hz。假设开关电容或者图 9.3-11（a）用图 9.3-11（b）的连续时间电路来表示。然后我们求图 9.3-11（b）的均方根噪声电压，并假设它和图 9.3-11（a）的近似相等。

图 9.3-11　（a）简单开关电容电路；（b）（a）的近似电路

图 9.3-11（b）噪声电压频谱密度为：

$$e_{R_{on}}^2 = 4kTR_{on}\ V^2/Hz = \frac{2kTR_{on}}{\pi} V^2/rad/s \tag{9.3-40}$$

均方根噪声电压可以通过将频谱密度从 0 到∞积分得到，即：

$$v_{R_{on}}^2 = \frac{2kTR_{on}}{\pi}\int_0^\infty \frac{\omega_1^2 d\omega}{\omega_1^2+\omega^2} = \frac{2kTR_{on}}{\pi}\left(\frac{\pi\omega_1}{2}\right) = \frac{kT}{C} V^2(rms) \tag{9.3-41}$$

其中，$\omega_1 = 1/(R_{on}C)$。注意，开关有一个有效噪声带宽为：

$$f_{sw} = \frac{1}{4R_{on}C} Hz \tag{9.3-42}$$

它是用式（9.3-40）除以式（9.3-41）得到的。

我们没有分析的其他非理想特性包括直接或经过电容从电源、时钟、地线以及衬底耦合到电路的噪声。此外，MOSFET 的噪声也必须加以考虑。

9.4　两相开关电容电路的 z 域模型

虽然到现在为止已经对开关电容电路进行了适当的分析，但是更复杂的开关电容电路的分析仍然是个挑战。为了提供一个方法来面对这个挑战，并证实手工分析的结果，本节我们将讨论开关电容电路的 z 域模型。这些模型使我们既能够分析更复杂的开关电容电路，又可以使用 SPICE 类型的仿真工具进行频域仿真。其他的专业仿真程序也可以用来模拟开关电容电路的频率响应[9~11]。

用两相的非重叠时钟推导开关电容电路的 z 域模型是基于时变电路到非时变电路的分解，这可以通过分析图 9.4-1 所示的通用开关电容电路来完成。这里我们看到了开关电容电路的双端口特性，它包括一个独立电压源、一个开关电容、一个非开关电容和一个运算放大器或者受控电压源。事实上，我们需要分析的开关电容有四种不同的形式。它们是图 9.1-1 的并联或反复式开

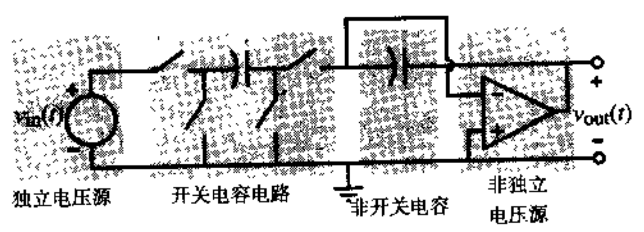


图 9.4-1　通用开关电容电路的双端口特性

关电容，图9.2-6的正开关电容和负开关电容，以及我们还没有用到的一个电容串联一个开关的形式。这些双端口网络的 z 域模型将在下面结合例题给出。值得注意的是，所有的开关电容和非开关电容的双端口网络都是连接在一个电压源和一个运算放大器的虚地之间的。

独立电压源

图 9.1-5 给出了两相开关电容电路的独立电压源的一个可能波形。这个电压源 z 域中的相位相关模型以及每个相位的电压值显示在图 9.4-2（a）中。$V^e(z)$ 和 $V^o(z)$ 的值如图 9.1-5 所示。这个独立源的值取决于时钟相位。图 9.4-2（b）和图 9.4-2（c）分别显示了这个电压源在奇相位和偶相位时与相位无关的 z 域模型以及它们的波形。注意，与相位无关的电压源的值在每个时钟周期 T 都要改变，因此对于图 9.4-2（b）和图 9.4-2（c）分别有 $V^e(z)=z^{-1/2}V^o(z)$ 和 $V^o(z)=z^{-1/2}V^e(z)$。

开关电容双端口电路

现在我们来分析四种不同的开关电容双端口电路的 z 域等效电路。z 域模型包括三种导纳。我们知道导纳两端的电压是激励，而流过导纳的电流是响应。第一种导纳表示为：

$$I(z)=Y\cdot z^{0}V(z)=Y\cdot V(z) \tag{9.4-1}$$

它表示为一个值为 $Y\,V(z)$ 的电流 $I(z)$，当加上一个电压 $V(z)$ 后，$I(z)$ 的产生没有延迟。第二种导纳表示为：

$$I(z)=Y\cdot z^{-1/2}V(z) \tag{9.4-2}$$

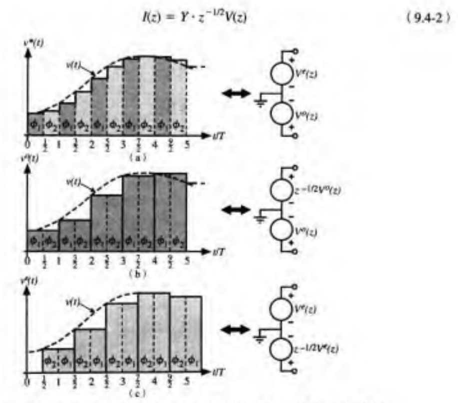


图 9.4-2 独立电压源的 z 域等效电路。（a）一个相位相关的电压源；（b）奇相位周期的相位无关的电压源；（c）偶相位周期的相位无关的电压源

它表示为一个值为$Y\,V(z)$的电流$I(z)$，$I(z)$将出现在加上$V(z)$时的半个周期后。最后第三种导纳是：

$$I(z) = (1 - z^{-1})\,Y \cdot V(z) \tag{9.4-3}$$

它表示开始时的电流为$Y\,V(z)$，然而经过一个周期后电流为0。在这三种情况中导纳系数 Y 等于被开关的电容 C 的值。

四种开关电容双端口电路示于图9.4-3的第一列中。第二列给出了四端口的z域等效模型，第三列给出了当开关电容电路嵌在一个电压源和运算放大器的虚地之间时的简化等效电路。这些电路的综合比我们想要分析的更复杂。关于模型推导的更详细介绍可以在别处获得[12]。

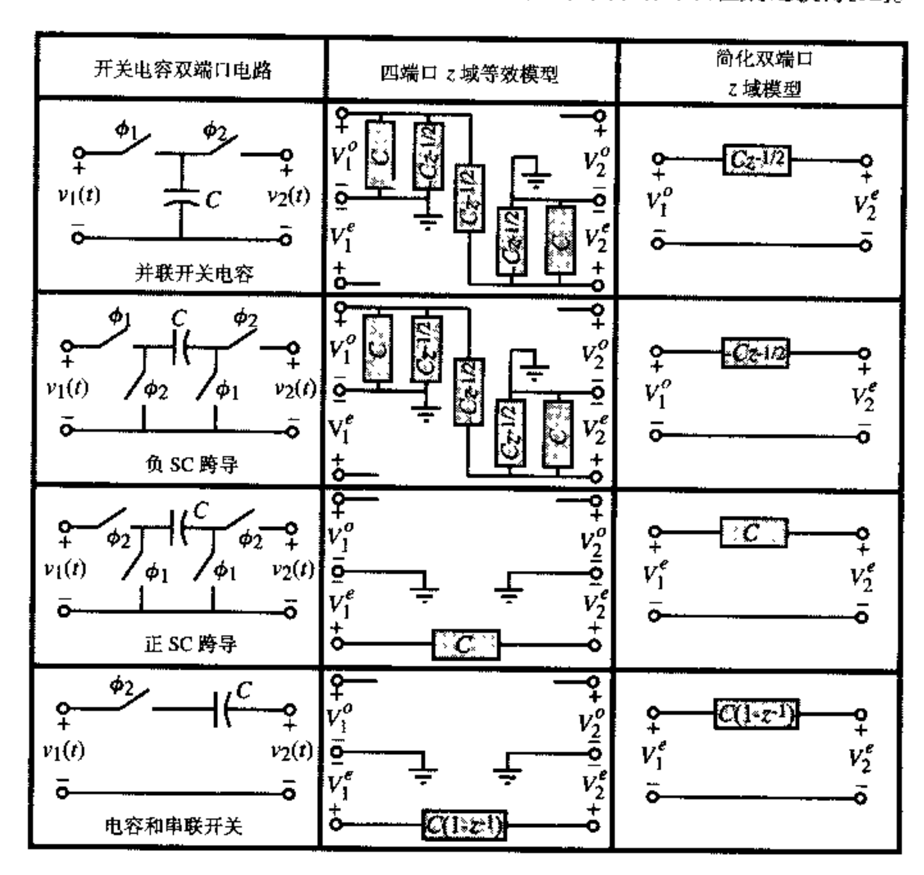


图9.4-3　一些常用开关电容电路的z域模型

非开关电容和运算放大器

除了图9.4-3列出的开关电容，还有其他两种重要结构。一个是图9.4-4第一行所示的非开关电容，另一个是图9.4-4第二行所示的电容和并联开关。这两个电路的z域模型都不能简化为双端口模型。这些模型的推导在Laker[12]中给出。

最后，图9.4-5给出了低频增益为A_v的运算放大器的z域模型。图9.4-3到图9.4-5组成了常用开关电容电路的模型集合。

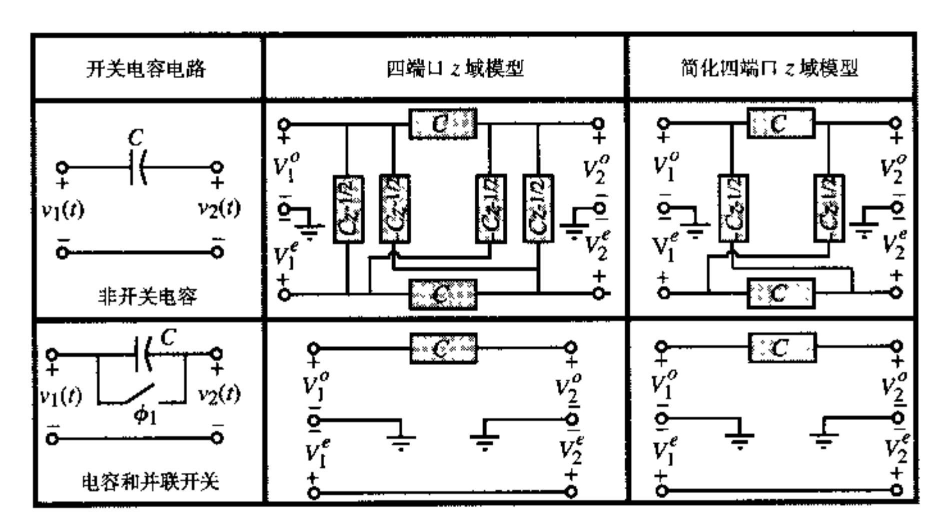


图 9.4-4 无法简化成双端口模型的开关电容电路的 z 域模型

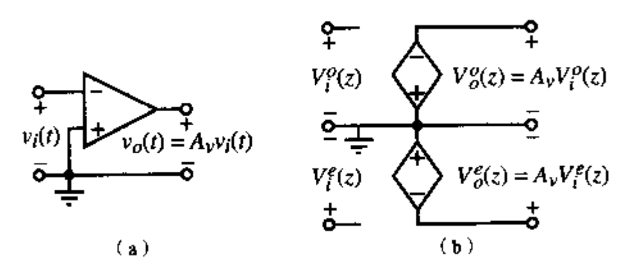


图 9.4-5 （a）时域运算放大器模型；（b）z 域运算放大器模型

例 9.4-1 图 9.4-3 中 z 域模型的有效性分析

证明图 9.4-3 中的负开关电容跨阻电路的 z 域四端口模型等价于双端口开关电容电路。

解：

对于双端口开关电容电路，我们观察到在ϕ_1相位期间，电容 C 被充电至 $v_1(t)$。假设这个相位的时间参考点为 $t-T/2$，则电容电压为：

$$v_C = v_1(t - T/2)$$

在下一个相位ϕ_2期间，电容被反相，v_2可以表示成：

$$v_2(t) = -v_C = -v_1(t - T/2)$$

接下来，我们把从四端口 z 域模型（见图 9.4-3）中的 V_2^e 节点流出的电流进行叠加，得到等式：

$$-Cz^{-1/2}(V_2^e - V_1^o) + Cz^{-1/2}V_2^e + CV_2^e = 0$$

这个等式可以简化为：

$$V_2^e = -z^{-1/2}V_1^o$$

将其转换为时域则有：

$$v_2(t) = -v_C = -v_1(t - T/2)$$

这样，由上面的分析我们证明了四端口 z 域模型等价于时域电路。

开关电容电路的 z 域分析

我们用到的大多数开关电容电路具有相同的形式，因此 z 域分析在进行开关电容电路分析时很有用处。在最一般的情况下，电路是时变的，所以需要采用如图9.4-1所示的双端口开关电容电路模型，并将其扩展成一个四端口开关电容，如图 9.4-6 所示。在图 9.4-6（b）中，我们选择上面的端点作为奇端点（ϕ_1 相位），而下面的端点作为偶端点（ϕ_2 相位）。

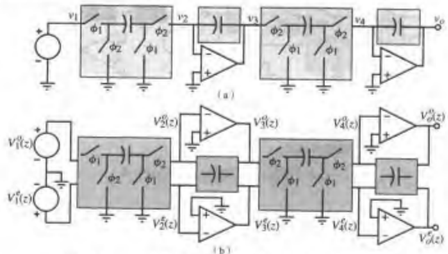


图 9.4-6　（a）通用双端口开关电容电路（浅色阴影区域）；（b）（a）的四端口 z 域模型（深色阴影区域）

图 9.4-6（b）对应的是时变电路。这类电路在两个时钟相位阶段都处理和传递电荷。图 9.4-3 中间那列的四端口 z 域模型被用在图9.4-6（b）中。然而，如果开关电容电路只在时钟的一个相位阶段处理和传递电荷，而在另一个相位阶段没有，那么它可以被当做非时变电路来处理。这样四端口模型可以简化成图 9.4-7 中的双端口模型。在这里分析的大多数情况都是非时变的，允许在 z 域模型中进行适当简化（即图 9.4-3 右边那列中的双端口模型）。

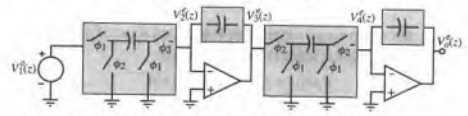


图 9.4-7　图 9.4-6（b）在开关电容电路为非时变时简化成一个双端口 z 域模型

现在我们将上面的 z 域模型用在几个开关电容电路的实例中，以此说明使用这些模型的方法。

例 9.4-2　图 9.3-4（a）中同相开关电容积分器的 z 域分析

用上面的方法求图 9.3-4（a）的 z 域传递函数 $V_o^e(z)/V_i^o(z)$ 和 $V_o^o(z)/V_i^o(z)$。

解：

首先将图 9.3-4（a）重画成图 9.4-8（a）。为了能够利用图 9.4-3，我们增加了一个开关 ϕ_2。注

意，这个开关并不改变电路的工作状态。因为这个电路是非时变的，我们可以采用图 9.4-7 的双端口模型方法。然后将开关电容像图 9.4-8（a）的阴影部分所示的那样组合起来。注意 C_2 和开关 ϕ_2 根据的是图 9.4-3 底行右列的模型。负跨阻电路采用的是图 9.4-3 中第二行右列的模型。图 9.4-8（a）的 z 域模型显示在图 9.4-8（b）中。在图 9.4-8（b）中，我们也给出了如何计算奇相位的传递函数的方法，即在输出端采用延迟半个周期的电压控制电压源。

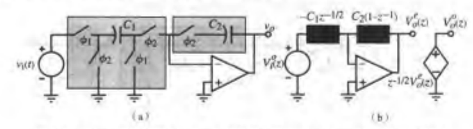


图 9.4-8 （a）改进的图 9.3-4（a）的等效电路；（b）（a）的双端口 z 域模型

回想导纳形式的 z 域模型，很容易写出：

$$-C_1 z^{-1/2} V_i^o(z) + C_2(1 - z^{-1}) V_o^e(z) = 0$$

整理得到：

$$H^{oe}(z) = \frac{V_o^e(z)}{V_i^o(z)} = \frac{C_1 z^{-1/2}}{C_2(1 - z^{-1})}$$

$H^{oo}(z)$ 可以利用 $V_o^o(z) = z^{-1/2} V_o^e(z)$ 得到：

$$H^{oo}(z) = \frac{V_o^o(z)}{V_i^o(z)} = \frac{C_1 z^{-1}}{C_2(1 - z^{-1})}$$

此式与式（9.3-16）相等。

例 9.4-3　图 9.3-4（b）反相开关电容积分器的 z 域分析

用上面的方法求图 9.3-4（b）的 z 域传递函数 $V_o^e(z)/V_i^e(z)$ 和 $V_o^o(z)/V_i^e(z)$。

解：

图 9.4-9（a）所示为图 9.3-4（b）的改进等效电路。图 9.4-9（a）所示的 z 域双端口模型示于图 9.4-9（b）中。将流入运算放大器反相节点的电流相加得：

$$C_1 V_i^e(z) + C_2(1 - z^{-1}) V_o^e(z) = 0$$

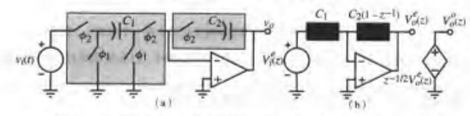


图 9.4-9 （a）图 9.3-4（b）的改进等效电路；（b）（a）的双端口 z 域模型

整理得：

$$H^{ee}(z)=\frac{V_o^e(z)}{V_i^e(z)}=\frac{-C_1}{C_2(1-z^{-1})}$$

此式与式（9.3-24）相等。

利用关系式 $V_o^o(z)=z^{-1/2}V_o^e(z)$，得到 $H^{eo}(z)$ 为：

$$H^{eo}(z)=\frac{V_o^o(z)}{V_i^e(z)}=\frac{C_1z^{-1/2}}{C_2(1-z^{-1})}$$

例 9.4-4　时变开关电容电路的 z 域分析

求图 9.4-10（a）的求和开关电容积分器的作为 $V_1^o(z)$ 和 $V_2^e(z)$ 的函数的 $V_o^o(z)$ 和 $V_o^e(z)$。

解：

值得注意的是电路是时变的。这表现在每个相位期间 C_3 被不同的电路充电。因此，对于 C_3 我们不能使用图 9.4-3 底行的模型，而必须使用图 9.4-4 顶行的模型。图 9.4-10（a）的 z 域模型见图 9.4-10（b）。

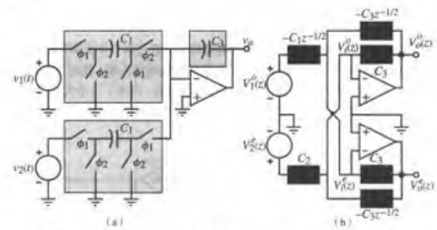


图 9.4-10　（a）求和开关电容积分器；（b）（a）的四端口 z 域模型

将从节点 $V_i^o(z)$ 流出的电流相加得：

$$C_2V_2^e(z)+C_3V_o^o(z)-C_3z^{-1/2}V_o^e(z)=0 \tag{9.4-4}$$

将从节点 $V_i^e(z)$ 流出的电流相加得：

$$-C_1z^{-1/2}V_1^o(z)-C_3z^{-1/2}V_o^o(z)+C_3V_o^e(z)=0 \tag{9.4-5}$$

将式（9.4-5）乘以 $z^{-1/2}$ 再与式（9.4-4）相加得：

$$C_2V_2^e(z)+C_3V_o^o(z)-C_1z^{-1}V_1^o(z)-C_3z^{-1}V_o^o(z)=0 \tag{9.4-6}$$

求解 $V_o^o(z)$ 得：

$$V_o^o(z)=\frac{C_1z^{-1}V_1^o(z)}{C_3(1-z^{-1})}-\frac{C_2V_2^e(z)}{C_3(1-z^{-1})} \tag{9.4-7}$$

将式（9.4-4）乘以 $z^{-1/2}$ 再与式（9.4-5）相加得：

$$C_2 z^{-1/2} V_2^e(z) - C_1 z^{-1} V_1^o(z) - C_3 z^{-1} V_o^e(z) + C_3 V_o^e(z) = 0 \tag{9.4-8}$$

求出 $V_o^e(z)$ 得：

$$V_o^e(z) = \frac{C_1 z^{-1/2} V_1^o(z)}{C_3(1 - z^{-1})} - \frac{C_2 z^{-1/2} V_2^e(z)}{C_3(1 - z^{-1})} \tag{9.4-9}$$

利用 SPICE 对开关电容电路进行频域仿真

上面讨论的 z 域分析方法可以通过 SPICE 实现开关电容电路的频域仿真。注意，开关电容电路的 z 域模型包括正电导、正负延时电导、独立电压源和受控电压源。除了延时电导，其他都可以方便地在 SPICE 中找到模型。延时电导可以用存储电阻（*storistor*）来模拟[13]。存储电阻是一种双端器件，如图 9.4-11 所示。图 9.4-11（a）给出了 z 域中的存储电阻模型，它可以表示为：

$$I(z) = \pm C z^{-1/2} [V_1(z) - V_2(z)] \tag{9.4-10}$$

图 9.4-11（b）是存储电阻的时域模型。标有 $T/2$ 的符号表示延时 $T/2$ 秒。可以表示为：

$$i(t) = \pm C\left[v_1\left(t - \frac{T}{2}\right) - v_2\left(t - \frac{T}{2}\right)\right] \tag{9.4-11}$$

图9.4-11（c）显示了在 SPICE 词法中存储电阻的时域形式，它包括一个无损传输线。因此，加在受控源 $\pm Cv_4(t)$ 上的电压被加到了特征阻抗为 Z_0 的无损传输线的输入端，经过 $T/2$ 的延时终止在一个等于 Z_0 的电阻上。在受控源 $\pm Cv_4(t)$ 两端加上电压 $T/2$ 秒以后，产生了一个大小为电压差的 $\pm C$ 倍的电流。存储电阻可以很容易做成一个子电路，尽可能简单地用在仿真中。我们将用一个例子来解释这些概念。

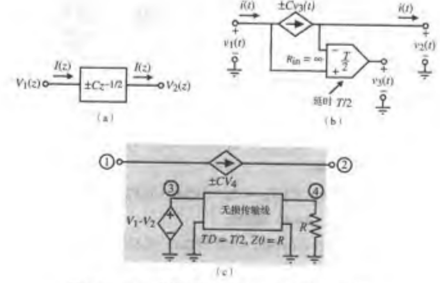


图 9.4-11 （a）存储电阻的 z 域模型；（b）存储电阻的时域模型；（c）SPICE 词法中的存储电阻模型

例 9.4-5　例 9.4-2 的 SPICE 仿真

使用 SPICE 对图 9.3-4（a）的同相开关电容积分器进行频域仿真。假设时钟频率为 100 kHz，确定 C_1 和 C_2 的比值使得积分频率为 10 kHz。

解：

式（9.3-19）给出了 C_1/C_2 的比值确定方法。从这个等式得到：

$$\frac{C_1}{C_2}=\omega_I T=\frac{2\pi f_I}{f_c}=0.6283$$

假设 $C_2=1$ F，那么 $C_1=0.6283$ F。接下来，用图 9.4-3 第二行和图 9.4-4 第一行的 z 域模型替换图 9.3-4（a）中的开关电容 C_1 和非开关电容，得到图 9.4-12。注意我们另外用图 9.4-5 模拟运算放大器，并且假设运算放大器的差模电压增益为 10^6。

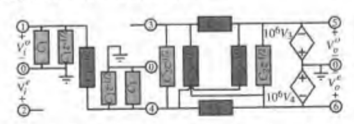


图 9.4-12　图 9.3-4（a）同相开关电容积分器的 z 域模型

如果运算放大器的差模电压增益近似无穷大，我们可以将图 9.4-12 简化为只包括底纹更深的器件。因为节点 3 和节点 4 已经变成虚地。

实现图 9.3-4（a）的频域仿真的 SPICE 输入文件如下：

```
VIN 1 0 DC 0 AC 1
R10C1 1 0 1.592
X10PC1 1 0 10 DELAY
G10 1 0 10 0 0.6283
X14NC1 1 4 14 DELAY
G14 4 1 14 0 0.6283
R40C1 4 0 1.592
X40PC1 4 0 40 DELAY
G40 4 0 40 0 0.6283
X43PC2 4 3 43 DELAY
G43 4 3 43 0 1
R35 3 5 1.0
X56PC2 5 6 56 DELAY
G56 5 6 56 0 1
R46 4 6 1.0
X36NC2 3 6 36 DELAY
G36 6 3 36 0 1
X45NC2 4 5 45 DELAY
G45 5 4 45 0 1
EODD 6 0 4 0 1E6
EVEN 5 0 3 0 1E6
**********************
```

```
.SUBCKT DELAY 1 2 3
ED 4 0 1 2 1
TD 4 0 3 0 ZO=1K TD=5U
RDO 3 0 1K
.ENDS DELAY
********************
.AC LIN 99 1K 99K
.PRINT AC V(6) VP(6) V(5) VP(5)
.PROBE
.END
```

这个 SPICE 输入文件使用了基于图9.4-11（c）存储电阻模型的子电路，并且节点编号也和那个模型一样。仿真结果显示在图 9.4-13 中。将它与图 9.3-6 进行比较。很有意思的是，$H^{oe}(j\omega)$ 的相移是–90°，这与前面的 z 域分析是一致的。

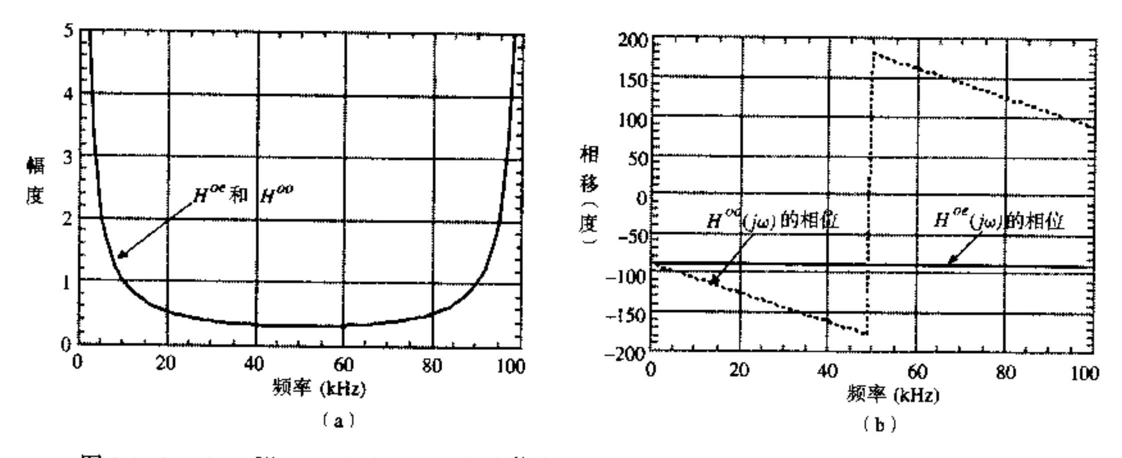


图 9.4-13 （a）图 9.3-4（a）SPICE 幅度仿真结果；（b）图 9.3-4（a）SPICE 相移仿真结果

上面的仿真方法可以用来分析本章讨论的大部分开关电容电路。但需要注意的一点是这个仿真方法不能用在含有电阻的开关电容电路中，因为开关电容和非开关电容的模型用的都是电导（电阻的倒数）。如果假设运算放大器是理想的，z 域模型可以被简化。上述做法的好处在于可以降低运算放大器的增益，以得到它对开关电容电路的影响。

遗憾的是，计算机仿真不能使用这种采用单位延迟的 z 域模型。这使得上面计算机仿真时用的四端口模型不能简化为用于手工计算的简单形式。

本节给出了在 z 域中对开关电容电路进行分析的方法。这很容易扩展到在频域中对开关电容电路进行 SPICE 仿真。我们研究的大部分开关电容电路可以简化为多输入积分器组成的模块。因此，上述分析方法适用于本章剩余部分将要讨论的大部分电路。

9.5 一阶开关电容电路

开关电容滤波器的设计方法有两种：一种是将积分器连接在一起，另一种是将一阶和二阶的开关电容单元级联起来。本节将介绍一些常用的一阶单元。

一阶开关电容电路

s 域中的一阶传递函数为：

$$H(s)=\frac{sa_1\pm a_0}{s+b_0} \tag{9.5-1}$$

可见，一阶传递函数有一个极点和一个零点。如果 $a_1=0$，传递函数是低通的。如果 $a_0=0$，传递函数是高通的。如果两者都不为 0，则传递函数是一个普通的一阶滤波器。注意，零点可以在复频域的右半平面或者左半平面。

式（9.5-1）的 z 域等效表达式如下：

$$H(z)=\frac{zA_1\pm A_0}{z-B_0}=\frac{A_1\pm A_0z^{-1}}{1-B_0z^{-1}} \tag{9.5-2}$$

低通电路

图9.5-1（a）表示一个开关电容低通电路。注意，这个电路同图9.3-4（a）几乎一样，只是增加了一个和积分电容 C 并联的开关电容α_2C。为了更容易地理解和分析这个电路，将开关电容α_2C从输出端断开，重画于图9.5-1（b）中。这个电路只是一个求和积分器，我们可以用前面的方法进行分析。实现时，阴影区域里的开关可以被组合成一对单独的开关，从而减少开关数量。

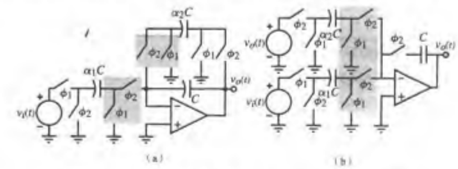


图 9.5-1 （a）同相一阶低通电路；（b）（a）的改进等效电路

根据上一节的结果，很容易建立图 9.5-1（b）的 z 域模型。这个模型显示在图 9.5-2 中。注意，我们假设增加了一个和 C 串联的开关ϕ_2，就像图 9.4-8 和图 9.4-9 中那样。将流向运算放大器反向输入端的电流相加得：

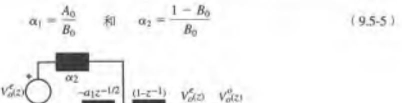
$$\alpha_2C_1V_o^e(z)-\alpha_1C_1z^{-1/2}V_i^o(z)+C_1(1-z^{-1})V_o^e(z)=0 \tag{9.5-3}$$

求解 $V_o^o(z)/V_i^o(z)$ 得：

$$\frac{V_o^o(z)}{V_i^o(z)}=\frac{z^{-1/2}V_o^e(z)}{V_i^o(z)}=\frac{\alpha_1z^{-1}}{1+\alpha_2-z^{-1}}=\frac{\dfrac{\alpha_1z^{-1}}{1+\alpha_2}}{1-\dfrac{z^{-1}}{1+\alpha_2}} \tag{9.5-4}$$

令式（9.5-4）等于式（9.5-2）可以得到图 9.5-2 的设计公式为：

$$\alpha_1 = \frac{A_0}{B_0} \quad 和 \quad \alpha_2 = \frac{1 - B_0}{B_0} \tag{9.5-5}$$



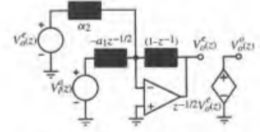


图 9.5-2 图 9.5-1（b）的 z 域模型

翻转图 9.5-1（a）最左边两个开关的相位可以得到反向低通电路。很容易看出（见习题 9.5-1）：

$$\frac{V_o^e(z)}{V_i^e(z)} = \frac{-\alpha_1}{1 + \alpha_2 - z^{-1}} = \frac{\dfrac{-\alpha_1}{1 + \alpha_2}}{1 - \dfrac{z^{-1}}{1 + \alpha_2}} \tag{9.5-6}$$

令式（9.5-6）等于式（9.5-2），可以得到反向低通电路的设计公式为：

$$\alpha_1 = \frac{-A_1}{B_0} \quad 和 \quad \alpha_2 = \frac{1 - B_0}{B_0} \tag{9.5-7}$$

例 9.5-1 设计一个开关电容一阶电路

设计一个开关电容一阶电路，要求低频增益为+10，−3 dB 频率为 1 kHz。求电容比值α_1和α_2。时钟频率为 100 kHz。

解：

由于设计指标用 s 域描述使设计显得比较复杂。一个近似方法是假设时钟频率 f_c 远大于−3 dB 频率。在本题中，时钟频率是−3 dB 频率的 100 倍，因此假设成立。根据此假设，我们将 z^{-1}近似为：

$$z^{-1} = e^{-sT} \approx 1 - sT + \cdots \tag{9.5-8}$$

将式（9.5-4）改写为：

$$\frac{V_o^o(z)}{V_i^o(z)} = \frac{\alpha_1 z^{-1}}{\alpha_2 + 1 - z^{-1}} \tag{9.5-9}$$

接下来，我们注意到，由式（9.5-8）得 $1 - z^{-1} \approx sT$。此外，如果 $sT << 1$，那么 $z^{-1} \approx 1$。注意，$sT << 1$ 等价于$\omega << f_c$。将这些变换代入式（9.5-9）得：

$$\frac{V_o^o(z)}{V_i^o(z)} \approx \frac{\alpha_1}{\alpha_2 + sT} = \frac{\alpha_1/\alpha_2}{1 + s(T/\alpha_2)} \tag{9.5-10}$$

令式（9.5-10）等于设计指标给出的条件得：

$$\alpha_1 = 10\alpha_2 \quad 和 \quad \alpha_2 = \frac{\omega_{-3\,\mathrm{dB}}}{f_c} \tag{9.5-11}$$

因此，$\alpha_2 = 6283/100\,000 = 0.0628$，$\alpha_1 = 0.6283$。

高通电路

图 9.5-3（a）是一个高通一阶开关电容电路。s 域等效电路为一个连接在输入端和运算放大器反向输入端之间的电容和连接在输出端和运算放大器反向输入端之间的并联电容电阻。开关电容 α_2C 在此电路中实现电阻的功能。图 9.5-3（b）给出了一个更有用的形式，只允许α_1C 和 C 上的电荷在ϕ_2相位改变。

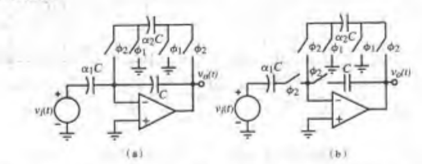


图 9.5-3 （a）开关电容高通电路；（b）限制α_1C 和 C 在ϕ_2相位充电的（a）的形式

图 9.5-3 的 z 域模型如图 9.5-4 所示。我们不需要麻烦地将 α_2C 从输出端断开，因为电路可以直接分析。将运算放大器反相输入端的电流相加得：

$$\alpha_1(1-z^{-1})V_i^e(z)+\alpha_2V_o^e(z)+(1-z^{-1})V_o^e(z)=0 \tag{9.5-12}$$

求解传递函数 $H^{ee}(z)$ 得：

$$H^{ee}(z)=\frac{V_o^e(z)}{V_i^e(z)}=\frac{-\alpha_1(1-z^{-1})}{\alpha_2+1-z^{-1}}=\frac{\dfrac{\alpha_1}{\alpha_2+1}(1-z^{-1})}{1-\dfrac{1}{\alpha_2+1}z^{-1}} \tag{9.5-13}$$

令式（9.5-2）等于式（9.5-13）得：

$$\alpha_1=\frac{-A_1}{B_0}=\frac{-A_0}{B_0} \quad 和 \quad \alpha_2=\frac{1-B_0}{B_0} \tag{9.5-14}$$

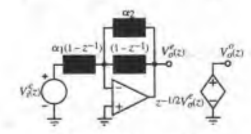


图 9.5-4 图 9.5-3 的z域模型

全通电路

最后，我们分析一个能增大高频或低频范围的一阶电路实现方法。这个电路也可以实现一个全通电路，其幅度相对于频率是一个常数。图9.5-5（a）给出了这个电路，图 9.5-5（b）给出了对其修改后得到的更简单的 z 域模型。

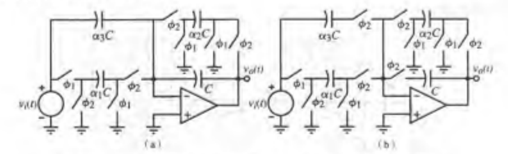


图 9.5-5 （a）高频或低频提升电路；（b）为简化z域模型对（a）的改进

图 9.5-6 是图 9.5-5（b）的 z 域模型。将流入运算放大器反相输入端的电流相加得：

$$-\alpha_1 z^{-1/2} V_i^o(z) + \alpha_3(1 - z^{-1})V_i^e(z) + \alpha_2 V_o^e(z) + (1 - z^{-1})V_o^e(z) = 0 \qquad (9.5\text{-}15)$$

由于$V_i^o(z) = z^{-1/2}V_i^e(z)$，式（9.5-15）可以写为：

$$V_o^e(z)\left[\alpha_2 + 1 - z^{-1}\right] = \alpha_1 z^{-1}V_i^e(z) - \alpha_3(1 - z^{-1})V_i^e(z) \qquad (9.5\text{-}16)$$

求解 $H^{ee}(z)$ 得：

$$H^{ee}(z) = \frac{\alpha_1 z^{-1} - \alpha_3(1 - z^{-1})}{\alpha_2 + (1 - z^{-1})} = \left(\frac{-\alpha_3}{\alpha_2 + 1}\right)\frac{1 - \dfrac{\alpha_1 + \alpha_3}{\alpha_3}z^{-1}}{1 - \dfrac{z^{-1}}{\alpha_2 + 1}} \qquad (9.5\text{-}17)$$

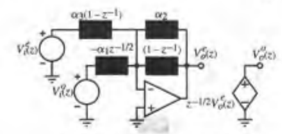


图 9.5-6 图 9.5-5（b）的z域模型

令式（9.5-16）等于式（9.5-1）得：

$$\alpha_1 = \frac{A_1 + A_0}{B_0}, \quad \alpha_2 = \frac{1 - B_0}{B_0}, \quad \alpha_3 = \frac{-A_0}{B_0} \qquad (9.5\text{-}18)$$

下面这个例子就是应用图 9.5-5 设计一个低频提升电路。

例 9.5-2 设计一个开关电容低频提升电路

在图 9.5-5 中使用 100 kHz 的时钟，求实现图 9.5-7 所示渐近频响曲线的电容比值α_1、α_2和α_3。

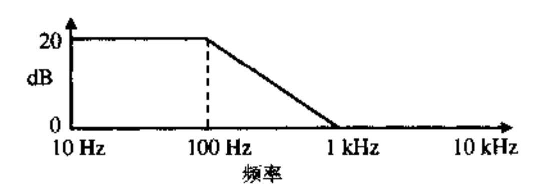


图 9.5-7　低频提升电路频率响应

解:

因为这个例题的条件是在连续时间频域里给出的，让我们使用$z^{-1} \approx 1$和$1 - z^{-1} \approx sT$ 这两个近似条件，其中 T 是时钟周期。因此，式（9.5-17）可以写成：

$$H^{ee}(s) \approx \frac{-sT\alpha_3 + \alpha_1}{sT + \alpha_2} = -\frac{\alpha_1}{\alpha_2}\left(\frac{sT\alpha_3/\alpha_1 - 1}{sT/\alpha_2 + 1}\right) \quad (9.5\text{-}19)$$

从图 9.5-7 可见，要求的频率响应直流增益为 10，在±2π kHz 处为零点，在−200π Hz 处为极点。因此，必须满足下面的关系：

$$\frac{\alpha_1}{\alpha_2} = 10, \quad \frac{\alpha_1}{T\alpha_3} = 2000\pi, \quad \frac{\alpha_2}{T} = 200\pi \quad (9.5\text{-}20)$$

从式（9.5-20）的关系可以得到希望的值为：

$$\alpha_1 = \frac{2000\pi}{f_c}, \quad \alpha_2 = \frac{200\pi}{f_c}, \quad \alpha_3 = 1 \quad (9.5\text{-}21)$$

如果式（9.5-17）中零极点的幅度相同，图 9.5-5 就变成了一个全通电路。这时$\alpha_3/\alpha_1=1/\alpha_2$。全通电路很有用，它可以在不影响系统幅频响应的情况下提供一个相移。

图 9.5-1、图 9.5-3 和图 9.5-5 的三个一阶电路代表了大部分开关电容一阶电路。实际上，这些电路的不同形式被用来减小时钟馈通和共模噪声源，增大信号摆幅。图 9.5-8 给出了图 9.5-1、图 9.5-3 和图 9.5-5 一种可能的差分形式。开关电容电路的差分工作需要带有差分输出的运算放大器或者 OTA。对差分输出放大器需要采取一些措施来稳定共模输出电压。这可以在运算放大器内部进行，或者在外部用开关和电容对共模输出电压进行采样再反馈到放大器的偏置电路。虽然差分工作增加了元件数量和放大器的复杂度，但信号摆幅增大了一倍，时钟馈通得到降低，甚至谐波也减小了。

本节讨论的一阶单元在普通信号处理和高阶开关电容滤波器的应用方面都有很大用途。我们应当记住，只有当时钟频率远大于最高信号频率时，一阶单元的 z 域特性才可以近似为时域特性。

9.6　二阶开关电容电路

二阶电路的优点是可以实现复杂的零极点，这在设计频域滤波器时更加有用。设计高阶滤波器的一个方法是采用多项式，然后将它们拆成二次项的乘积。每个乘积项都可以通过级联一个二阶电路实现，它们各自实现一对共轭极点和两个零点（可以是无穷大，也可以是零，还可以在两者中间）。如果滤波器的阶数是奇数，那么其中一个乘积项是一阶的，需要用到上一节讨论的实现方式。图 9.6-1 描述了级联滤波器的设计思想。

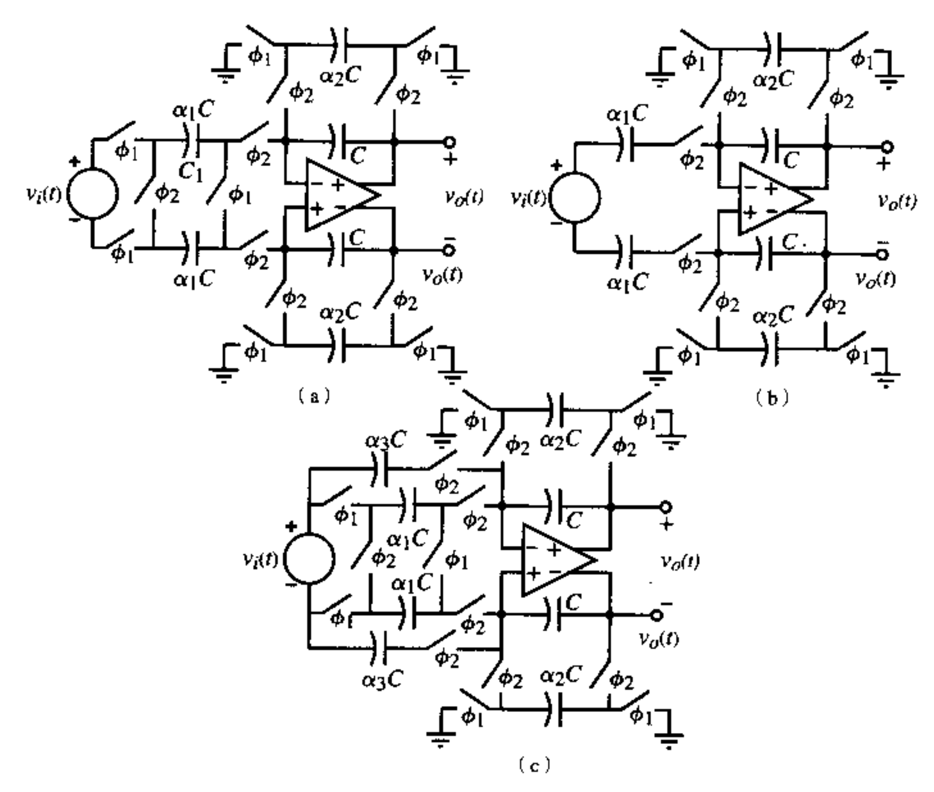


图 9.5-8 （a）图 9.5-1；（b）图 9.5-3；（c）图 9.5-5 的差分实现

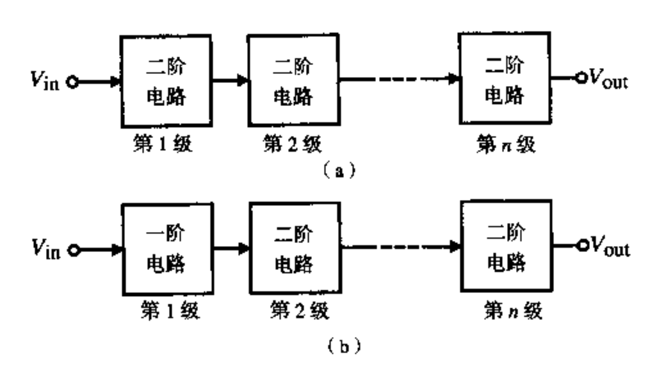


图 9.6-1 （a）n 是偶数时的级联设计；（b）n 是奇数时的级联设计

本节我们将关注作为开关电容的二阶电路。我们将介绍几种二阶双四结构（biquad）电路，以适应级联设计的要求。双四结构电路可以实现复极点和复零点。极点由基本反馈路径实现，包括一个同相积分器和一个反相积分器。其中一个加衰减以避免振荡。零点产生取决于输入信号加在电路上的方式。如果从输入端到输出端有不止一个并联信号路径就会产生零点。零点的位置决定双四结构电路的整个频率响应（即低通、带通、高通、全通、带阻等）。极点对过渡区的影响更大。

低 Q 值开关电容双四结构电路

下面我们将研究两种开关电容双四结构电路的实现。这两种实现方法与 MicroSim's 滤波器

设计程序[14]用的方法是一样的，因此将被更广泛地应用在使用这个程序的地方。

一般而言，一个连续时域中的双四结构电路可以写成：

$$H_a(s)=\frac{V_{out}(s)}{V_{in}(s)}=\frac{-(K_2s^2+K_1s+K_0)}{s^2+\frac{\omega_o}{Q}s+\omega_o^2} \quad (9.6\text{-}1)$$

这里，ω_o是极点频率，Q 是极点 Q。K_0、K_1、K_2是决定双四结构电路零点位置的系数。我们可以将式（9.6-1）改写为：

$$s^2V_{out}(s)+\frac{\omega_o s}{Q}V_{out}(s)+\omega_o^2V_{out}(s)=-(K_2s^2+K_1s+K_0)V_{in}(s) \quad (9.6\text{-}2)$$

两边同时除以 s^2，求解 $V_{out}(s)$得：

$$V_{out}(s)=\frac{-1}{s}\left[(K_1+K_2s)V_{in}(s)+\frac{\omega_o}{Q}V_{out}(s)+\frac{1}{s}(K_0V_{in}(s)+\omega_o^2V_{out}(s))\right] \quad (9.6\text{-}3)$$

如果我们定义电压 $V_1(s)$为：

$$V_1(s)=\frac{-1}{s}\left[\frac{K_0}{\omega_o}V_{in}(s)+\omega_oV_{out}(s)\right] \quad (9.6\text{-}4)$$

式（9.6-4）可以表示为：

$$V_{out}(s)=\frac{-1}{s}\left[(K_1+K_2s)\,V_{in}(s)+\frac{\omega_o}{Q}V_{out}(s)-\omega_oV_1(s)\right] \quad (9.6\text{-}5)$$

式（9.6-4）和式（9.6-5）都是用积分输入求和表示的电压形式，包括电压本身。因此，很容易用一个图 9.6-2 所示的双积分器来综合这些等式。其中，K_2s 项类似于 9.2 节中的电荷放大器。我们可以自由地使用负阻，因为下面是能够实现负跨阻的开关电容电路。

将图 9.6-2 的电路连起来就能组成一个连续时间双四结构电路（见习题 9.6-1）。但我们采用前面讨论的开关电容电路构成两个开关电容积分器实现图 9.6-2，其中输出积分器有一个非积分输入，如图9.6-3 所示。最终，我们寻找的双四结构开关电容电路如图9.6-4 所示。注意，图9.6-4 中合并了相位相同的并联开关。

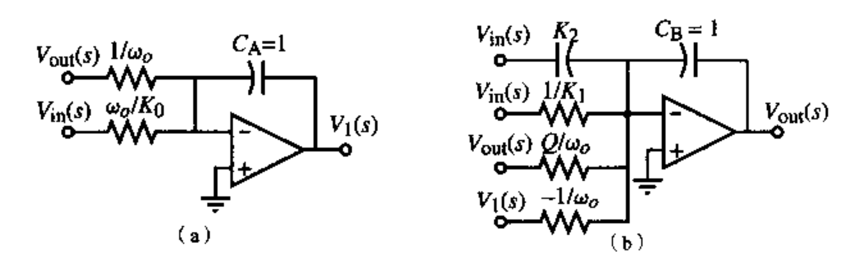


图 9.6-2 （a）式（9.6-4）的实现；（b）式（9.6-5）的实现

利用 9.4 节介绍的方法，图 9.6-3（a）和图 9.6-3（b）的输出可以表示如下：

$$V_1^e(z)=-\frac{\alpha_1}{1-z^{-1}}V_{in}^e(z)-\frac{\alpha_2}{1-z^{-1}}V_{out}^e(z) \quad (9.6\text{-}6)$$

以及

$$V_{out}^e(z) = -\alpha_3 V_{in}^e(z) - \frac{\alpha_4}{1 - z^{-1}} V_{in}^e(z) + \frac{\alpha_5 z^{-1}}{1 - z^{-1}} V_1^e(z) - \frac{\alpha_6}{1 - z^{-1}} V_{out}^e(z) \qquad (9.6\text{-}7)$$

注意，我们将图 9.6-3（b）的输入 $V_1^o(z)$ 乘以 $z^{-1/2}$ 就转换为 $V_1^e(z)$。如果假设 $\omega T \ll 1$，那么 $1 - z^{-1} \approx sT$，式（9.6-6）和式（9.6-7）可以近似为：

$$V_1^e(s) \approx -\frac{\alpha_1}{sT} V_{in}^e(s) - \frac{\alpha_2}{sT} V_{out}^e(s) = \frac{-1}{s}\left[\frac{\alpha_1}{T} V_{in}^e(s) + \frac{\alpha_2}{T} V_{out}^e(s)\right] \qquad (9.6\text{-}8)$$

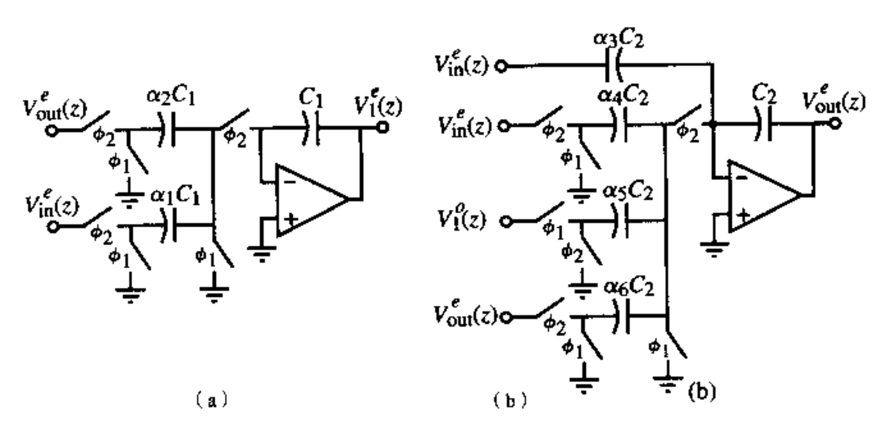


图 9.6-3 （a）图 9.6-2（a）的开关电容实现；（b）图 9.6-2（b）的开关电容实现

和

$$V_{out}^e(s) \approx \frac{-1}{s}\left[\left(\frac{\alpha_4}{T} + s\alpha_3\right) V_{in}^e(s) - \frac{\alpha_5}{T} V_1^e(s) + \frac{\alpha_6}{T} V_{out}^e(s)\right] \qquad (9.6\text{-}9)$$

将式（9.6-8）和式（9.6-9）合并，即得传输函数 $H^{ee}(s)$如下：

$$H^{ee}(s) = \frac{-\left(\alpha_3 s^2 + \frac{s\alpha_4}{T} + \frac{\alpha_1\alpha_5}{T^2}\right)}{s^2 + \frac{s\alpha_6}{T} + \frac{\alpha_2\alpha_5}{T^2}} \qquad (9.6\text{-}10)$$

比较式（9.6-8）和式（9.6-9）与式（9.6-4）和式（9.6-5）得：

$$\alpha_1 = \frac{K_0 T}{\omega_o}, \quad \alpha_2 = |\alpha_5| = \omega_o T, \quad \alpha_3 = K_2, \quad \alpha_4 = K_1 T, \quad \alpha_6 = \frac{\omega_o T}{Q} \qquad (9.6\text{-}11)$$

在给定式（9.6-1）中各项系数的条件下，利用关系式（9.6-11）就能设计出双四结构开关电容电路，并且可以得到电路中最大和最小的电容比值。如果仅考虑极点，很显然，若 $Q > 1$ 且 $\omega_o T \ll 1$，那么最大电容比（α）为α_6。但当 Q 过大（大于 5）时，α_6 就会变得过小，导致图 9.6-4 中的双四结构电路仅适合于低品质因数的应用。如果 $Q < 1$，最大电容比为α_2或α_5。

双四结构电路的另一个特征值是电容和。为了求这个值，用最小电容$\alpha_{min}C$ 将所有连接到或转换到各个运算放大器反相端的电容归一化。所有与运算放大器相连的归一化电容之和即为与运算放大器相连电容量之和，即：

$$\Sigma C = \frac{1}{\alpha_{min}} \sum_{i=1}^{n} \alpha_i \qquad (9.6\text{-}12)$$

其中，n 表示与运算放大器反向端相连的电容个数，包括积分电容。

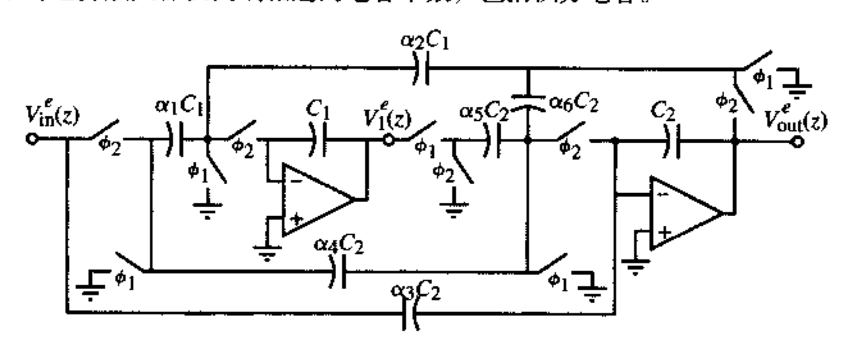


图 9.6-4　双四结构低 Q 值开关电容电路

例 9.6-1　低 Q 双四结构开关电容电路的设计

假设双四结构电路参数为：$f_o=1\ \text{kHz}$、$Q=2$、$K_0=K_2=0$、$K_1=2\pi f_o/Q$（带通滤波器）。时钟频率为 100 kHz。设计图 9.6-4 的电容比值，确定最大电容比以及以 C_1、C_2 为单位电容时的总电容。

解：

由式（9.6-11）可知 $\alpha_1=\alpha_3=0$，$\alpha_2=\alpha_5=0.0628$，以及 $\alpha_4=\alpha_6=0.0314$。最大电容比为 α_4 或 α_6，即为 1/31.83。图 9.6-4 中与输入运算放大器相连的电容和为 1/0.0628 + 1 = 16.916。与第二个运算放大器相连的电容和为 0.0628/0.0314 + 2 + 1/0.0314 = 35.85。因此，总的双四结构电容为 52.76 单位电容。注意，当时钟频率接近信号频率时这个值会减小。

图 9.6-4 的低 Q 值双四结构开关电容电路也可以在 z 域进行设计。将式（9.6-6）和式（9.6-7）合并可得图 9.6-4 的 z 域传递函数如下：

$$\frac{V^e_{out}(z)}{V^e_{in}(z)}=H^{ee}(z)=-\frac{(\alpha_3+\alpha_4)z^2+(\alpha_1\alpha_5-\alpha_4-2\alpha_3)z+\alpha_3}{(1+\alpha_6)z^2+(\alpha_2\alpha_5-\alpha_6-2)z+1} \tag{9.6-13}$$

双四结构的一般 z 域表达式为：

$$H(z)=-\frac{a_2z^2+a_1z+a_0}{b_2z^2+b_1z+1} \tag{9.6-14}$$

令式（9.6-13）和式（9.6-14）的系数相等可得：

$$\alpha_3=a_0,\quad \alpha_4=a_2-a_0,\ \alpha_1\alpha_5=a_2+a_1+a_0,\ \alpha_6=b_2-1,\ \alpha_2\alpha_5=b_2+b_1+1 \tag{9.6-15}$$

由于有 5 个方程，6 个未知数，所以必须再引入一个关系式。一个办法是取 $\alpha_5=1$，然后解出其余的电容比值。或者取 $\alpha_2=\alpha_5$，使反馈回路中两个积分器的积分频率相等。

电容比值确定以后，还要分析 V_1 和 V_{out} 处的电压，以保证在关心的频率范围内它们的幅度近似相等。如果此条件不满足，必须采用一个动态缩放比例使得从每个运算放大器输出端看到的动态范围相等。这个动态范围缩放比例的实现遵循以下规则：如果一个开关电容电路中运算放大器输出节点的电压要乘以比例因子 k，那么所有与该输出节点相连的开关或非开关电容都必须乘以比例因子 $1/k$。这个缩放比例是为了保证与一个节点相关的总电荷为常数。上面选取的条件 $\alpha_2=\alpha_5$ 可以实现近似最优比例的动态范围。

高 Q 值双四结构开关电容电路

为避免大的元件散布，图 9.6-4 的双四结构开关电容电路的 Q 值被限制在 5 或更小。但是只需改写式（9.6-4）和式（9.6-5）就可以实现更高 Q 值的双四结构电路，而且不会受到大的器件散布的影响。从式（9.6-3）入手重新表示 $V_{out}(s)$和 $V_1(s)$：

$$V_{out}(s) = -\frac{1}{s}[K_2 s V_{in} - \omega_o V_1(s)] \tag{9.6-16}$$

$$V_1(s) = -\frac{1}{s}\left[\left(\frac{K_0}{\omega_o} + \frac{K_1}{\omega_o}s\right)V_{in}(s) + \left(\omega_o + \frac{s}{Q}\right)V_{out}(s)\right] \tag{9.6-17}$$

如前所述，我们可以将这两个方程综合成图 9.6-5。下一步就是将图 9.6-5 的连续时间电路用图 9.6-6 所示的开关电容电路实现。

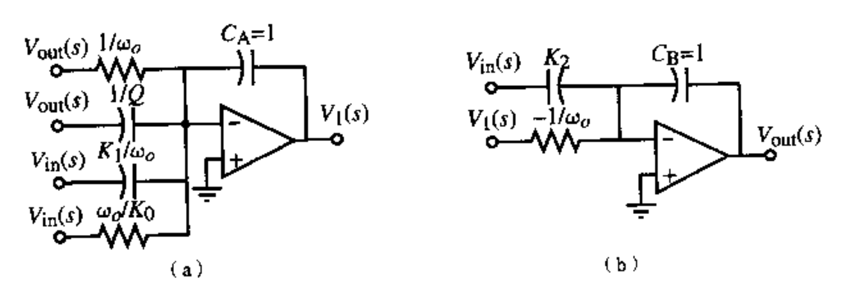


图 9.6-5 （a）式（9.6-17）的实现；（b）式（9.6-16）的实现

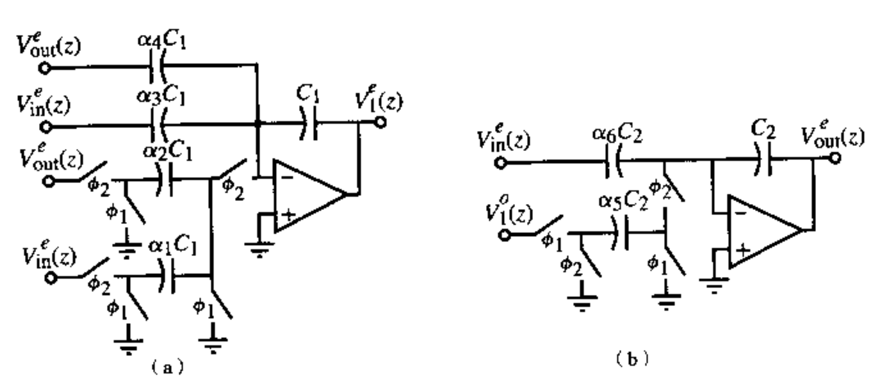


图 9.6-6 （a）图 9.6-5（a）的开关电容实现；（b）图 9.6-5（b）的开关电容实现

采用 9.4 节介绍的方法，图 9.6-6 的输出可以表示如下：

$$V^e_{out}(z) = -\alpha_6 V^e_{in}(z) + \frac{\alpha_5 z^{-1}}{1-z^{-1}} V^e_1(z) \tag{9.6-18}$$

和

$$V^e_1(z) = -\frac{\alpha_1}{1-z^{-1}} V^e_{in}(z) - \frac{\alpha_2}{1-z^{-1}} V^e_{out}(z) - \alpha_3 V^e_{in}(z) - \alpha_4 V^e_{out}(z) \tag{9.6-19}$$

和前面一样，我们将图 9.6-6（b）的输入 $V^o_1(z)$乘以 $z^{-1/2}$ 以转换为 $V^e_1(z)$。若假设 $\omega T \ll 1$，那么 $1 - z^{-1} \approx sT$，式（9.6-18）和式（9.6-19）可以近似表示为：

$$V_{\text{out}}^{e}(s) \approx \frac{-1}{s}\left[(s\alpha_6)V_{\text{in}}^{e}(s) - \frac{\alpha_5}{T}V_1^{e}(s)\right] \tag{9.6-20}$$

以及

$$V_1^{e}(s) \approx -\frac{1}{s}\left(\frac{\alpha_1}{T} + s\alpha_3\right)V_{\text{in}}^{e}(s) - \frac{1}{s}\left(\frac{\alpha_2}{T} + s\alpha_4\right)V_{\text{out}}^{e}(s) \tag{9.6-21}$$

将图 9.6-6 中电路连接起来就可以组成如图 9.6-7 所示的高 Q 值双四结构电路。式（9.6-20）与式（9.6-21）合并得到图 9.6-7 的传递函数 $H^{ee}(s)$为：

$$H^{ee}(s) \approx \frac{-\left[\alpha_6 s^2 + \dfrac{s\alpha_3\alpha_5}{T} + \dfrac{\alpha_1\alpha_5}{T^2}\right]}{s^2 + \dfrac{s\alpha_4\alpha_5}{T} + \dfrac{\alpha_2\alpha_5}{T^2}} \tag{9.6-22}$$

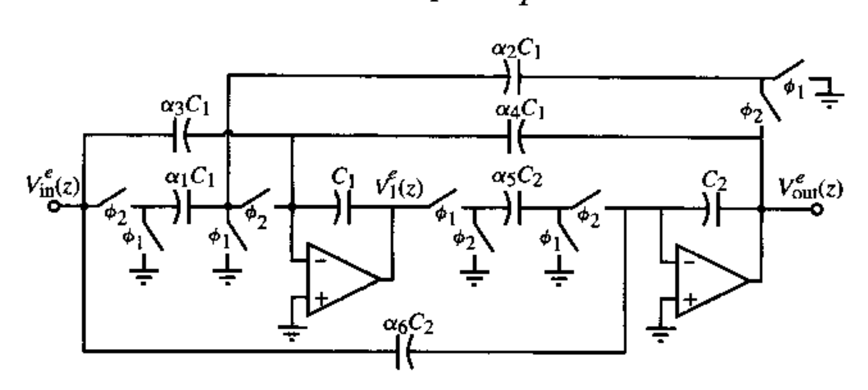


图 9.6-7 双四结构的高 Q 值开关电容电路

将式（9.6-19）和式（9.6-20）与式（9.6-16）和式（9.6-17）相比较，得到：

$$\alpha_1 = \frac{K_0 T}{\omega_o},\quad \alpha_2 = |\alpha_5| = \omega_o T,\quad \alpha_3 = \frac{K_1}{\omega_o},\quad \alpha_4 = \frac{1}{Q},\quad \alpha_6 = K_2 \tag{9.6-23}$$

利用式（9.6-23）中的关系，根据给定的式（9.6-1）的系数能够设计双四结构开关电容电路。当 $Q>1$、$\omega_o T \ll 1$ 时，最大电容比（α）为$\alpha_2(\alpha_5)$或α_4，这取决于 Q 和$\omega_o T$ 的值。图 9.6-7 中实现的高 Q 值电路消除了 $Q/\omega_o T$ 的电容散布。

例 9.6-2 高 Q 值双四结构开关电容的设计

假设双四结构电路参数为：f_o=1 kHz、Q=10、$K_0=K_2=0$、$K_1=2\pi f_o/Q$（带通滤波器）。时钟频率为 100 kHz。确定图 9.6-7 的电容比值，并求最大电容比以及当 C_1、C_2为单位电容时的总电容。

解：

由式（9.6-23）可知$\alpha_1=\alpha_6=0$，$\alpha_2=\alpha_5=0.0628$，以及$\alpha_3=\alpha_4=0.1$。最大电容比为α_2或α_5，即 1/15.92。图 9.6-7 中与输入运算放大器相连的电容和为 1/0.0628 + 2（0.1/0.0628）+ 1 = 20.103。与第二个运算放大器相连的电容和为 1/0.0628 + 1 = 16.916。因此，双四结构电路的总电容为 36.02 单位电容。

图 9.6-7 所示的高 Q 值双四结构开关电容电路也可在z域中设计。将式（9.6-18）与式（9.6-19）合并，得到图 9.6-7 的z域传递函数如下：

$$\frac{V_{\mathrm{out}}^{e}(z)}{V_{\mathrm{in}}^{e}(z)}=H^{ee}(z)=-\frac{\alpha_6 z^2+(\alpha_3\alpha_5-\alpha_1\alpha_5-2\alpha_6)z+(\alpha_6-\alpha_3\alpha_5)}{z^2+(\alpha_4\alpha_5+\alpha_2\alpha_5-2)z+(1-\alpha_4\alpha_5)} \tag{9.6-24}$$

双四结构电路的一般z域表达式为：

$$H(z)=-\frac{a_2z^2+a_1z+a_0}{b_2z^2+b_1z+1}=-\frac{(a_2/b_2)z^2+(a_1/b_2)z+(a_0/b_2)}{z^2+(b_1/b_2)z+(b_0/b_2)} \tag{9.6-25}$$

令式（9.6-24）与式（9.6-25）的系数相等，得：

$$\alpha_6=\frac{a_2}{b_2},\ \alpha_3\alpha_5=\frac{a_2-a_0}{b_2},\ \alpha_1\alpha_5=\frac{a_2+a_1+a_0}{b_2},\ \alpha_4\alpha_5=1-\frac{1}{b_2},\ \alpha_2\alpha_5=1+\frac{b_1+1}{2} \tag{9.6-26}$$

因为有 5 个方程和 6 个未知数，所以还必须引入一个关系式。一个办法是取$\alpha_5=1$，然后解出剩下的电容比。或者令$\alpha_2=\alpha_5$，这使反馈回路中两个积分器的积分频率相等。

图 9.6-7 中的高 Q 值双四结构电路也要对 V_1 和 V_{out} 进行与前面一样的分析，并选取$\alpha_2=\alpha_5$以实现近似最优比例的动态范围。

Fleischer-Laker 双四结构开关电容电路

前面介绍的两种双四结构开关电容电路适用于大多数开关电容滤波器的应用。但是为了完整起见，这里还要介绍一种通用的双四结构电路，它能够实现任何二阶z变换，被称为 Fleischer -Laker 双四结构[15, 16]。它应用于很多开关电容滤波器中。

图 9.6-8 即为 Fleischer-Laker 双四结构开关电容电路，不同的开关电容适当地共用开关。虚线所画的电容 K 和 L 可以减少 Fleischer-Laker 双四结构的总电容和/或灵敏度以提供更大的灵活性。决定极点的初级积分回路由电容 A、B、C、D 组成。与电容 K 和 L 串联的开关是为了利用z域模型来分析这个电路。

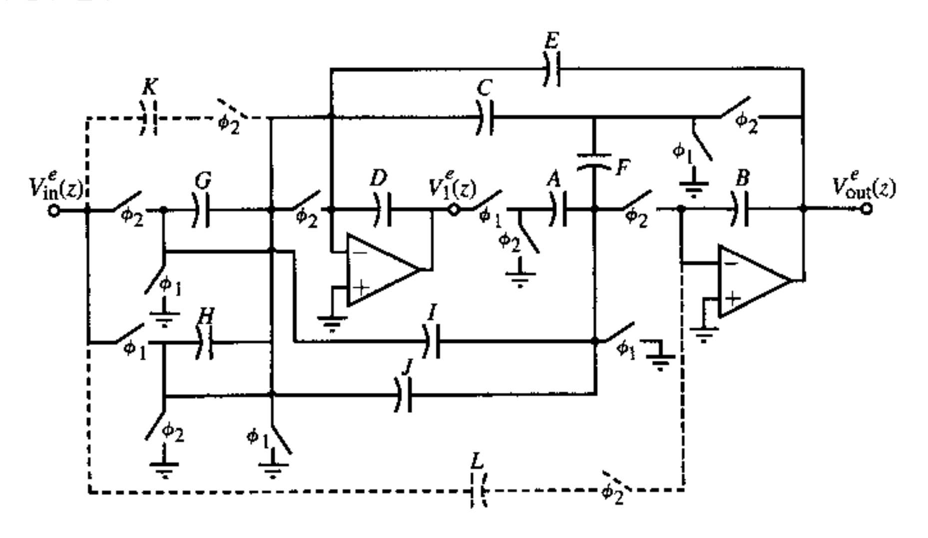


图 9.6-8 Fleischer-Laker 双四结构开关电容电路

由图 9.6-9 所示的z域等效电路可以得到图 9.6-8 的z域传递函数。Fleischer-Laker 双四结构的传递函数为：

$$\frac{V_{out}^e(z)}{V_{in}^e(z)}=\frac{(D\hat{J}-A\hat{H})z^{-2}-[D(\hat{I}+\hat{J})-A\hat{G}]z-D\hat{I}}{(DB-AE)z^{-2}-[2DB-A(C+E)+DF]z^{-1}+D(B+F)} \tag{9.6-27}$$

和

$$\frac{V_1^e(z)}{V_{in}^e(z)}=\frac{(E\hat{J}-B\hat{H})z^{-2}+[B(\hat{G}+\hat{H})+FH-E(\hat{I}+\hat{J})-C\hat{J}]z^{-1}-[\hat{I}(C+E)-\hat{G}(F+B)]}{(DB-AE)z^{-2}-[2DB-A(C+E)+DF]z^{-1}+D(B+F)} \tag{9.6-28}$$

其中：

$$\hat{G}=G+L,\quad \hat{H}=H+L,\quad \hat{I}=I+K,\quad \hat{J}=J+L \tag{9.6-29}$$

这些方程包括电容 K 和 L。如果不考虑它们，式中"带帽的"（^）符号变成符号本身。注意，开关电容 A、H 和 J 的模型的选择是为了获得它们各自的输入在随后的奇相位阶段时的偶采样点。

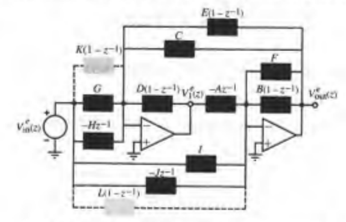


图 9.6-9　图 9.6-8 中 Fleischer-Laker 双四结构的 z 域等效电路

实际上，很少同时需要12 个电容。这个通用结构的优点在于它为专用双四结构电路的系统设计提供了一个结构框架。下面我们将分析通用结构的两种情况。关于 Fleischer-Laker 双四结构开关电容电路的更多应用细节可以在 Laker 和 Sansen 的文献[15]中找到。在初级积分回路中电容 E 和 F 都用来产生衰减。我们将分析一个 $F=0$、被称之为 1E 型的双四结构和另一个 $E=0$、被称之为 1F 型的双四结构，从而说明设计一个双四结构电路的设计过程。在这两个例子中，电容 K 和 L 皆为 0。

由式（9.6-27）和式（9.6-28）可以得到 1E 型的 z 域传递函数为：

$$\frac{V_{out}^e}{V_{in}^e}=\frac{z^{-2}(JD-HA)+z^{-1}(AG-DJ-DI)+DI}{z^{-2}(DB-AE)+z^{-1}(AC+AE-2BD)+BD} \tag{9.6-30}$$

和

$$\frac{V_1^e}{V_{in}^e}=\frac{z^{-2}(EJ-HB)+z^{-1}(GB+HB-IE-CJ-EJ)+(IC+IE-GB)}{z^{-2}(DB-AE)+z^{-1}(AC+AE-2BD)+BD} \tag{9.6-31}$$

对于 1F 型，z 域传递函数为：

$$\frac{V_{out}^e}{V_{in}^e}=\frac{z^{-2}(JD-HA)+z^{-1}(AG-DJ-DI)+DI}{z^{-2}DB+z^{-1}(AC-2BD-DF)+(BD+DF)} \tag{9.6-32}$$

和

$$\frac{V_1^e}{V_{in}^e}=\frac{-z^{-2}HB+z^{-1}(GB+HB+HF-CJ)+(IC+GF-GB)}{z^{-2}DB+z^{-1}(AC-2BD-DF)+(BD+DF)} \qquad (9.6\text{-}33)$$

设计过程从已知的z域传递函数和系数值开始。只需要匹配系数就能解出电容值。为了能惟一地解出所有电容的值，可能需要引入其他的关系式。从灵敏度和元件参数比中可以获得有用的条件。下面的例子介绍了这个设计过程。

例 9.6-3 Fleischer-Laker 双四结构开关电容电路的设计

利用Fleischer-Laker 双四结构电路实现下面的z域传递函数，其z域极点坐标为$r=0.98$和$\theta=\pm 6.2°$。

$$H(z)=\frac{0.003z^{-2}+0.006z^{-1}+0.003}{0.9604z^{-2}-1.9485z^{-1}+1}$$

解:

首先选择 1E 型的 Fleischer-Laker 双四结构电路。令式（9.6-30）的分子和$H(z)$的分子相等，得:

$$DI=0.003$$

$$AG-DJ-DI=0.006 \quad \rightarrow \quad AG-DJ=0.009$$

$$DJ-HA=0.003$$

如果任意选取$H=0$，则可以得到:

$$DI=0.003$$

$$JD=0.003$$

$$AG=0.012$$

取$D=A=1$，得$I=0.003$，$J=0.003$及$G=0.012$。再令式（9.6-30）和$H(z)$的分母相等，得:

$$BD=1$$

$$BD-AE=0.9604 \quad \rightarrow \quad AE=0.0396$$

$$AC+AE-2BD=-1.9485 \quad \rightarrow \quad AC+AE=0.0515 \quad \rightarrow \quad AC=0.0119$$

因为已经选取$D=A=1$，所以$B=1$，$E=0.0396$，$C=0.0119$。如果任何一个电容为负值，那就得另定条件或选择一个诸如 1F 型的不同实现方式来重新设计。

由于每个字母代表一个电容，最大电容比即为D或A比I或J，即 333。大的电容比值是由$BD=1$引起的。如果换为 1F 型，$BD=0.9604$会导致大的电容比值。这个例子说明需要通过电容E和F来获得更小的电容比。

本节介绍了三种双四结构开关电容电路。双四结构是下节将要介绍的开关电容滤波器中非常有用的组成单元。与大多数开关电容电路一样，这些双四结构电路用差分方式实现，采用差分输入和差分输出运算放大器。

9.7 开关电容滤波器

开关电容电路的一个主要应用是线性滤波器。在 9.1 节中我们已经说明，电路时间常数的精

度与电容的相对精度成比例。对于用 CMOS 工艺实现的实际滤波器，这个精度已经足够了。从20世纪70年代末至80年代初，用开关电容电路实现单片集成滤波器的技术已经趋于成熟[17, 18]。正因为如此，对开关电容滤波器的应用进行简要的概述显得相当重要。更多关于开关电容滤波器设计的细节可以在其他参考文献中找到[15, 19, 20]。

连续时间滤波器理论

线性滤波器的目的是对连续时间信号进行与频率相关的处理。换句话说，对频率不同的信号和不同频率组成的信号处理是不同的。这些处理会受到正弦波幅度与相位的限制。在一个理想低通滤波器中，低于某个频率的信号输出保持不变，而高于这个频率的分量则被滤除。尽管相位也很重要，但是大多数滤波器应用时更注重幅度。然而必须认识到，如果相位与频率为非线性关系，那么各种信号的群延时不同，在滤波器信号处理过程中会出现相位失真。

理想滤波器有一个有限增益的频率范围（通带）和一个增益为零的频率范围（阻带）。但根据电路理论这种滤波器是不可能实现的。因此，实际滤波器有一个有限增益的通带和一个增益很小的阻带。此外，通带和阻带被一个称为过渡区的频率段隔开。此外，需要控制通带内的增益变化以控制其对信号的影响。例如，在对通过滤波器的声音进行监听的检测器之前，或者通过滤波器的信号在加到模数转换器之前，通带增益最多允许变化–3 dB。如果通带增益的变化过大，转换器将不能正常工作。

基于上述讨论，所有的线性滤波器都可以用三个特性来描述：通带波纹、过渡频率及阻带增益/衰减。通常是将低通滤波器的频率和幅度进行归一化。设 $T(j\omega)$为图9.7-1（a）所示低通滤波器的传递函数，$T(j0)$是 $\omega = 0$ 时滤波器的增益，ω_{PB}是通带上限频率，ω_{SB}是阻带下限频率，用下面的归一化公式能将幅度归一化为：

$$T_n(j\omega) = \frac{T(j\omega)}{T(j0)} \qquad (9.7\text{-}1)$$

频率可用下式归一化为：

$$\omega_n = \frac{\omega}{\omega_{PB}} \qquad (9.7\text{-}2)$$

合并式（9.7-1）和式（9.7-2），归一化低通传递函数可表示为：

$$T_n(j\omega_n) = \frac{T(j\omega/\omega_{PB})}{T(0)} \qquad (9.7\text{-}3)$$

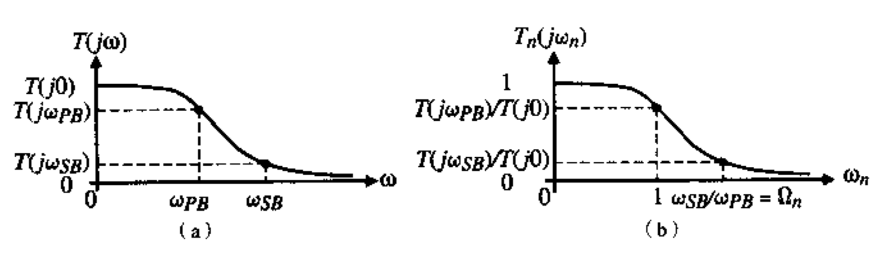


图 9.7-1 （a）低通滤波器；（b）归一化低通滤波器

图9.7-1（b）所示即为图9.7-1（a）滤波器的归一化幅频特性曲线。注意，图中通带上限频率为 1，而阻带下限频率为 ω_{SB}/ω_{PB}。归一化阻带频率定义为：

$$\Omega_n = \frac{\omega_{PB}}{\omega_{SB}} \tag{9.7-4}$$

图 9.7-1 所示低通滤波器响应曲线上的两点已足以描述滤波器的设计特性，这组参数包括 $T(j\omega_{PB})$、$T(j\omega_{SB})$、ω_{PB} 和 ω_{SB}。但是如果我们按图 9.7-1（b）对滤波器进行归一化，就只剩下三个参数了。通常，$T(j0)$为单位 1，因此这三个参数为：（1）$T(j\omega_{PB})$称为通带波纹；（2）$T(j\omega_{SB})$称为阻带增益/衰减；（3）Ω_n称为过渡频率。图 9.7-1（b）最常用的表示方式是幅度采用 dB 坐标，而频率采用 $\log_{10}\omega$ 坐标（即波特图）。图 9.7-2 为用增益和衰减表示的归一化低通滤波器的波特图。增益或衰减都可以用来描述滤波器特性。

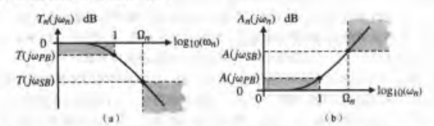


图 9.7-2 （a）图 9.7-1 低通滤波器的波特图；（b）低通滤波器（a）的衰减特性[$A(j\omega) = 1/T(j\omega)$]

滤波器的设计首先是寻找一个满足如下特征的近似值。在归一化频率 0 和 1 之间，滤波器的近似值应在 0 dB 和$T(j\omega_{PB})$的 dB 值之间。而归一化频率大于Ω_n时，滤波器的近似值必须小于等于$T(j\omega_{SB})$的 dB 值。换句话说，滤波器的近似值必须落在图 9.7-2（a）或图 9.7-2（b）的阴影区中。这些区域之间即为过渡区，在两个阴影区之间的近似值应该单调过渡。

迄今为止已经发展了很多设计滤波器的近似方法。使用最广泛的方法之一是巴特沃思近似(Butterworth)[21]。巴特沃思滤波器的幅度在低频段（$\omega \to 0$）最平坦，随着频率增大单调递减，到高频（$\omega \to \infty$）则趋于零。归一化巴特沃思低通滤波器的幅度可以表示为：

$$|T_{LPn}(j\omega_n)| = \frac{1}{\sqrt{1+\varepsilon^2\omega_n^{2N}}} \tag{9.7-5}$$

其中，N 为滤波器的阶数，ε 由图 9.7-3 定义。图 9.7-3 显示了 N 取不同值时巴特沃思滤波器的幅频响应。

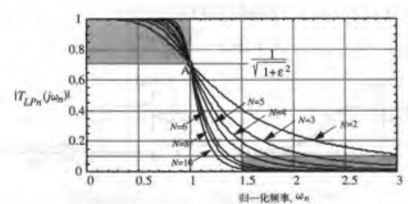


图 9.7-3 对应不同阶数 N 和ε=1 的归一化巴特沃思低通滤波器的幅频响应

图 9.7-3 中阴影区域对应于图 9.7-2（a）通带中的阴影区域。所有滤波器的幅频特性有一个共同的特点，即经过图 9.7-3 中的 A 点。ε 值可以用来调整图 9.7-3 中阴影区域的宽度。通常，巴特

沃思滤波器的ε值都给定为 1。我们从图 9.7-3 中看到，对于给定的 T_{SB}，滤波器的阶数越高，过渡区就越小。例如，当 $T_{PB}=0.707(\varepsilon=1)$，$T_{SB}=0.1$，$\Omega_n=1.5$ 时（如图 9.7-3 中两个阴影部分所示），巴特沃思滤波器的阶数要大于等于 6 才能满足条件要求。注意，阶数 N 必须是整数，这意味着即使 $N=6$ 超出了条件要求也必须采用，因为 $N=5$ 时不满足条件。巴特沃思滤波器在ω_{SB}处的幅度可由式（9.7-5）表示为：

$$\left|T_{LPn}\left(\frac{j\omega_{SB}}{\omega_{PB}}\right)\right| = |T_{LPn}(j\Omega_n)| = T_{SB} = \frac{1}{\sqrt{1+\varepsilon^2\Omega_n^{2N}}} \tag{9.7-6}$$

这个式子对确定阶数 N 以满足给定滤波器性能参数要求十分有用。滤波器的参数经常用 dB 的形式给出，因此式（9.7-6）可以改写为：

$$20\log_{10}(T_{SB}) = T_{SB}(\mathrm{dB}) = -10\log_{10}(1+\varepsilon^2\Omega_n^{2N}) \tag{9.7-7}$$

例 9.7-1　求巴特沃思滤波器的阶数

假设一个归一化低通滤波器的参数为 $T_{PB}=-3$ dB，$T_{SB}=-20$ dB，$\Omega_n=1.5$，求满足要求的巴特沃思滤波器的最小整数阶数 N。

解：

$T_{PB}=-3$ dB 对应于 $T_{PB}=0.707$，即$\varepsilon=1$。因此，将$\varepsilon=1$ 和 $\Omega_n=1.5$ 代入式（9.7-7）得：

$$T_{SB}(\mathrm{dB}) = -10\log_{10}(1+1.5^{2N})$$

将不同的 N 值代入上式，得到 $N=2$ 时 $T_{SB}=-7.83$ dB，$N=3$ 时 $T_{SB}=-10.93$ dB，$N=4$ 时 $T_{SB}=-14.25$ dB，$N=5$ 时 $T_{SB}=-17.68$ dB，$N=6$ 时 $T_{SB}=21.16$ dB。因此 N 必须大于等于 6 才能满足滤波器的性能要求。

一旦巴特沃思滤波器的阶数已知，下面就要求出相应的巴特沃思函数。尽管已经有大量的计算机程序可以直接从 T_{PB}、T_{SB} 和 Ω_n 实现连续时间域或离散时间域中的滤波器[14]，我们还是简要介绍一下这类程序的计算过程以便能够了解它们的工作原理。假设$\varepsilon=1$，表 9.7-1 列出了用二次项因子形式表示的归一化巴特沃思低通滤波器的极点位置，当 N 为奇数时，二次项因子中包含一次项（s_n+1）。可以看出，$\varepsilon=1$ 时巴特沃思滤波器的所有极点都位于复频面的左半平面的单位圆上。

表 9.7-1　$\varepsilon=1$ 时归一化低通巴特沃思函数的极点位置和二次项因子 $(s_n^2+a_1s_n+1)$。阶数为奇数时有一个乘积项(s_n+1)

N	极点	系数 a_1
2	$-0.70711\pm j0.70711$	1.41421
3	$-0.50000\pm j0.86603$	1.00000
4	$-0.38268\pm j0.92388$	0.76536
	$-0.92388\pm j0.38268$	1.84776
5	$-0.30902\pm j0.95106$	0.61804
	$-0.80902\pm j0.58779$	1.61804
6	$-0.25882\pm j0.96593$	0.51764
	$-0.70711\pm j0.70711$	1.41421
	$-0.96593\pm j0.25882$	1.93186
7	$-0.22252\pm j0.97493$	0.44505
	$-0.62349\pm j0.78183$	1.24698
	$-0.90097\pm j0.43388$	1.80194

（续表）

N	极点	系数 a_1
8	$-0.19509 \pm j0.98079$	0.39018
	$-0.55557 \pm j0.83147$	1.11114
	$-0.83147 \pm j0.55557$	1.66294
	$-0.98079 \pm j0.19509$	1.96158
9	$-0.17365 \pm j0.98481$	0.34730
	$-0.50000 \pm j0.86603$	1.00000
	$-0.76604 \pm j0.64279$	1.53208
	$-0.93969 \pm j0.34202$	1.87938
10	$-0.15643 \pm j0.98769$	0.31286
	$-0.45399 \pm j0.89101$	0.90798
	$-0.70711 \pm j0.70711$	1.41421
	$-0.89101 \pm j0.45399$	1.78202
	$-0.98769 \pm j0.15643$	1.97538

例 9.7-2　求给定 N 值的巴特沃思方程的根与多项式

已知 $N=5$，$\varepsilon=1$，求巴特沃思的根。

解：

由于 $N=5$，根据表 9.7-1 可得如下的一次和二次乘积项：

$$T_{LPn}(s_n) = T_1(s_n)T_2(s_n)T_3(s_n) = \left(\frac{1}{s_n+1}\right)\left(\frac{1}{s_n^2+0.6180s_n+1}\right)\left(\frac{1}{s_n^2+1.6180s_n+1}\right)$$

为了比较上述例子中一次项 $T_1(s_n)$和两个二次项 $T_2(s_n)$和 $T_3(s_n)$的贡献，我们分别画出这三项及三者的乘积，如图 9.7-4 所示。有趣的是，$T_2(s_n)$幅度的峰值约为五阶滤波器低频增益的 1.7 倍。如果将图 9.7-4 的纵轴用 dB 表示，就能通过与标准的归一化二阶幅频响应的比较来确定 Q 值。结果是所有由一次项和/或二次项组成的滤波器只有当所有项相乘（采用 dB 坐标时相加）时才表现出滤波器的性质。

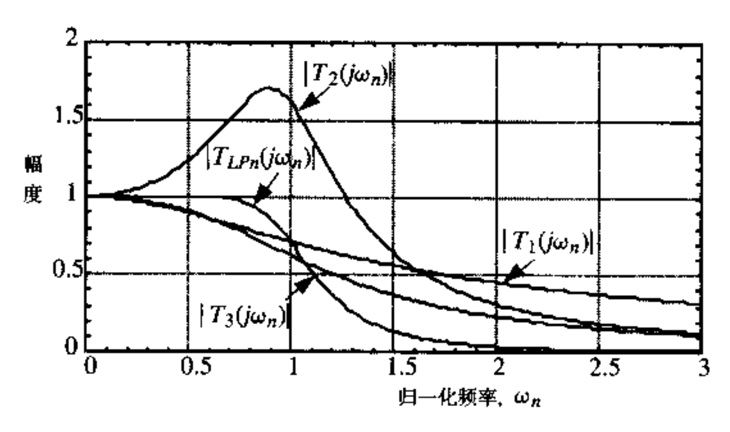


图 9.7-4　五阶巴特沃思滤波器各个分量的幅频贡献

第二种对理想归一化低通滤波器有用的近似称为切比雪夫（Chebyshev）滤波器近似[22]。切比雪夫低通滤波器在通带内为等波纹，通带外为单调变化。通带内的等波纹使得它与同阶的巴特沃思滤波器相比下降得更快。但只在频率稍高于 ω_{PB} 时才发生这种加速滚降。随着频率增大，同阶滤波器幅频响应具有相同的衰减速度。归一化切比雪夫低通滤波器的幅频特性可以表示为：

$$|T_{LPn}(j\omega_n)| = \frac{1}{\sqrt{1+\varepsilon^2\cos^2[N\cos^{-1}(\omega_n)]}}, \quad \omega_n \le 1 \qquad (9.7\text{-}8)$$

和

$$|T_{LPn}(j\omega_n)| = \frac{1}{\sqrt{1+\varepsilon^2\cosh^2[N\cosh^{-1}(\omega_n)]}}, \quad \omega_n > 1 \qquad (9.7\text{-}9)$$

其中，N 为滤波器的阶数，ε 由图 9.7-5 定义。图 9.7-5 为$\varepsilon = 0.5088$ 时切比雪夫滤波器的幅频响应曲线。

ε 的值通常选在波纹宽度在 0.1 dB（$\varepsilon = 0.0233$）和 1 dB（$\varepsilon = 0.5088$）之间。若令阶数满足局部特性要求：$T_{SB} = 0.1$ 和$\Omega_n = 1.5$，可以看出切比雪夫滤波器的过渡区更小。从图 9.7-5 可知 $N = 4$ 就能轻松满足要求。我们也注意到 $T_{PB} = 0.8913$，优于巴特沃思滤波器的 0.7071。因此，ε 决定了通带波纹宽度，并由下式给出：

$$|T_{LP}(\omega_{PB})| = |T_{LPn}(1)| = T_{PB} = \frac{1}{\sqrt{1+\varepsilon^2}} \qquad (9.7\text{-}10)$$

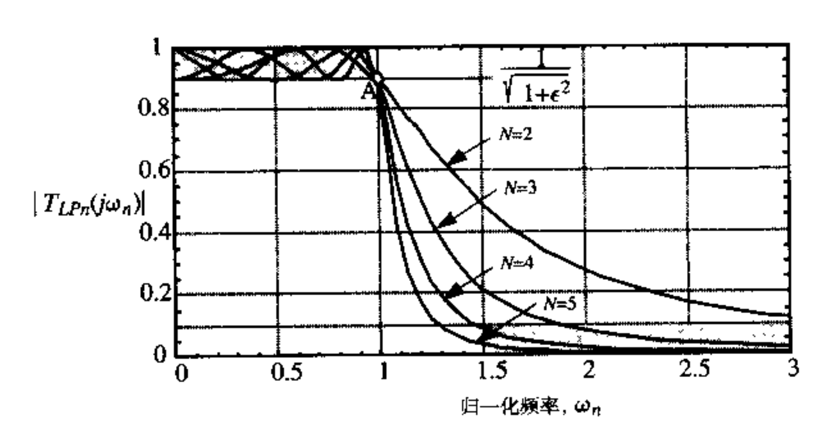


图 9.7-5 $\varepsilon = 0.5088$ 时不同阶数 N 对应的归一化切比雪夫低通滤波器的幅频响应曲线

根据式（9.7-10），切比雪夫滤波器在 ω_{SB}处的幅度可以表示为：

$$\left|T_{LPn}\left(\frac{\omega_{SB}}{\omega_{PB}}\right)\right| = |T_{LPn}(\Omega_n)| = T_{SB} = \frac{1}{\sqrt{1+\varepsilon^2\cosh^2[N\cosh^{-1}(\Omega_n)]}} \qquad (9.7\text{-}11)$$

如果参数是以分贝为单位，则下式更方便：

$$20\log_{10}(T_{SB}) = T_{SB}\,(\text{dB}) = -10\log_{10}\{1+\varepsilon^2\cosh^2[N\cosh^{-1}(\Omega_n)]\} \qquad (9.7\text{-}12)$$

例 9.7-3 求切比雪夫滤波器的阶数

重复例 9.7-1，求切比雪夫滤波器的阶数。

解：

在例 9.7-2 中，$\varepsilon = 1$ 意味着波纹宽度为 3 dB 或者 $T_{PB} = 0.707$。现将$\varepsilon = 1$ 代入式（9.7-12）并找出满足 $T_{SB} = -20$ dB 的 N。当 $N = 2$ 时 $T_{SB} = -11.22$ dB，$N = 3$ 时 $T_{SB} = -19.14$ dB，而当 $N = 4$ 时 $T_{SB} = -27.43$ dB。因此，尽管 $N = 3$ 几乎满足了条件要求，我们还是必须选取 $N = 4$。当采用巴特沃思滤波器时 $N = 6$。

和巴特沃思滤波器一样，我们必须找出对应不同ε和N的切比雪夫方程的根。表9.7-2给出了当$\varepsilon=0.5088$，即$T_{PB}=1$ dB和N小于等于7时的多项式和根。

表9.7-2　$\varepsilon=0.5088$（1 dB）时归一化低通切比雪夫函数的极点位置和二次项因子$(a_0+a_1s_n+s_n^2)$

N	归一化极点	a_0	a_1
2	$-0.54887\pm j0.89513$	1.10251	1.09773
3	$-0.24709\pm j0.96600$	0.99420	0.49417
	-0.49417		
4	$-0.13954\pm j0.98338$	0.98650	0.27907
	$-0.33687\pm j0.40733$	0.27940	0.67374
5	$-0.08946\pm j0.99011$	0.98831	0.17892
	$-0.23421\pm j0.61192$	0.42930	0.46841
	-0.28949		
6	$-0.06218\pm j0.99341$	0.99073	0.12436
	$-0.16988\pm j0.72723$	0.55772	0.33976
	$-0.23206\pm j0.26618$	0.12471	0.46413
7	$-0.04571\pm j0.99528$	0.99268	0.09142
	$-0.12807\pm j0.79816$	0.65346	0.25615
	$-0.18507\pm j0.44294$	0.23045	0.37014
	-0.20541		

例9.7-4　求给定N值的切比雪夫方程的根

求$\varepsilon=1$，$N=5$时切比雪夫方程的根。

解：

当$N=5$时，可得下面这些二次项因子，传递函数为：

$$T_{LPn}(s_n)=T_1(s_n)T_2(s_n)T_3(s_n)$$

$$=\left(\frac{0.2895}{s_n+0.2895}\right)\left(\frac{0.9883}{s_n^2+0.1789s_n+0.9883}\right)\left(\frac{0.4239}{s_n^2+0.4684s_n+0.4239}\right)\quad(9.7\text{-}13)$$

除了上面介绍的巴特沃思和切比雪夫滤波器以外，还有很多其他的近似滤波器。其中一种椭圆滤波器（elliptic）是相同阶数N下过渡区最小的滤波器。其他的滤波器则有更大的线性延迟。关于这些内容可以参见参考文献[23, 24]。

高阶滤波器设计：级联法

图9.7-6为高于二阶的连续和开关电容滤波器的基本设计方法。一般而言，有级联（cascade）和梯形（ladder）两种滤波器设计方法。所有的方法都从通带为1 rad/s、阻抗为1 Ω 的归一化低通滤波器入手。在级联方式中，先确定所求滤波器的极点，然后再转化为非归一化低通滤波器的极点。如果要求的是低通滤波器，那么这些极点组成二次函数的乘积。如果阶数为奇数，还需要一个一次项。接下来用低通电路实现这些一次和二次函数项。如果要求的是带通、高通或带阻滤波器，则需要将低通方程的根转换成要求的频率特性。同样，确定一次项（如果有）和二次项，然后通过适当的一阶或二阶电路来实现。

下面简要介绍采用级联方式设计低通开关电容滤波器的流程：

1. 利用式（9.7-7）或式（9.7-12），根据T_{PB}、T_{SB}和Ω_n（或者A_{PB}、A_{SB}和Ω_n）确定滤波器所需的阶数。

2. 从类似于表 9.7-1 和表 9.7-2 的表中找出滤波器的归一化极点。
3. 将复共轭极点组成二次项。对于奇次电路还需要一个一次项。
4. 采用 9.5 节和 9.6 节中的一阶和二阶单元来实现每个二次项。
5. 从输入至输出按照 Q 值由低到高的顺序进行级联（一阶单元通常放在前面）。

下面举例说明设计流程，更多的细节可以参见参考文献[15, 19, 20, 23]。

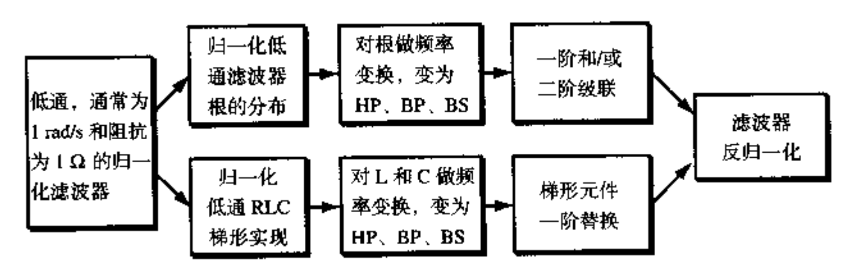


图 9.7-6　连续和开关电容滤波器的基本设计方法

例 9.7-5　采用级联方式的五阶低通开关电容滤波器

设计一个用切比雪夫滤波器实现的级联开关电容滤波器，要求参数为 T_{PB} = −1 dB，T_{SB} = −25 dB，f_{PB} = 1 kHz，f_{SB} = 1.5 kHz。给出设计的电路图和元件值，并对设计结果进行仿真，与理想结果相比较。时钟频率为 20 kHz。

解：

首先由式（9.7-4）可知 Ω_n 为 1.5，同时由前面分析得知 T_{PB} = −1dB 对应 ε = 0.5088。由式（9.7-12）可知 N = 5 满足滤波器参数要求（T_{SP} = −29.9 dB）。利用例 9.7-4 的结果，可以写出 $T_{LPn}(s_n)$ 为：

$$T_{LPn}(s_n)=\left(\frac{0.2895}{s_n+0.2895}\right)\left(\frac{0.9883}{s_n^2+0.1789s_n+0.9883}\right)\left(\frac{0.4239}{s_n^2+0.4684s_n+0.4239}\right) \quad (9.7\text{-}14)$$

下面我们分别设计这三个乘积项。

第一步：一次项

选择图 9.5-1 实现一次项。假设 f_c 远大于 f_{PB}（即 100），采用下面重复的式（9.5-10）来进行设计。

$$T_1(s)\approx\frac{\alpha_{11}/\alpha_{21}}{1+s(T/\alpha_{21})} \quad (9.7\text{-}15)$$

注意，我们用第二个下标 1 来表明是第一项。采用式（9.7-15）前必须先归一化 sT 因子，方法如下：

$$sT=\left(\frac{s}{\omega_{PB}}\right)(\omega_{PB}T)=s_nT_n \quad (9.7\text{-}16)$$

因此，式（9.7-15）可以写为：

$$T_1(s_n)\approx\frac{\alpha_{11}/\alpha_{21}}{1+s_n(T_n/\alpha_{21})}=\frac{\alpha_{11}/T_n}{s_n+\alpha_{21}/T_n} \quad (9.7\text{-}17)$$

其中，$\alpha_{11}=C_{11}/C$，$\alpha_{21}=C_{21}/C$。令式（9.7-17）等于 $T_{LPn}(s_n)$ 的第一项，得到图 9.5-1 的设计为：

$$\alpha_{21}=\alpha_{11}=0.2895T_n=\frac{0.2895\cdot\omega_{PB}}{f_c}=\frac{0.2895\cdot 2000\pi}{20\ 000}=0.0909$$

第一级电路的电容和为：

$$第一级电容 = 2 + \frac{1}{0.0909} = 13 \text{ 单位电容}$$

第二步：二次高 Q 值项

$T_{LPn}(s_n)$的下一个乘积项为：

$$\frac{0.9883}{s_n^2 + 0.1789s_n + 0.9883} = \frac{T(0)\omega_n^2}{s_n^2 + \dfrac{\omega_n}{Q}s_n + \omega_n^2} \tag{9.7-18}$$

其中，$T(0) = 1$，$\omega_n = 0.9941$，$Q = (0.9941/0.1789) = 5.56$。因此我们选择图 9.6-7 的高 Q 值双四结构低通电路形式。首先根据式（9.7-16）归一化式（9.6-22），得：

$$T_2(s_n) \approx \frac{-\left[\alpha_{62}s_n^2 + \dfrac{s_n\alpha_{32}\alpha_{52}}{T_n} + \dfrac{\alpha_{12}\alpha_{52}}{T_n^2}\right]}{s_n^2 + \dfrac{s_n\alpha_{42}\alpha_{52}}{T_n} + \dfrac{\alpha_{22}\alpha_{52}}{T_n^2}} \tag{9.7-19}$$

为实现低通，取$\alpha_{32} = \alpha_{62} = 0$，则：

$$T_2(s_n) \approx \frac{-\dfrac{\alpha_{12}\alpha_{52}}{T_n^2}}{s_n^2 + \dfrac{s_n\alpha_{42}\alpha_{52}}{T_n} + \dfrac{\alpha_{22}\alpha_{52}}{T_n^2}} \tag{9.7-20}$$

令式（9.7-20）等于 $T_{LPn}(s_n)$的中间项，得：

$$\alpha_{12}\alpha_{52} = \alpha_{22}\alpha_{52} = 0.9883T_n^2 = \frac{0.9883 \cdot \omega_{PB}^2}{f_c^2} = \frac{0.9883 \cdot 4\pi^2}{400} = 0.09754$$

和

$$\alpha_{42}\alpha_{52} = 0.1789T_n = \frac{0.1789 \cdot \omega_{PB}^2}{f_c^2} = \frac{0.1789 \cdot 2\pi}{20} = 0.05620$$

为了取得最佳电压比例，取$\alpha_{12} = \alpha_{22} = \alpha_{52}$，因而可以得到$\alpha_{12} = \alpha_{22} = \alpha_{52} = 0.3123$ 和$\alpha_{42} = 0.05620/0.3123 = 0.1800$。第二级电容的和为：

$$第一级电容 = 1 + \frac{3(0.3123)}{0.1800} + \frac{2}{0.1800} = 17.32 \text{ 单位电容}$$

第三步：二次低 Q 值项

$T_{LPn}(s_n)$的最后一个乘积项是：

$$\frac{0.4293}{s_n^2 + 0.4684s_n + 0.4293} = \frac{T(0)\omega_n^2}{s_n^2 + \dfrac{\omega_n}{Q}s_n + \omega_n^2} \tag{9.7-21}$$

其中，$T(0) = 1$，$\omega_n = 0.6552$，$Q = (0.6552/0.4684) = 1.3988$。因此，我们选择图 9.6-4 低 Q 值双四结构低通电路。首先根据式（9.7-16）归一化式（9.6-10），得：

$$T_3(s_n) \approx \frac{-\left[\alpha_{33}s_n^2 + \dfrac{s_n\alpha_{43}}{T_n} + \dfrac{\alpha_{13}\alpha_{53}}{T_n^2}\right]}{s_n^2 + \dfrac{s_n\alpha_{63}}{T_n} + \dfrac{\alpha_{23}\alpha_{53}}{T_n^2}} \tag{9.7-22}$$

为了实现低通，取$\alpha_{33}=\alpha_{43}=0$，得：

$$T_3(s_n)=\frac{-\dfrac{\alpha_{13}\alpha_{53}}{T_n^2}}{s_n^2+\dfrac{s_n\alpha_{63}}{T_n}+\dfrac{\alpha_{23}\alpha_{53}}{T_n^2}} \tag{9.7-23}$$

令式（9.7-23）等于$T_{LPn}(s_n)$的最后一项，得：

$$\alpha_{13}\alpha_{53}=\alpha_{23}\alpha_{53}=0.4293T_n^2=\frac{0.4239\cdot\omega_{PB}^2}{f_c^2}=\frac{0.4239\cdot 4\pi^2}{400}=0.04184$$

和

$$\alpha_{63}=0.4684T_n^2=\frac{0.4684\cdot\omega_{PB}^2}{f_c^2}=\frac{0.4684\cdot 2\pi}{20}=0.1472$$

选择$\alpha_{13}=\alpha_{23}=\alpha_{53}$以取得最佳电压比例，因此得到$\alpha_{13}=\alpha_{23}=\alpha_{53}=0.2045$及$\alpha_{43}=0.1472$。第三级的电容为：

$$第三级电容=1+\frac{3(0.2045)}{0.1472}+\frac{2}{0.1472}=18.75\text{ 单位电容}$$

尽管为了减少所需的电容，建议在第三步使用图 9.6-7 的高 Q 值电路实现，但这里为了举例仍保留了上面的设计。这个设计的总电容为 49.07 单位电容。

图 9.7-7 显示了最终的设计结果，这里将低 Q 值单元放在高 Q 值单元前面是为了得到最大动态范围。图9.7-8为这个例子的滤波器仿真结果。图中画出了滤波器每一级输出的电压幅度。可以看出幅度受到(sin*x*)/*x* 的影响，它导致通带参数不满足要求。这可以通过在设计前预调参数来避免。

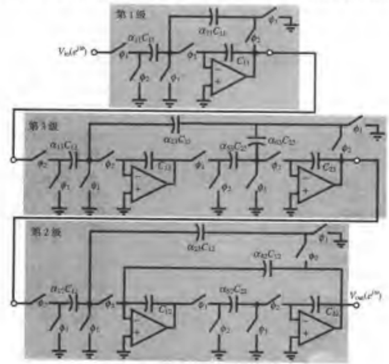


图 9.7-7 例 9.7-5 中的五阶切比雪夫低通开关电容滤波器

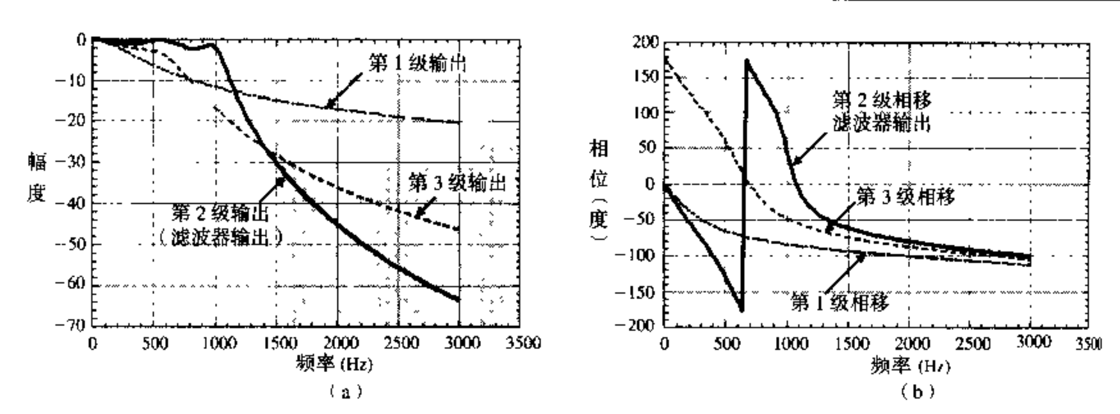


图 9.7-8　(a) 例 9.7-5 的仿真幅频响应；(b) 例 9.7-5 的仿真相频响应

图 9.7-9 为图 9.7-7 的仿真 SPICE 输入文件。

```
********08/29/97 13:17:44
********* *******PSpice 5.2 (Jul
1992) ********

*SPICE FILE FOR EXAMPLE 9.7-5
*EXAMPLE 9-7-5: nodes 5 is the output
*of 1st stage, node 13 : second stage (in
*the figure it is second while in design it *is
third, low Q stage), and node 21 is the *final
output of the *filter.

**** CIRCUIT DESCRIPTION ****

VIN 1 0 DC 0 AC 1

* PARAM CNC=1 CNC_1=1 CPC_1=1

XNC1 1 2 3 4 NC1
XUSCP1 3 4 5 6 USCP
XPC1 5 6 3 4 PC1
XAMP1 3 4 5 6 AMP

XPC2 5 6 7 8 PC2
XUSCP2 7 8 9 10 USCP
XAMP2 7 8 9 10 AMP
XNC3 9 10 11 12 NC3
XAMP3 11 12 13 14 AMP
XUSCP3 11 12 13 14 USCP
XPC4 13 14 11 12 PC4
XPC5 13 14 7 8 PC2

XPC6 13 14 15 16 PC6
XAMP4 15 16 17 18 AMP
XUSCP4 15 16 17 18 USCP
XNC7 17 18 19 20 NC7
XAMP5 19 20 21 22 AMP
XUSCP5 19 20 21 22 USCP
XUSCP6 21 22 15 16 USCP1
XPC8 21 22 15 16 PC6

.SUBCKT DELAY 1 2 3
ED 4 0 1 2 1
TD 4 0 3 0 ZO=1K TD=25 US
RDO 3 0 1K
.ENDS DELAY

.SUBCKT NC1 1 2 3 4
RNC1 1 0 11.0011
XNC1 1 0 10 DELAY
GNC1 1 0 10.0 0.0909
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 0.0909
XNC3 4 0 40 DELAY
GNC3 4 0 40 0 0.0909
RNC2 4 0 11.0011
.ENDS NC1

.SUBCKT NC3 1 2 3 4
RNC1 1 0 4.8581
XNC1 1 0 10 DELAY
GNC1 1 0 10 0 0.2058
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 0.2058
XNC3 4 0 40 DELAY
GNC3 4 0 40 0 0.2058
RNC2 4 0 4.8581
.ENDS NC3
```

图 9.7-9　图 9.7-7 的仿真 SPICE 输入文件

```
.SUBCKT NC7 1 2 3 4
RNC1 1 0 3.2018
XNC1 1 0 10 DELAY
GNC1 1 0 10 0 0.3123
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 0.3123
XNC3 4 0 40 DELAY
GNC3 4 0 40 0 0.3123
RNC2 4 0 3.2018
ENDS NC7

.SUBCKT PC1 1 2 3 4
RPC1 2 4 11.0011
.ENDS PC1

.SUBCKT PC2 1 2 3 4
RPC1 2 4 4.8581
.ENDS PC2

.SUBCKT PC4 1 2 3 4
RPC1 2 4 6.7980
.ENDS PC4

.SUBCKT PC6 1 2 3 4
RPC1 2 4 3.2018
.ENDS PC6

.SUBCKT USCP 1 2 3 4
R1 1 3 1
R2 2 4 1
XUSC1 1 2 12 DELAY
GUSC1 1 2 12 0 1
XUSC2 1 4 14 DELAY
GUSC2 4 1 14 0 1
XUSC3 3 2 32 DELAY
GUSC3 2 3 32 0 1
XUSC4 3 4 34 DELAY
GUSC4 3 4 34 0 1
.ENDS USCP

.SUBCKT USCP1 1 2 3 4
R1 1 3 5.5586
R2 2 4 5.5586
XUSC1 1 2 12 DELAY
GUSC1 1 2 12 0 0.1799
XUSC2 1 4 14 DELAY
GUSC2 4 1 14 0 .1799
XUSC3 3 2 32 DELAY
GUSC3 2 3 32 0 .1799
XUSC4 3 4 34 DELAY
GUSC4 3 4 34 0 .1799
.ENDS USCP1

.SUBCKT AMP 1 2 3 4
EODD 3 0 1 0 1E6
EVEN 4 0 2 0 1E6
.ENDS AMP

.AC LIN 100 10 3K
.PRINT AC V(5) VP(5) V(
+VP(13) V(21) VP(21)
.PROBE
.END
```

图 9.7-9（续）

例 9.7-5 清楚地说明了低通滤波器的级联设计步骤。如果滤波器是高通、带通或带阻，必须先将低通归一化根进行转换。下面简单介绍一下实现方法。首先，定义 s_{ln} 为归一化低通频率变量，归一化低通到归一化高通的转换定义为：

$$s_{ln} = \frac{1}{s_{hn}} \tag{9.7-24}$$

其中，s_{hn} 即为归一化高通频率变量（当意思明确时可省略下标 h 和 l）。从前面的介绍可知归一化低通传递函数为：

$$T_{LPn}(s_{ln}) = \frac{p_{1ln}p_{2ln}p_{3ln}\cdots p_{Nln}}{(s_{ln}+p_{1ln})(s_{ln}+p_{2ln})(s_{ln}+p_{3ln})\cdots(s_{ln}+P_{Nln})} \tag{9.7-25}$$

其中，p_{kln} 是指第 k 个归一化低通极点，将式（9.7-25）转化为归一化高通形式得：

$$T_{HPn}(s_{hn}) = \frac{p_{1ln}p_{2ln}p_{3ln}\cdots p_{Nln}}{\left(\frac{1}{s_{hn}}+p_{1ln}\right)\left(\frac{1}{s_{hn}}+p_{2ln}\right)\left(\frac{1}{s_{hn}}+p_{3ln}\right)\cdots\left(\frac{1}{s_{hn}}+p_{Nln}\right)}$$

$$= \frac{s_{hn}^N}{\left(s_{hn}+\frac{1}{p_{1ln}}\right)\left(s_{hn}+\frac{1}{p_{2ln}}\right)\left(s_{hn}+\frac{1}{p_{3ln}}\right)\cdots\left(s_{hn}+\frac{1}{p_{Nln}}\right)} \tag{9.7-26}$$

$$= \frac{s_{hn}^N}{(s_{hn}+p_{1hn})(s_{hn}+p_{2hn})(s_{hn}+p_{3hn})\cdots(s_{hn}+p_{Nhn})}$$

其中，p_{khn} 是指第 k 个归一化高通极点。这里，当阶数为奇数时，滤波器的乘积项化为二次因子和一个一次项的积，这可以采用 9.5 节和 9.6 节中的开关电容电路来实现，因此实现了高通。根据时钟频率，高通滤波器不能通过大于奈奎斯特频率（$0.5f_c$）的频率分量。通过下式定义的 Ω_n，高通滤波器的参数可以转化为归一化低通参数：

$$\Omega_n = \frac{1}{\Omega_{hn}} = \frac{\omega_{PB}}{\omega_{SB}} \tag{9.7-27}$$

现在再来介绍一下如何根据归一化低通滤波器设计带通滤波器。首先，分别定义带通滤波器的通带宽度及阻带宽度为：

$$BW = \omega_{PB2} - \omega_{PB1} \tag{9.7-28}$$

和

$$SW = \omega_{SB2} - \omega_{SB1} \tag{9.7-29}$$

其中，ω_{PB2} 是带通滤波器通带的上限频率，ω_{PB1} 是通带的下限频率；ω_{SB2} 是阻带的上限频率，ω_{SB1} 是阻带的下限频率。我们这里的研究仅适用于某种带通滤波器。这种滤波器的通带和阻带都以频率 ω_r 为几何中心，ω_r 被称为带通滤波器的几何中心频率，定义为：

$$\omega_r = \sqrt{\omega_{PB1}\omega_{PB2}} = \sqrt{\omega_{SB2}\omega_{SB1}} \tag{9.7-30}$$

几何中心对称的带通滤波器可以通过对归一化低通滤波器进行频率转换得到。如果 s_b 是带通复频率变量，那么定义归一化低通至非归一化带通的转换为：

$$s_{ln} = \frac{1}{BW}\left(\frac{s_b^2+\omega_r^2}{s_b}\right) = \frac{1}{BW}\left(s_b+\frac{\omega_r^2}{s_b}\right) \tag{9.7-31}$$

用几何中心频率 ω_r 除以带通变量 s_b 可以得到归一化低通至归一化带通的转换，可得：

$$s_{ln} = \left(\frac{\omega_r}{BW}\right)\left(\frac{s_b}{\omega_r}+\frac{1}{(s_b/\omega_r)}\right) = \left(\frac{\omega_r}{BW}\right)\left(s_{bn}+\frac{1}{s_{bn}}\right) \tag{9.7-32}$$

其中，

$$s_{bn} = \frac{s_b}{\omega_r} \tag{9.7-33}$$

将式（9.7-32）乘以 BW/ω_r，进一步定义低通复频率变量的归一化形式为：

$$s_{ln}' = \left(\frac{BW}{\omega_r}\right)s_{ln} = \Omega_b s_{ln} = \Omega_b\left(\frac{s_l}{\omega_{PB}}\right) = \left(s_{bn}+\frac{1}{s_{bn}}\right) \tag{9.7-34}$$

其中，Ω_b 称为低通频率变量的带通归一化形式，表示如下：

$$\Omega_b = \frac{BW}{\omega_r} \tag{9.7-35}$$

我们将式（9.7-34）的归一化形式称为低通复频率变量的带通归一化

为了能使用这个转换，需要求解 s_{bn}，并用s'_{ln}表示。从式（9.7-34）可以得到下面的二次方程：

$$s_{bn}^2 - s'_{ln}s_{bn} + 1 = 0 \tag{9.7-36}$$

从式（9.7-36）解出 s_{bn}得：

$$s_{bn} = \left(\frac{s'_{ln}}{2}\right) \pm \sqrt{\left(\frac{s'_{ln}}{2}\right)^2 - 1} \tag{9.7-37}$$

一旦已知归一化低通极点 p'_{kln}，就可求出归一化带通极点。图 9.7-10 示出如何利用式（9.7-31）的转换将非归一化低通滤波器转换为非归一化带通滤波器。切记，低通滤波器的幅频特性包括图 9.7-10（a）中纵轴左边虚线围起的负频率部分。由于低通滤波器幅度被归一化，因此通带增益为 1。图 9.7-10（b）为归一化低通频率被 Ω_b归一化的带通形式。接着，运用式（9.7-32）的低通至带通的转换，可以得到图 9.7-10（c）中的归一化带通幅频响应。最后，对带通滤波器进行频率反归一化，得到图 9.7-10（d）的频率非归一化的带通幅频响应。为了简化分析，这里没有考虑带通滤波器的阻带，但它可以用同样的办法求得。

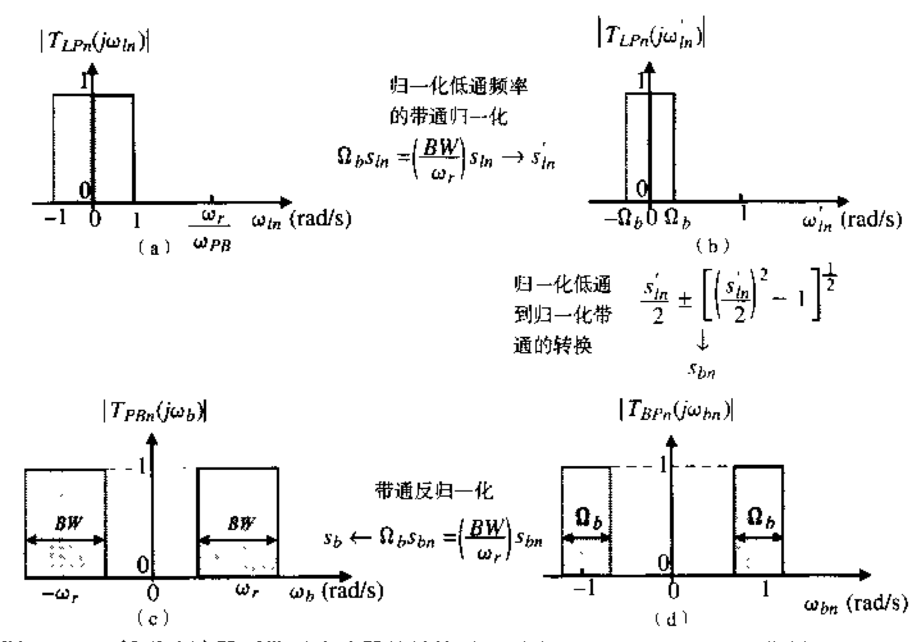


图 9.7-10 低通滤波器到带通滤波器的转换过程示意图。（a）理想归一化低通滤波器；（b）（a）的带通转换归一化；（c）低通到带通转换的应用；（d）反归一化带通滤波器

归一化带通极点可根据下式从归一化低通极点 p'_{kln} 求得：

$$p_{kbn} = \frac{p'_{kln}}{2} \pm \sqrt{\left(\frac{p'_{kln}}{2}\right)^2 - 1} \tag{9.7-38}$$

上式是由式（9.7-37）转变而来的。低通滤波器的每个极点对应带通滤波器的两个极点。因此，基于极点的带通滤波器的复杂度阶数为 2*N*。如果低通极点位于负实轴上，则对应的两个带通极点为共轭复数。但是如果低通极点为复数，不仅此极点产生两个带通极点，而且它的共轭复数还将

产生两个带通极点。图 9.7-11 说明了复共轭低通极点是如何产生一对复共轭带通极点的，p^*表示 p 的共轭复数。这个图说明了复共轭对的两个极点都必须转换以便确定对应的两对复共轭极点。

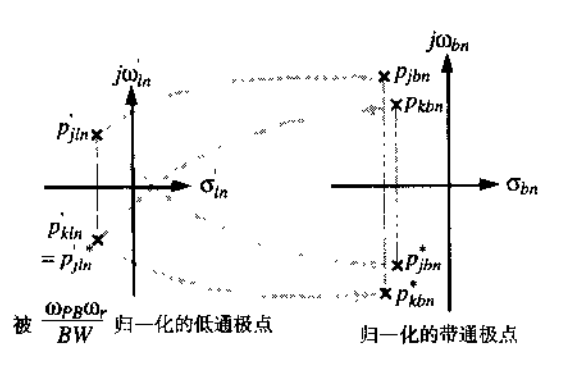


图 9.7-11 归一化低通复共轭极点转换成两个归一化带通复共轭极点的例子

同样可以看出低通至带通的转换使得每个无穷远处的零点都被转换为一个位于原点处的零点和一个无穷远处的零点。N 阶低通滤波器经过低通至带通的转换以后会产生 N 个复共轭极点、N 个原点处的零点和 N 个无穷远处的零点。将极点和零点组成二次乘积项，并具有如下形式：

$$T_k(s_{bn}) = \frac{K_k s_{bn}}{(s_{bn}+p_{kbn})(s_{bn}+p_{jbn}^*)} = \frac{K_k s_{bn}}{(s_{bn}+\sigma_{kbn}+j\omega_{kbn})(s_{bn}+\sigma_{kbn}-j\omega_{kbn})}$$
$$= \frac{K_k s_{bn}}{s_{bn}^2+(2\sigma_{kbn})s_{bn}+(\sigma_{bn}^2+\omega_{kbn}^2)} = \frac{T_k(\omega_{kon})\left(\dfrac{\omega_{kon}}{Q_k}\right)s_{bn}}{s_{bn}^2+\left(\dfrac{\omega_{kon}}{Q_k}\right)s_{bn}+\omega_{kon}^2} \tag{9.7-39}$$

其中，j 和 k 对应于第 j 个和第 k 个低通极点，它们是一对共轭复数。K_k 是增益常数，且

$$\omega_{kon} = \sqrt{\sigma_{kbn}^2+\omega_{kbn}^2} \tag{9.7-40}$$

和

$$Q_k = \frac{\sqrt{\sigma_{bn}^2+\omega_{kbn}^2}}{2\sigma_{bn}} \tag{9.7-41}$$

通常，$T_k(\omega_{kon})$的增益为 1。

带通滤波器的阶数通过将参数转换成的等效低通滤波器来决定。带通滤波器阻带宽度与通带宽度之比定义为：

$$\Omega_n = \frac{SW}{BW} = \frac{\omega_{SB2}-\omega_{SB1}}{\omega_{BP2}-\omega_{PB1}} \tag{9.7-42}$$

这里不再列举带阻滤波器，其转换程序是首先将低通归一化根进行高通转换，然后再进行带通转换。更多关于级联滤波器设计方法的内容可参见参考文献。

高阶滤波器：梯形法

设计高阶开关电容电路的第二种主要方法被称为梯形法，如图9.7-6 所示。它的优点是对电容比值的敏感程度比级联法更低，缺点是设计方法稍微复杂些而且仅适用于能够被表示为 RLC 电路的滤波器。梯形法从归一化低通 RLC 原型滤波器结构入手，然后写出基于 RLC 原型电路的状态

方程，最后利用合适的开关电容电路实现上述状态方程。对于低通滤波器，这些电路即为 9.3 节介绍的积分器。

RLC 低通梯形滤波器是网络综合的结果，是建立在众所周知的电路理论上的[25]。这些综合技术的实现总是从 1 Ω 的负载电阻入手向滤波器输入端进行。图 9.7-12 为奇数阶和偶数阶函数对应的单端 *RLC* 滤波器形式，元件由滤波器的输出端至输入端进行编号。将图 9.7-12 中的 *RLC* 梯形滤波器进行归一化，使得通带为 1 rad/s，阻抗为 1 Ω。图 9.7-12 的元件值列于表 9.7-3 中。

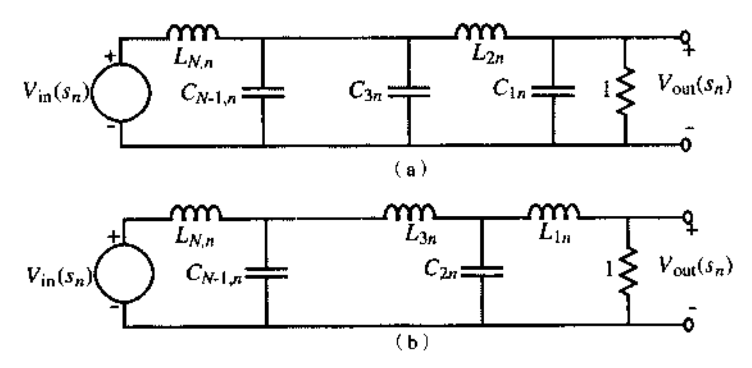


图 9.7-12　单端 *RLC* 滤波器。(a) *N* 为偶数；(b) *N* 为奇数

表 9.7-3　采用巴特沃思和切比雪夫单端 *RLC* 滤波器的图 9.7-12 的归一化元件值

图 9.7-12（a）中偶阶电路的指定元件值										
N	C_{1n}	L_{2n}	C_{3n}	L_{4n}	C_{5n}	L_{6n}	C_{7n}	L_{8n}	C_{9n}	L_{10n}
2	0.7071	1.4142								
3	0.5000	1.3333	1.5000			巴特沃思 (1 rad/s 通带)				
4	0.3827	1.0824	1.5772	1.5307						
5	0.3090	0.8944	1.3820	1.6944	1.5451					
6	0.2588	0.7579	1.2016	1.5529	1.7593	1.5529				
7	0.2225	0.6560	1.0550	1.3972	1.6588	1.7988	1.5576			
8	0.1951	0.5576	0.9370	1.2588	1.5283	1.7287	1.8246	1.5607		
9	0.1736	0.5155	0.8414	1.1408	1.4037	1.6202	1.7772	1.8424	1.5628	
10	0.1564	0.4654	0.7626	1.0406	1.2921	1.5100	1.6869	1.8121	1.8552	1.5643
2	0.9110	0.9957								
3	1.0118	1.3332	1.5088		1 dB 波动切比雪夫(1 rad/s 通带)					
4	1.0495	1.4126	1.9093	1.2817						
5	1.0674	1.4441	1.9938	1.5908	1.6625					
6	1.0773	1.4601	2.0270	1.6507	2.0491	1.3457				
7	1.0832	1.4694	2.0437	1.6736	2.1192	1.6489	1.7118			
8	1.0872	1.4751	2.0537	1.6850	2.1453	1.7021	2.0922	1.3691		
9	1.0899	1.4790	2.0601	1.6918	2.1583	1.7213	2.1574	1.6707	1.7317	
10	1.0918	1.4817	2.0645	1.6961	2.1658	1.7306	2.1803	1.7215	2.1111	1.3801
	L_{1n}	C_{2n}	L_{3n}	C_{4n}	L_{2n}	C_{6n}	L_{7n}	C_{8n}	L_{9n}	C_{10n}
图 9.7-12（b）中奇阶电路的指定元件值										

例 9.7-6　利用表 9.7-3 实现一个单端 *RLC* 低通滤波器

求实现四阶巴特沃思低通滤波器近似的单端归一化 *RLC* 滤波器。

解：

利用表 9.7-3 顶部的指定元件可得图 9.7-13。

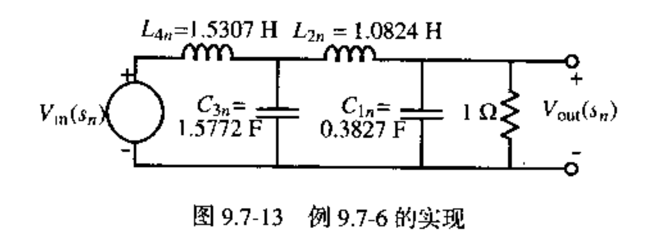


图 9.7-13　例 9.7-6 的实现

图 9.7-14 为归一化梯形滤波器构成的双端口 *RLC* 滤波器。除了一个串联的源电阻，这些滤波器与图 9.7-12 的相同。表 9.7-4 给出了实现巴特沃思和 1 dB 切比雪夫近似滤波器的图 9.7-14 双端 *RLC* 电路的归一化元件值。

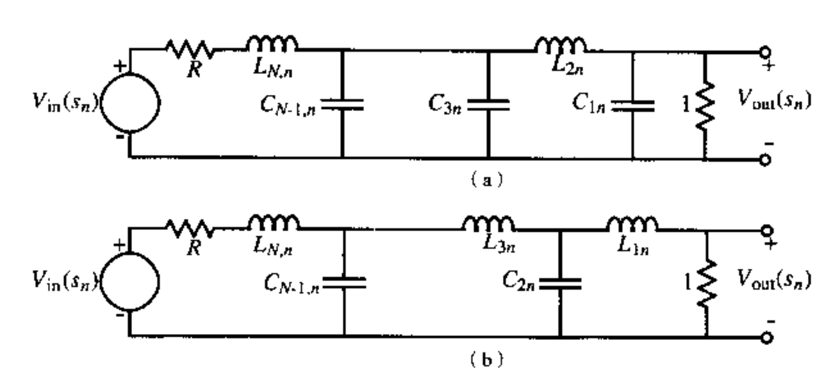


图 9.7-14　双端口 *RLC* 滤波器。（a）*N* 为偶数；（b）*N* 为奇数

表 9.7-4　图 9.7-14 的巴特沃思和 1 dB 切比雪夫双端口 *RLC* 滤波器近似的归一化元件值

图 9.7-14(a)中奇阶电路的指定元件值，R=1Ω										
N	C_{1n}	L_{2n}	C_{3n}	L_{4n}	C_{5n}	L_{6n}	C_{7n}	L_{8n}	C_{9n}	L_{10n}
2	1.4142	1.4142								
3	1.0000	2.0000	1.0000			巴特沃思（1 rad/s 通带）				
4	0.7654	1.8478	1.8478	0.7654						
5	0.6180	1.6180	2.0000	1.6180	0.6180					
6	0.5176	1.4142	1.9319	1.9319	1.4142	0.5176				
7	0.4450	1.2470	1.8019	2.0000	1.8019	1.2740	0.4450			
8	0.3902	1.1111	1.6629	1.9616	1.9616	1.6629	1.1111	0.3902		
9	0.3473	1.0000	1.5321	1.8794	2.0000	1.8794	1.5321	1.0000	0.3473	
10	0.3129	0.9080	1.4142	1.7820	1.9754	1.9754	1.7820	1.4142	0.9080	0.3129

（续表）

图 9.7-14(a)中奇阶电路的指定元件值, R=1Ω										
N	C_{1n}	L_{2n}	C_{3n}	L_{4n}	C_{5n}	L_{6n}	C_{7n}	L_{8n}	C_{9n}	L_{10n}
3	2.0236	0.9941	2.0236		1 dB 波动切比雪夫(1 rad/s 通带)					
5	2.1349	1.0911	3.0009	1.0911	2.1349					
7	2.1666	1.1115	3.0936	1.1735	3.0936	1.1115	2.1666			
9	2.1797	1.1192	3.1214	1.1897	3.1746	1.1897	3.1214	1.1192	2.1797	
	L_{1n}	C_{2n}	L_{3n}	C_{4n}	L_{5n}	C_{6n}	L_{7n}	C_{2n}	L_{9n}	C_{10n}
图 9.7-14(b)中偶阶电路的指定元件值, R=1Ω										

RLC 滤波器的设计表格包括图 9.7-12 和图 9.7-14 的归一化元件值。对每种不同的近似滤波器都用表格列出，N 的值取到 10 或更大[24]。

注意，当 $R=1\ \Omega$时偶数阶的双端口 RLC 切比雪夫滤波器无解。这是 $R=1\ \Omega$时的特例，对于其他 R 值不存在这样的问题。同时，由于源电阻和负载电阻相等造成低频（此时，电感短路，电容开路）增益为 0.5，使得通带增益不超过−6 dB。

例 9.7-7　用表 9.7-4 设计一个双端口 RLC 低通滤波器

设计一个五阶切比雪夫滤波器近似的双端口 RLC 滤波器，要求使用最少的电容器，通带波纹为 1 dB，源电阻为 1 Ω。

解：

利用表 9.7-4 底部的元件符号得到图 9.7-15。

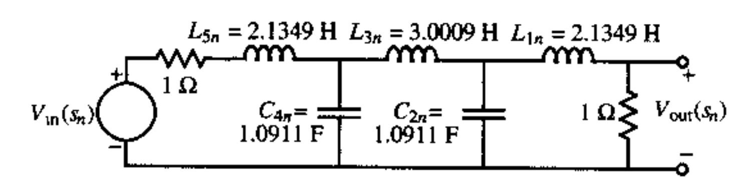


图 9.7-15　利用表 9.7-4 底部元件符号得到的双端口 RLC 滤波器

梯形滤波器设计的下一步是如何用有源元件、电阻和电容来实现一个低通梯形滤波器。下面我们来举例说明。分析图 9.7-16 的双端口五阶低通归一化 RLC 梯形滤波器。注意元件排序是从信号源开始依次向负载排列。我们去掉了元件下标中的“l”，因为这里只讨论低通结构。

用开关电容电路实现图 9.7-16 的 RLC 滤波器的第一步是：设定梯形滤波器里流过第 j 个串联元件（或串联组合元件）的电流为 I_j，第 k 个并联元件（或并联组合元件）两端的电压为 V_k。这些电流和电压已在图 9.7-16 中标明。这些变量称为状态变量。

下一步只需要交替使用状态变量列出回路（KVL）和节点（KCL）方程即可。例如，我们从图 9.7-16 的信号源开始列出回路方程：

$$V_{in}(s) - I_1(s)R_{0n} - sL_{1n}I_1(s) - V_2(s) = 0 \qquad (9.7\text{-}43)$$

接下来，写出节点方程：

$$I_1(s) - sC_{2n}V_2(s) - I_3(s) = 0 \qquad (9.7\text{-}44)$$

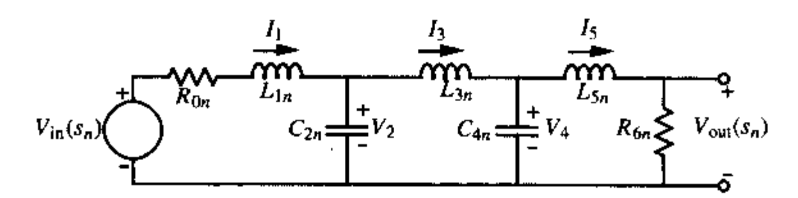


图 9.7-16 五阶低通归一化 *RLC* 梯形滤波器

我们继续用这种方法得到下面的状态方程：

$$V_2(s) - sL_{3n}I_3(s) - V_4(s) = 0 \tag{9.7-45}$$

$$I_3(s) - sC_{4n}V_4(s) - I_5(s) = 0 \tag{9.7-46}$$

$$V_4(s) - sL_{5n}I_5(s) - R_{6n}I_{5n}(s) = 0 \tag{9.7-47}$$

式（9.7-43）~式（9.7-47）构成的状态方程完整地描述了图 9.7-16 的梯形滤波器。一个值得补充的方程是：

$$V_{out}(s) = I_5(s)R_{6n} \tag{9.7-48}$$

写好梯形滤波器的状态方程以后，我们接着定义一个电压模拟量 V_j'，它与电流 I_j 的关系为：

$$V_j' = R'I_j \tag{9.7-49}$$

其中，R'为任意阻值的电阻（通常为 1 Ω）。电压模拟量的概念使我们可以把阻抗和导纳函数转换为电压传递函数，这是梯形滤波器实现中非常有用的一步。现在，如果将状态方程（9.7-43）~（9.7-47）中的所有电流 I_1、I_3 和 I_5 都用它们的电压模拟量来代替，就得到了下面的状态方程组：

$$V_{in}(s) - \left(\frac{V_1'(s)}{R'}\right)(R_{0n} + sL_{1n}) - V_2(s) = 0 \tag{9.7-50}$$

$$\left(\frac{V_1'(s)}{R'}\right) - sC_{2n}V_2(s) - \left(\frac{V_3'(s)}{R'}\right) = 0 \tag{9.7-51}$$

$$V_2(s) - sL_{3n}\left(\frac{V_3'(s)}{R'}\right) - V_4(s) = 0 \tag{9.7-52}$$

$$\left(\frac{V_3'(s)}{R'}\right) - sC_{4n}V_4(s) - \left(\frac{V_5'(s)}{R'}\right) = 0 \tag{9.7-53}$$

$$V_4(s) - \left(\frac{V_5'(s)}{R'}\right)(sL_{5n} + R_{6n}) = 0 \tag{9.7-54}$$

下一步是从式（9.7-50）~式（9.7-54）的五个方程中解出每一个状态变量。结果是：

$$V_1'(s) = \frac{R'}{sL_{1n}}\left[V_{in}(s) - V_2(s) - \left(\frac{R_{0n}}{R'}\right)V_1'(s)\right] \tag{9.7-55}$$

$$V_2(s) = \frac{1}{sR'C_{2n}}[V_1'(s) - V_3'(s)] \tag{9.7-56}$$

$$V_3'(s) = \frac{R'}{sL_{3n}}[V_2(s) - V_4(s)] \tag{9.7-57}$$

$$V_4(s)=\frac{1}{sR'C_{4n}}[V_3'(s)-V_5'(s)] \tag{9.7-58}$$

$$V_5'(s)=\frac{R'}{sL_{5n}}[V_4(s)-\frac{R_{6n}}{R'}V_5'(s)] \tag{9.7-59}$$

不过，我们更愿意用变量 $V_{out}(s)$来代替变量 $V_5'(s)$。从式（9.7-48）可以得到：

$$V_{out}(s)=\left(\frac{R_{6n}}{R'}\right)V_5'(s) \tag{9.7-60}$$

联立式（9.7-58）、式（9.7-59）和式（9.7-60）得：

$$V_4(s)=\frac{1}{sR'C_{4n}}[V_3'(s)-\left(\frac{R'}{R_{6n}}\right)V_{out}(s)] \tag{9.7-61}$$

$$V_{out}(s)=\frac{R_{6n}}{sL_{5n}}[V_4(s)-V_{out}(s)] \tag{9.7-62}$$

下面用 9.3 节介绍的适当的开关电容积分器分别实现式（9.7-55）、式（9.7-56）、式（9.7-57）、式（9.7-61）和式（9.7-62）。最后将这些积分器连接起来就得到了用开关电容电路实现的低通滤波器。用梯形法设计低通开关电容滤波器的基本流程总结如下：

1. 使用式（9.7-7）或式（9.7-12），根据 T_{PB}、T_{SB} 和Ω_n（或 A_{PB}、A_{SB} 和Ω_n）选定滤波器需要的阶数。
2. 从类似于表 9.7-3 和表 9.7-4 的表格中找出 *RLC* 原型滤波器的近似。
3. 写出状态方程，并整理它们使得每个状态变量等于不同输入的积分器。
4. 用 9.3 节的开关电容积分器实现整理后的所有状态方程。

下面的例子说明了这个设计流程。

例 9.7-8 用梯形法实现五阶低通开关电容滤波器

设计一个实现切比雪夫滤波器的梯形开关电容滤波器，滤波器参数为：$T_{PB}=-1$ dB，$T_{SB}=-25$ dB，$f_{PB}=1$ kHz 以及 $f_{SB}=1.5$ kHz。给出实现的电路图和元件值。对电路进行仿真并与理想结果相比较。使用的时钟频率为 20 kHz。调整设计使其不产生–6 dB 的通带损耗（注意，这个例子的结果应该与例 9.7-5 相同）。

解：

从例 9.7-5 中，我们得知五阶切比雪夫近似满足参数要求。相应的低通 *RLC* 原型滤波器已在图 9.7-15 中给出。下面，我们必须求出状态方程，并用积分器的形式表示它们。幸运的是，我们可以用上面得到的式（9.7-55）、式（9.7-56）、式（9.7-57）、式（9.7-61）和式（9.7-62）作为需要的关系式。然后用 9.3 节的开关电容积分器来实现这五个方程。

式（9.7-55）：L_{1n}

式（9.7-55）可以用图 9.7-17 的开关电容积分器来实现，它有一个同相输入端和两个反相输入端。采用式（9.3-16）和式（9.3-24）的结果，可以写出：

$$V_1'(z)=\frac{1}{z-1}\left[\alpha_{11}V_{in}(z)-\alpha_{21}zV_2(z)-\alpha_{31}zV_1'(z)\right] \tag{9.7-63}$$

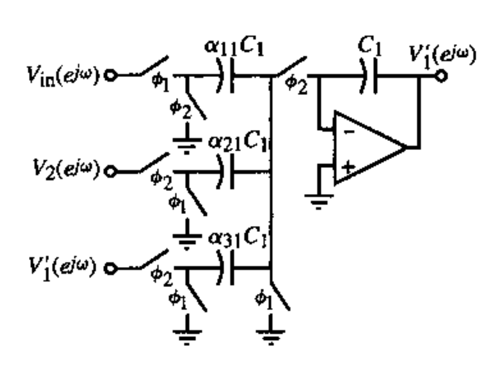


图 9.7-17 式（9.7-55）的实现电路

由于$f_{PB}<f_c$，我们可以用 1 代替 z，用 sT 代替 $z-1$。进一步用式（9.7-16）的归一化方法得到：

$$V_1'(s_n) \approx \frac{1}{s_nT_n}[\alpha_{11}V_{in}(s) - \alpha_{21}V_2(s) - \alpha_{31}V_1'(s)] \tag{9.7-64}$$

令式（9.7-64）与式（9.7-55）相等得到第一个积分器的电容比值为：

$$\alpha_{11} = \alpha_{21} = \frac{R'T_n}{L_{1n}} = \frac{R'\omega_{PB}}{f_cL_{1n}} = \frac{1\cdot 2000\pi}{20\,000\cdot 2.1349} = 0.1472$$

和

$$\alpha_{31} = \frac{R_{0n}T_n}{L_{1n}} = \frac{R_{0n}\omega_{PB}}{f_cL_{1n}} = \frac{1\cdot 2000\pi}{20\,000\cdot 2.1349} = 0.1472$$

这里，假设 $R_{0n}=R'=1\ \Omega$。在实际实现中，我们将α_{11}的值乘以 2（$\alpha_{11}=0.2943$）以获得 6 dB 的增益，并消除 RLC 原型的–6 dB 衰减。第一个积分器的总电容为：

$$\text{第一个积分器的总电容} = 2 + \frac{(0.2943)}{0.1472} + \frac{1}{0.1472} = 10.79\ \text{单位电容}$$

式（9.7-56）：C_{2n}

式（9.7-56）可由图 9.7-18 的开关电容积分器来实现，它有一个同相输入端和一个反相输入端。和上面一样可以写出：

$$V_2(z) = \frac{1}{z-1}[\alpha_{12}V_1'(z) - \alpha_{22}zV_3(z)] \tag{9.7-65}$$

化简可得：

$$V_2(s_n) \approx \frac{1}{s_nT_n}[\alpha_{12}V_1'(s_n) - \alpha_{22}V_3'(s_n)] \tag{9.7-66}$$

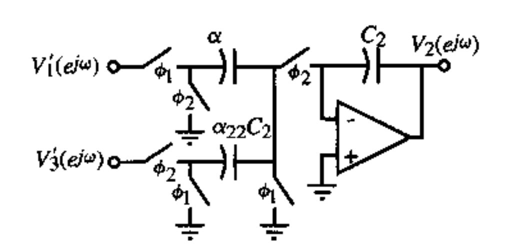


图 9.7-18 式（9.7-56）的实现电路

令式（9.7-66）与式（9.7-56）相等得到第二个积分器的电容比值为：

$$\alpha_{12}=\alpha_{22}=\frac{T_n}{R'C_{2n}}=\frac{\omega_{PB}}{R'f_cC_{2n}}=\frac{2000\pi}{1\cdot 20\,000\cdot 1.0911}=0.2879$$

第二个积分器的总电容为：

$$\text{第二个积分器的总电容}=\frac{1}{0.2879}+2=5.47\ \text{单位电容}$$

式（9.7-57）：L_{3n}

式（9.7-57）可由图 9.7-19 的开关电容积分器来实现，它有一个同相输入端和一个反相输入端。由这个电路可以得到：

$$V_3'(z)=\frac{1}{z-1}[\alpha_{13}V_2(z)-\alpha_{23}zV_4(z)] \tag{9.7-67}$$

化简可得：

$$V_3'(s_n)\approx\frac{1}{s_nT_n}[\alpha_{13}V_2(s_n)-\alpha_{23}V_4(s_n)] \tag{9.7-68}$$

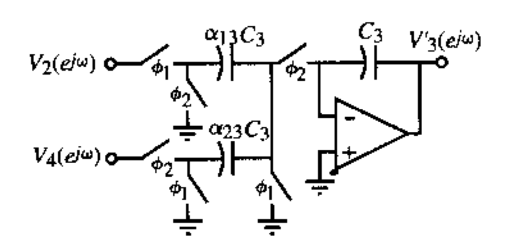


图 9.7-19　式（9.7-57）的实现电路

令式（9.7-68）与式（9.7-57）相等可以得到第三个积分器的电容比值为：

$$\alpha_{13}=\alpha_{23}=\frac{R'T_n}{L_{3n}}=\frac{R'\omega_{PB}}{f_cL_{3n}}=\frac{1\cdot 2000\pi}{20\,000\cdot 3.0009}=0.1047$$

第三个积分器的总电容为：

$$\text{第三个积分器的总电容}=\frac{1}{0.1047}+2=11.55\ \text{单位电容}$$

式（9.7-61）：C_{4n}

式（9.7-61）可由图 9.7-20 的开关电容积分器来实现，它有一个同相和一个反相输入端。如前所述可以写出：

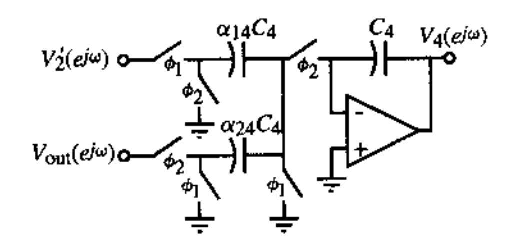


图 9.7-20　式（9.7-61）的实现电路

$$V_4(z) = \frac{1}{z-1}[\alpha_{14}V_3'(z) - \alpha_{24}zV_{out}(z)] \tag{9.7-69}$$

假设 $f_{PB} < f_c$，则：

$$V_4(s_n) \approx \frac{1}{s_n T_n}[\alpha_{14}V_3'(s_n) - \alpha_{24}V_{out}(s_n)] \tag{9.7-70}$$

令式（9.7-70）等于式（9.7-61）得到第四个积分器的电容比值如下：

$$\alpha_{14} = \alpha_{24} = \frac{T_n}{R'C_{4n}} = \frac{\omega_{PB}}{R'f_c C_{4n}} = \frac{2000\pi}{1\cdot 20\ 000\cdot 1.0911} = 0.2879$$

如果 $R' = R_{0n}$。此时我们注意到第四个积分器与第二个积分器相同，它们有相同的总积分器电容。

式（9.7-62）：L_{5n}

最后一个状态方程是式（9.7-62），它可用图 9.7-21 的开关电容积分器来实现，它有一个同相和一个反相输入端。由这个电路可以写出：

$$V_{out}(z) = \frac{1}{z-1}[\alpha_{15}V_4(z) - \alpha_{25}zV_{out}(z)] \tag{9.7-71}$$

化简可得：

$$V_{out}(s_n) \approx \frac{1}{s_n T_n}[\alpha_{15}V_4(s_n) - \alpha_{25}V_{out}(s_n)] \tag{9.7-72}$$

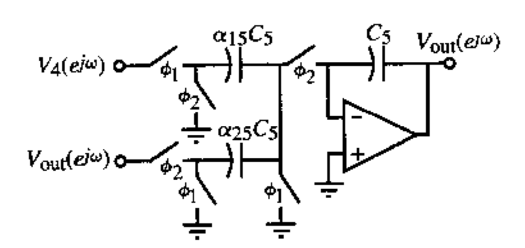


图 9.7-21 式（9.7-62）的实现电路

令式（9.7-72）等于式（9.7-62）得到第五个积分器的电容比值为：

$$\alpha_{15} = \alpha_{25} = \frac{R_{6n}T_n}{L_{3n}} = \frac{R_{6n}\omega_{PB}}{f_c L_{3n}} = \frac{1\cdot 2000\pi}{20\ 000\cdot 2.1349} = 0.1472$$

其中，$R_{6n} = 1\ \Omega$。第五个积分器的总电容为：

$$\text{第五个积分器的总电容} = \frac{1}{0.1472} + 2 = 8.79\ \text{单位电容}$$

可以看出这个滤波器的总电容为10.79 + 5.47 + 11.53 + 5.47 + 8.79 = 42.05。注意，对于相同的性能，例 9.7-5 采用级联法时需要 49.07 单位电容。

这个滤波器的完整电路如图 9.7-22 所示。图 9.7-23 为本例的仿真结果和理想响应。它给出了实际滤波器电路中每一级运算放大器输出电压的幅度和相位。可以看到有些运算放大器的增益超过了 0 dB，这时需要应用电压缩放比例来获得最大动态范围。图 9.7-24 是图 9.7-23 的 SPICE 仿真输入文件。

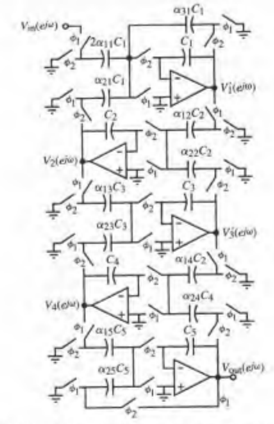


图 9.7-22　例 9.7-8 的五阶切比雪夫低通开关电容滤波器

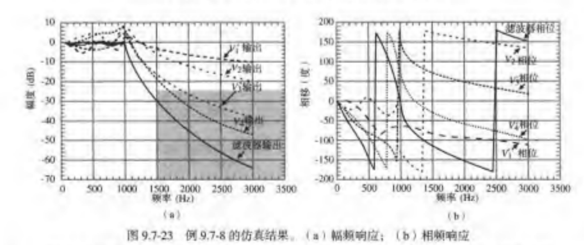


图 9.7-23　例 9.7-8 的仿真结果。（a）幅频响应；（b）相频响应

例 9.7-8 说明了低通滤波器的梯形设计流程。这个流程很适合于 $j\omega$轴上有零点的滤波器。$j\omega$轴上有零点的 *RLC* 滤波器的 *RLC* 原型在并联支路中有一个 *LC* 或者在串联支路中有一个并联 *LC*。这种电路或者含电感割集或者含电容回路。可以采用非独立源来取代电感割集和电容回路构成相应的等效电路。非独立源很容易用连接在积分器求和节点的非开关电容来实现[19]。

```
******* 08/29/97 13:12:51
******PSpice 5.2 (Jul 1992) ********
**** CIRCUIT DESCRIPTION ****
*SPICE FILE FOR EXAMPLE 9.7_5
*Example 9.7-8 : ladder filter
*Node 5 is the output at V1'
*Node 7 is the output at V2
*Node 9 is the output of V3'
*Node 11 is the output of V4
*Node 15 is the final output
VIN 1 0 DC 0 AC 1

**************************
*V2 STAGE
XNC21 5 6 19 20 NC2
XPC21 9 10 19 20 PC2
XUSC2 7 8 19 20 USCP
XAMP2 19 20 7 8 AMP
**************************
*V3' STAGE
XNC31 7 8 13 14 NC3
XPC31 11 12 13 14 PC3
XUSC3 9 10 13 14 USCP
XAMP3 13 14 9 10 AMP
**************************
*VOUT STAGE
XNC51 11 12 17 18 NC1
XPC51 15 16 17 18 PC1
XUSC5 15 16 17 18 USCP
XAMP5 17 18 15 16 AMP
**************************

.SUBCKT DELAY 1 2 3
ED 4 0 1 2 1
TD 4 0 3 0 ZO=1K TD=25US
RDO 3 0 1K
.ENDS DELAY

.SUBCKT NC1 1 2 3 4
RNC1 1 0 6.7934
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 .2879
XNC3 4 0 40 DELAY
XNC1 1 0 10 DELAY
GNC1 1 0 10 0 .1472
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 .1472
XNC3 4 0 40 DELAY
**********************
***
** V' STAGE
XNC11 1 2 3 4 NC11
XPC11 7 8 3 4 PC1
XPC12 5 6 3 4 PC1
XUSC1 5 6 3 4 USCP
XAMP1 3 4 5 6 AMP
**********************
***
*V4 STAGE
XNC41 9 10 25 26 NC2
XPC41 15 16 25 26 PC2
XUSC4 11 12 25 26 USCP
XAMP4 25 26 11 12 AMP

XNC1 1 0 10 DELAY
GNC1 1 0 10 0 .2879
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 0.2879
XNC3 4 0 40 DELAY
GNC3 4 0 40 0 0.2879
RNC2 4 0 3.4730
.ENDS NC2

.SUBCKT NC3 1 2 3 4
RNC1 1 0 9.5521
XNC1 1 0 10 DELAY
GNC1 1 0 10 0 0.1047
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 0.1047
XNC3 4 0 40 DELAY
GNC3 4 0 40 0 0.1047
RNC2 4 0 9.5521
.ENDS NC3

.SUBCKT NC4 1 2 3 4
RNC1 1 0 3.4730
XNC1 1 0 10 DELAY
GNC1 1 0 10 0 .2879
SUBCKT NC2 1 2 3 4
RNC1 1 0 3.4730
GNC3 4 0 40 0 .1472
RNC2 4 0 6.7955
.ENDS NC4

.SUBCKT PC1 1 2 3 4
RPC1 2 4 6.7934
.ENDS PC1
```

图 9.7-24 图 9.7-23 的 SPICE 仿真输入文件

```
GNC3 4 0 40 0 .1472
RNC2 4 0 6.7934
.ENDS NC1

.SUBCKT NC11 1 2 3 4
RNC1 1 0 3.3978XNC1 1 0 10 DELAY
GNC1 1 0 10 0 .2943
XNC2 1 4 14 DELAY
GNC2 4 1 14 0 .2943
XNC3 4 0 40 DELAY
GNC3 4 0 40 0
.2943
RNC2 4 0 3.3978
.ENDS NC11

.SUBCKT PC2 1 2 3 4
RPC1 2 4 3.4730
.ENDS PC2

.SUBCKT PC3 1 2 3 4
RPC1 2 4 9.5521
.ENDS PC3

.AC LIN 100 10 3K
.PRINT AC V(5) VP(5) V(7)
+ VP(7) V(9) VP(9) V(11)
+ VP(11) V(15) VP(15)
.PROBE
.END
```

图 9.7-24（续）

梯形设计方法也可用于高通、带通和带阻滤波器的设计。这种方法是直接基于低通原型 *RLC* 电路的频率转换。我们将简要介绍一下高通和带通梯形滤波器的设计方法。

从归一化低通到归一化高通的频率转换已经由式（9.7-24）给出。如果我们将这种变换应用于归一化低通电路的电感，可以得到：

$$s_{ln}L_{ln} = \left(\frac{1}{s_{hn}}\right)L_{ln} = \frac{1}{s_{hn}C_{hn}} \tag{9.7-73}$$

同样，如果将此变换应用于归一化低通电路的电容 C_{ln}，可以得到：

$$\frac{1}{s_{ln}C_{ln}} = \left(\frac{s_{hn}}{1}\right)\frac{1}{C_{ln}} = s_{hn}L_{hn} \tag{9.7-74}$$

由式（9.7-73）和式（9.7-74）可以看出，在归一化低通到归一化高通的频率转换中，电感 L_{ln} 被一个值为 $1/L_{ln}$ 的电容 C_{hn} 取代。同时电容 C_{ln} 被一个值为 $1/C_{ln}$ 的电感 L_{hn} 取代。图 9.7-25 说明了这些重要的关系。

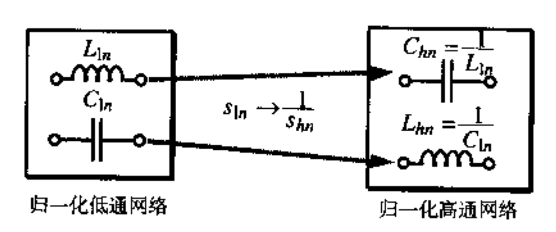


图 9.7-25　从归一化低通到归一化高通的转换对电容和电感的影响

从上述结果可以看出，要得到一个归一化高通 *RLC* 滤波器，需要将每个电感 L_{ln} 替换为值为 $1/L_{ln}$ 的电容 C_{hn}，将每个电容 C_{ln} 替换为值为 $1/C_{ln}$ 的电感 L_{hn}。接下来，写出状态方程并将它们进行转换，使得每个状态变量都被表示为不同输入的导数形式。图 9.7-26 为微分电路的一种实现方式。或者，也可以用积分器的形式改写高通状态方程，但是这种方法需要一定的公式变换技巧。

RLC 带通梯形滤波器的设计也是从归一化低通滤波器着手，然后利用式（9.7-32）的归一化带通变换得到一个归一化 *RLC* 带通滤波器。这种变换也可以应用于低通电路的电感和电容，如下所述。

首先分析归一化低通滤波器的电感 L_{ln}。我们采用式（9.7-32）同时进行带通归一化和频率变换，归一化的电感 L_{ln} 可以表示为：

$$s_{ln}L_{ln}=\left[\left(\frac{\omega_r}{BW}\right)\left(s_{bn}+\frac{1}{s_{bn}}\right)\right]L_{ln}=s_{bn}\left(\frac{\omega_r L_{ln}}{BW}\right)+\frac{1}{s_{bn}}\left(\frac{\omega_r L_{ln}}{BW}\right)=s_{bn}L_{bn}+\frac{1}{s_{bn}C_{bn}} \quad (9.7\text{-}75)$$

因此，我们发现，带通归一化和频率变换将一个电感 L_{ln} 变换为一个电感 L_{bn} 串联一个电容 C_{bn}，它们的值为：

$$L_{bn}=\left(\frac{\omega_r}{BW}\right)L_{ln}=\frac{L_{ln}}{\Omega_b} \quad (9.7\text{-}76)$$

和

$$C_{bn}=\left(\frac{BW}{\omega_r}\right)\frac{1}{L_{ln}}=\frac{\Omega_b}{L_{ln}} \quad (9.7\text{-}77)$$

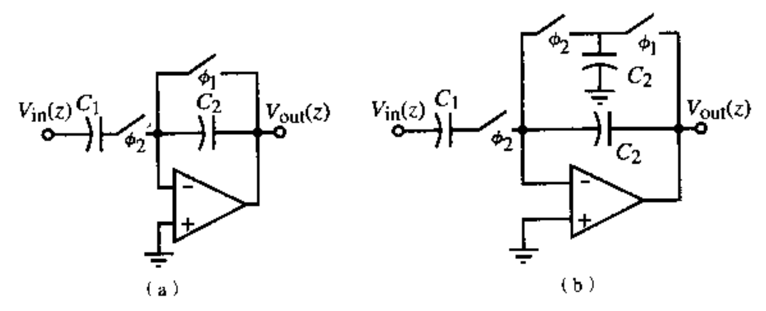


图 9.7-26 （a）开关电容微分电路；（b）为避免放大器输出在ϕ_1期间短路到地的改进电路

现在将式（9.7-32）用于归一化电容 C_{ln} 得到：

$$\frac{1}{s_{ln}C_{ln}}=\frac{1}{\left[\left(\frac{\omega_r}{BW}\right)\left(\left(s_{bn}+\frac{1}{s_{bn}}\right)\right)\right]C_{ln}}=\frac{1}{s_{bn}\left(\frac{\omega_r}{BW}\right)C_{ln}+\frac{1}{s_{bn}}\left(\frac{\omega_r C_{ln}}{BW}\right)}$$

$$=\frac{1}{s_{bn}C_{bn}+\frac{1}{s_{bn}L_{bn}}} \quad (9.7\text{-}78)$$

从式（9.7-78）可以看到，带通归一化和频率变换将低通电路的电容 C_{ln} 变换为一个电容 C_{bn} 并联一个电感 L_{bn}，它们的值为：

$$C_{bn}=\left(\frac{\omega_r}{BW}\right)C_{ln}=\frac{C_{ln}}{\Omega_b} \quad (9.7\text{-}79)$$

和

$$L_{bn}=\left(\frac{BW}{\omega_r}\right)\frac{1}{C_{ln}}=\frac{\Omega_b}{C_{ln}} \quad (9.7\text{-}80)$$

式（9.7-76）、式（9.7-77）、式（9.7-79）和式（9.7-80）在 *RLC* 带通滤波器的设计中非常重要，图 9.7-27 给出了说明。

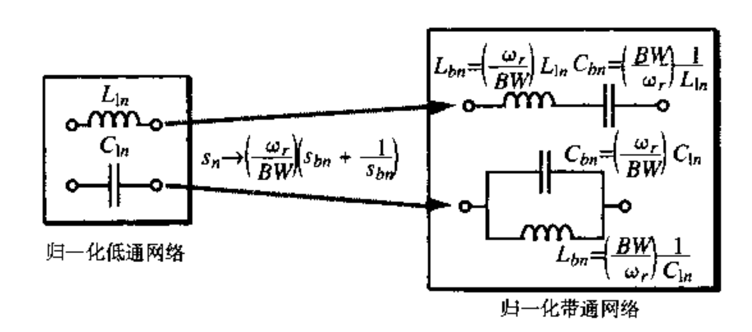


图 9.7-27　式（9.7-32）的归一化低通到归一化带通的转换对低通滤波器的电感和电容的影响

写出归一化带通网络的状态方程后，状态变量是用带通形式表示的。与前面介绍的低通实现方法类似，采用 9.6 节介绍的开关电容双四结构电路可以实现每个状态变量。带阻滤波器可以这样得到：先进行归一化低通到归一化高通的频率变换，再进行归一化低通到归一化带通的频率变换。当状态变量被表示成自身和其他变量的函数时，9.6 节的双四结构电路也能用于它们的实现。同样，在 $j\omega$ 轴上有零点的高通和带通滤波器也可以通过对归一化低通 RLC 电路进行上述变换获得，这里要消除电感割集和电容回路。非独立源总是会产生一个连接在变量与运算放大器反相输入端之间的非开关电容。本章最后的习题给出了这种滤波器的一些例子。图 9.7-28 归纳了设计梯形开关电容滤波器的基本方法。大多数梯形开关电容滤波器的应用需要低通或带通滤波器。

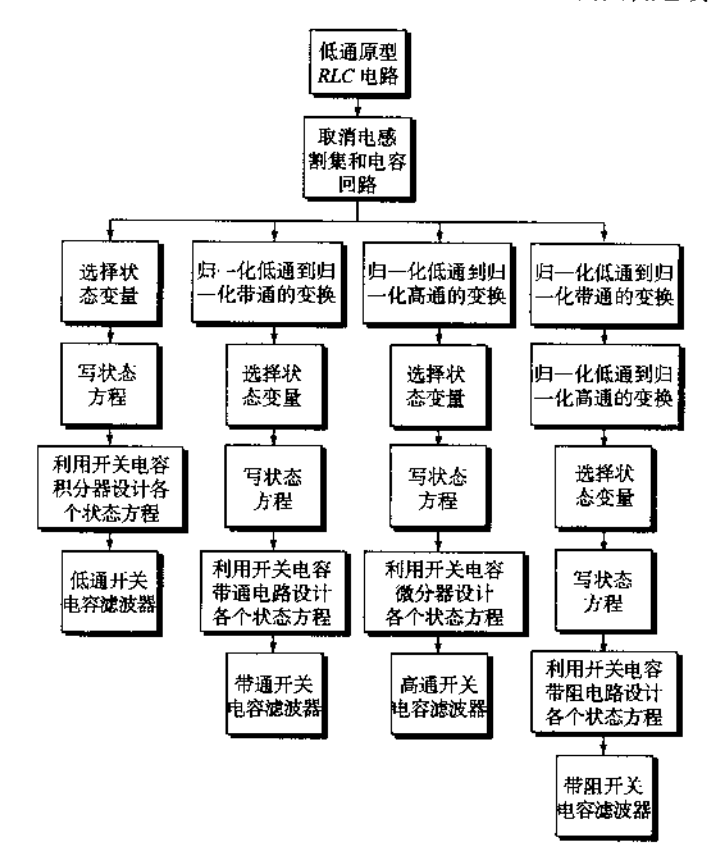


图 9.7-28　设计梯形开关电容滤波器的基本方法

抗混叠滤波器

连续时间滤波器的一个非常重要的应用是用于抗混叠技术中。所有的离散时间滤波器都要用到时钟和采样。采样的一个特点是信号通带出现在时钟频率的每个谐波上。例如，频谱如图 9.7-1 所示的信号按照时钟频率f_c被采样，产生的频谱如图 9.7-29 所示。从 0 到ω_{PB}的频率被称为基带。每个以ω_c或者其谐波为中心的通带内的信号和噪声都可以通过，并在基带内发生混叠。当一个需要的或不希望得到的信号（噪声）的频率落在ω_c或其谐波的$\pm\omega_{PB}$范围内，都会发生混叠。混叠导致基带内出现不需要的信号。

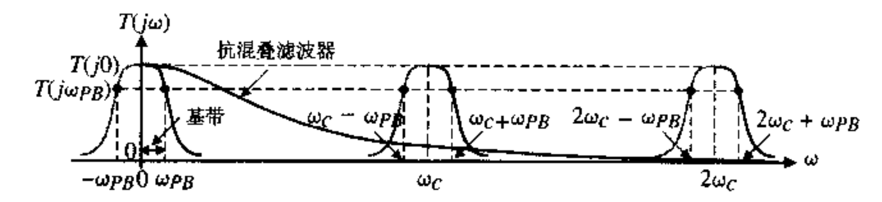


图 9.7-29 离散时间滤波器和连续时间抗混叠滤波器的频谱

通常用一个抗混叠滤波器(Antialiasing Filter)来消除更高通带的混叠信号以防止其进入基带，如图 9.7-29 所示。抗混叠滤波器的目的是衰减以ω_c及其谐波为中心的通带，使它们不会出现在基带。通常，抗混叠滤波器是一个连续时间滤波器，因为它不需要精确的时间常数，而开关电容滤波器需要精确的时间常数。抗混叠滤波器所要做的就是避免衰减基带和尽可能地衰减基带以上的所有通带。

下面将要介绍一些常用的抗混叠滤波器。第一个如图 9.7-30（a）所示，被称为 Sallen-Key 滤波器[26]。它是一个二阶滤波器，使用正反馈来得到复共轭极点。电压放大器的电压增益为 $K=1$，并假设输入阻抗为无穷大及输出阻抗为零。这个电压放大器可用图9.2-1（a）所示的同相电压放大器来实现。

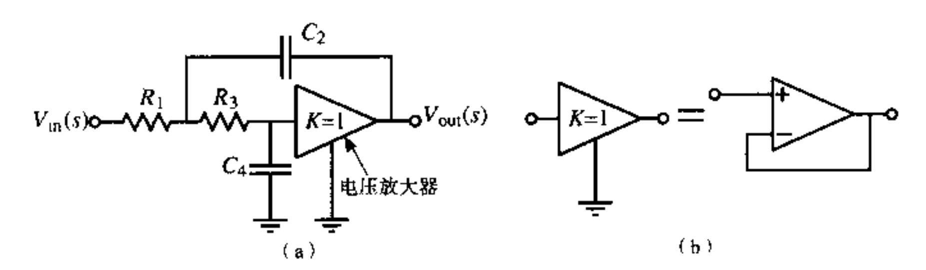


图 9.7-30 （a）一个使用正反馈的二阶低通有源滤波器；
（b）用同相运算放大器结构实现的电压放大器 K

图 9.7-30（a）的闭环电压传递函数可表示为：

$$\frac{V_{out}(s)}{V_{in}(s)}=\frac{\dfrac{1}{R_1R_3C_2C_4}}{s^2+s\left(\dfrac{1}{R_1C_2}+\dfrac{1}{R_3C_2}\right)+\dfrac{1}{R_1R_3C_2C_4}} \tag{9.7-81}$$

为了用到这个结果，我们必须把图 9.7-30（a）中的元件值（R_1、R_3、C_2和C_4）用标准二阶低通传递函数的参数[T_{LP}（0）、Q和ω_o]来表示。这些关系式被称为设计方程，是设计一个指定的有

源滤波器的关键。当令式（9.7-81）的系数与标准二阶低通传递函数[见式（9.7-18）或式（9.7-21）]相等时，产生了3个独立的方程。遗憾的是有5个未知量，因此不存在惟一解。这种情况经常发生在有源滤波器的设计中。为了解决这个问题，设计者要根据需要选择许多附加约束条件从而得到一组惟一的设计方程。

为了得到使图9.7-30（a）有惟一解的设计方程组，我们需要另外两个独立的关系式。让我们选择这些关系式为：

$$R_3 = nR_1 = nR \tag{9.7-82}$$

$$C_4 = mC_2 = mC \tag{9.7-83}$$

将这些关系代入式（9.7-81）得到：

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{1/mn(RC)^2}{s^2 + (1/RC)[(n+1)/n]s + 1/mn(RC)^2} \tag{9.7-84}$$

现在，如果令式（9.7-84）等于标准二阶低通传递函数，就可以得到两个设计方程为：

$$\omega_o = \frac{1}{\sqrt{mn} \cdot RC} \tag{9.7-85}$$

$$\frac{1}{Q} = (n+1)\sqrt{\frac{m}{n}} \tag{9.7-86}$$

图9.7-30（a）元件的设计方法是选择一个值m并使它与标准电容值之间满足关系：

$$m \le \frac{1}{4Q^2} \tag{9.7-87}$$

n可由下式计算：

$$n = \left(\frac{1}{2mQ^2} - 1\right) \pm \frac{1}{2mQ^2}\sqrt{1 - 4mQ^2} \tag{9.7-88}$$

对于任意给定的Q和m，式（9.7-88）给出了两个n值。可以看出这些值互为倒数。因此这两者得到的结果相同。

例9.7-9　SALLEN-KEY抗混叠滤波器的应用

用上述设计方法采用图9.7-30（a）设计一个二阶低通滤波器，假设$Q = 0.707$，$f_o = 1$ kHz。

解：

式（9.7-87）暗示m应该小于0.5。我们选取$m = 0.5$。式（9.7-88）给出$n = 1$。这些设定保证了Q的值为0.707。现在，用式（9.7-85）求RC的积。从式（9.7-85）得到$RC = 0.225 \times 10^{-3}$。这里必须尝试不同的值以找出给定条件下（如面积要求等典型条件）的最优值。我们选择$C = C_2 = 500$ pF，则$R = R_1 = 450$ kΩ。因此，$C_4 = 250$ pF，$R_3 = 450$ kΩ。很明显，抗混叠滤波器实现时需要相当大的面积。

因为图9.7-30（a）用做抗混叠滤波器，RC的乘积不需要很精确。注意，低频时抗混叠滤波器的增益由运算放大器的单位增益结构决定。因此，抗混叠滤波器可以和开关电容滤波器一起用标准CMOS工艺实现。

另一种适用于抗混叠滤波的连续时间滤波器如图9.7-31所示。这个滤波器采用频率相关的负

反馈来获得复共轭极点。图 9.7-31 为一组可能的设计方程[23]。$T_{LP}(0)$、ω_o 和 Q 分别是标准二阶低通传递函数的直流增益、极点频率和极点 Q。

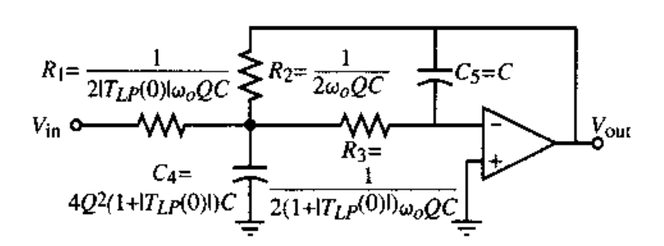


图 9.7-31 采用负反馈实现的二阶低通滤波器

例 9.7-10 设计一个负反馈二阶低通有源滤波器

采用图 9.7-31 的负反馈二阶低通有源滤波器设计一个低通滤波器，它的直流增益为−1，$Q=1/\sqrt{2}$，$f_o=10\text{ kHz}$。

解：

采用图 9.7-31 给出的设计方程。假设 $C_5=C=100\text{ pF}$，则 $C_4=(8)(0.5)C=400\text{ pF}$。电阻为：

$$R_1=\frac{\sqrt{2}}{(2)(1)(6.2832)(10^{-6})}=112.54\text{ k}\Omega$$

$$R_2=\frac{\sqrt{2}}{(2)(6.2832)(10^{-6})}=112.54\text{ k}\Omega$$

$$R_3=\frac{\sqrt{2}}{(2)(6.2832)(2)(10^{-6})}=56.27\text{ k}\Omega$$

遗憾的是，我们发现，由于无源元件的尺寸，抗混叠滤波器会占据很大的芯片面积。

开关电容滤波器的噪声

在所有的开关电容电路中，在时钟频率及其每个谐波上的通带都会引起噪声混叠，如图 9.7-32 所示。可以看出，混叠使基带的噪声电压谱密度增强了 $2f_{sw}/f_c$ 倍。因此，基带噪声电压谱密度为：

$$e_{Bn}^2=\left(\frac{kT/C}{f_{sw}}\right)\left(\frac{2f_{sw}}{f_c}\right)=\frac{2kT}{f_cC}\quad \text{V}^2/\text{Hz} \tag{9.7-89}$$

将式（9.7-89）乘以 $2f_B$ 得到以 $\text{V}^2(\text{rms})$为单位的基带噪声电压。因此，基带噪声电压为：

$$v_{Bn}^2=\left(\frac{2kT}{f_cC}\right)(2f_B)=\frac{2kT}{C}\left(\frac{2f_B}{f_c}\right)=\frac{2kT/C}{OSR}\quad \text{V(rms)}^2 \tag{9.7-90}$$

其中，OSR 是过采样率。

开关电容滤波器的噪声可以根据上述概念来仿真。首先，用一个值为 $1/(f_cC)$的电阻来代替每个开关电容，将开关电容滤波器转换为一个等效的连续时间滤波器。如果这个电阻的噪声乘以 $2f_B/f_c$，那么结果就近似等于开关电容滤波器的噪声。遗憾的是，SPICE 之类的仿真器不支持热噪声相乘。另一种方法是假定电阻是无噪声的，并建立一个噪声源来表示式（9.7-90）的噪声的影

响。这可以通过设置电阻上的直流电流为零来实现，其中电阻与被仿真的电阻相同。然后将受电阻两端电压控制的电压源放在运放输入端以实现式（9.7-90）。连续时间电路的其他电阻也可用同样方法来模拟。得到的噪声源模型和运算放大器的一般噪声源一起就组成了开关电容滤波器噪声的近似模型。

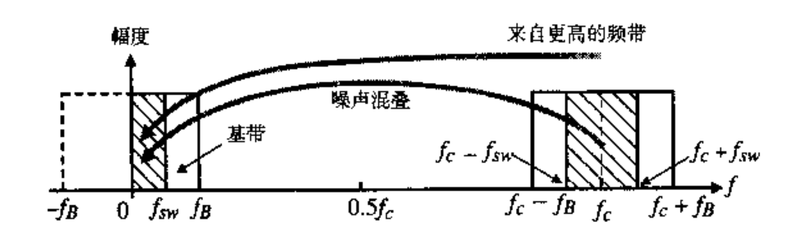


图 9.7-32　开关电容电路的噪声混叠的示意图

9.8　小结

本章介绍了与 CMOS 工艺兼容的开关电容电路的应用。开关电容电路的主要优势在于信号处理的精确度与电容比值成线性关系，而这可能是 CMOS 工艺中最精确的部分。我们已经看到在大多数情况下时钟频率必须远大于信号带宽。此时，采样数据域与时域直接等效。

本章讨论的所有开关电容电路都是双相的。虽然这简化了分析，但还是有很多应用把时钟周期分割为不止两段。无论分为几个相位，时钟都不能重叠。开关电容电路的一个缺点是由开关的分布电容引起的时钟馈通。当时钟馈通被最小化后，它就代表了开关电容电路的最终精确度。

开关电容电路的应用包括已经分析过的放大器、积分器和滤波器。开关电容滤波器代表了一种已经成熟并被广泛运用的技术。遗憾的是，在大多数开关电容滤波器中，信号带宽必须小于时钟频率，它使得滤波器不能在运算放大器的带宽附近完成信号滤波功能。开关电容电路是完成精确的模拟信号处理的一种可行方式，并被广泛应用于下一章讨论的数-模和模-数转换中。

习题

9.1-1　推导表 9.1-1 中串联开关电容电阻模拟电路的等效阻值表达式。

9.1-2　推导表 9.1-1 中双线性开关电容电阻模拟电路的等效阻值表达式。

9.1-3　用容差分别为 10%和 5%的电阻和电容实现时间常数的精度是多少？如果电容的容差是 5%，相对容差是 0.5%，用一个开关电容模拟电阻和一个电容实现的时间常数的精度是多少？假设时钟频率完全准确。

9.1-4　用一个串联开关电容模拟电阻重复习题 9.1-3。

9.1-5　求图 P9.1-5 所示电路的 z 域传递函数。令 $\alpha = C_2/C_1$，采用例 9.1-4 的方法求离散时间频率响应的表达式。采用例 9.1-5 的方法设计（求α）一个一阶高通电路，−3 dB 频率为 1 kHz。假定时钟频率是100 kHz。画出得到的离散时间电路的频率响应，并与一个−3 dB 频率为 1 kHz、高频增益为 1 的一阶高通连续时间电路相比较。

9.2-1　图 P9.2-1 给出了两个反相求和放大电路。假设运算放大器的 $A_{vd}(0) = 10\,000$，$GB = 1$ MHz，比较这两个求和放大电路的闭环频率响应。

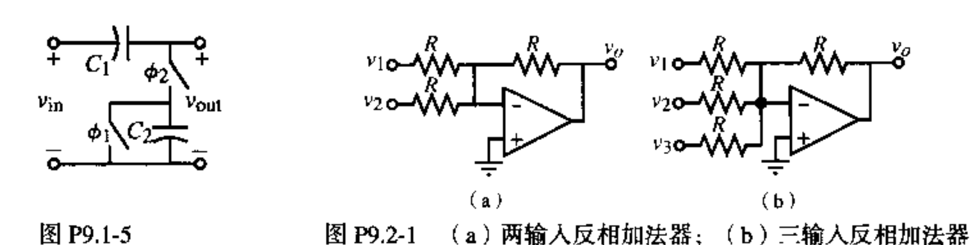


图 P9.1-5　　图 P9.2-1 （a）两输入反相加法器；（b）三输入反相加法器

9.2-2 将电阻用等值电容取代，重复习题 9.2-1。

9.2-3 用串联开关电容模拟电阻取代图 9.2-4（b）中的并联开关电容模拟电阻，求 z 域传递函数 $H^{ee}(z)$。

9.2-4 验证图 9.2-6（a）的跨阻。

9.2-5 图 P9.2-5 所示的开关电容电路使用两相非重叠时钟。（a）求 z 域表达式 $H^{oe}(z)$。（b）如果 $C_1 = 10\,C_2$，画出开关电容电路从 0 Hz 到时钟频率（f_c）的幅频和相频响应。假设本题的运算放大器是理想的。

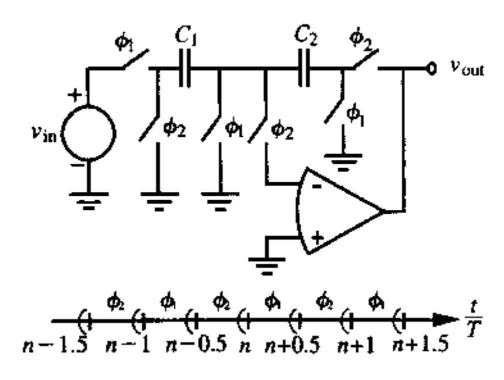


图 P9.2-5

9.2-6 求图 P9.2-6 所示开关电容电路的 $H^{oe}(z)\ [= V_2^e(z)/V_1^o(z)]$。用 $e^{j\omega T}$ 代替 z 并求出这个电路的幅频和相频响应。假设 $C_1 = C_2$。在线性–线性坐标上绘出从 $f = 0$ 到 $f = f_c$ 的幅频和相频响应。在 $f = 0.5f_c$ 处的幅度和相位是多少？

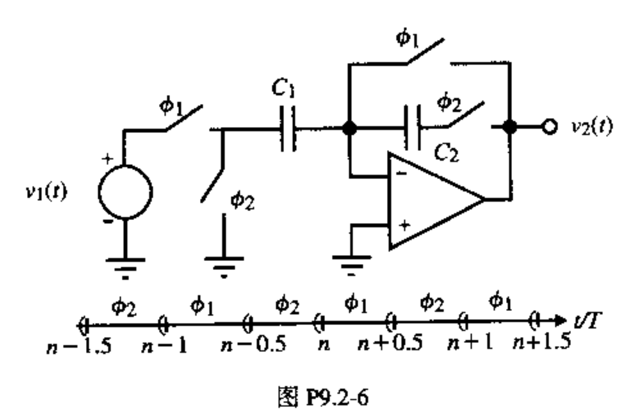


图 P9.2-6

9.2-7 （a）求图 P9.2-7 所示开关电容电路的 $H^{oo}(z)$。忽略运算放大器在 ϕ_1 相位阶段开路的事实，并假设输出电压在 ϕ_2 时被采样在 ϕ_1 时保持不变。注意，有些开关被两个开关电容共用。

（b）以 Hz 为单位绘出 0 到时钟频率的采样数据幅频和相频响应。

9.2-8　在图 P9.2-8 所示的电路中，电容 C_1 被充电到电压 V_{in}（$v_{in}>0$）。假设 C_2 未充电，在施加 ϕ_1 时钟后求输出电压 V_{out} 的表达式。假设 ϕ_1 时钟的上升和下降时间足够慢，所以 NMOS 晶体管开关的沟道能跟踪栅电压。ϕ_1 的开、关电压分别是 10 V 和 0 V。如果 $V_T=1\text{V}$，$C_{gs}=C_{gd}=100\text{ fF}$，$C_1=5\text{ pF}$，$C_2=1\text{ pF}$，估计输出端的直流失调电压。

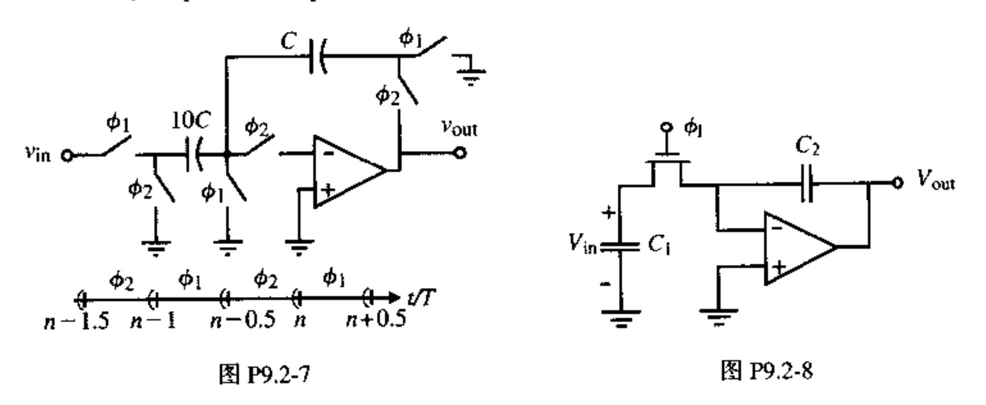


图 P9.2-7　　　　图 P9.2-8

9.2-9　图 P9.2-9 给出了一个开关电容放大器。如果运算放大器的直流增益为 10 000，在−100 rad/s 处有一个主导极点，那么允许理想输出电压在1%以内能达到的最大时钟频率是多少？假设开关是理想的。

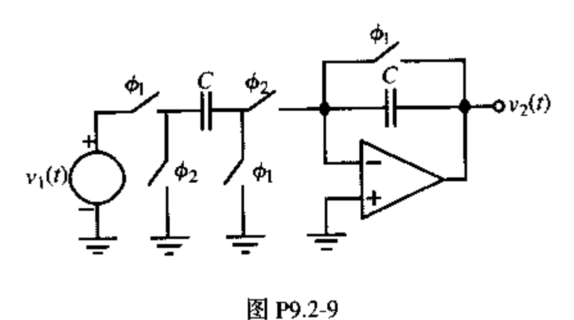


图 P9.2-9

9.2-10　图 P9.2-10 所示的开关电容电路是一个放大器，它能避免运算放大器的输出在 ϕ_1 相位阶段被短路到地。采用定时时钟方案求 z 域传递函数 $H^{oo}(z)$，画出这个放大器从零频率到时钟频率 f_c 的幅度和相移。

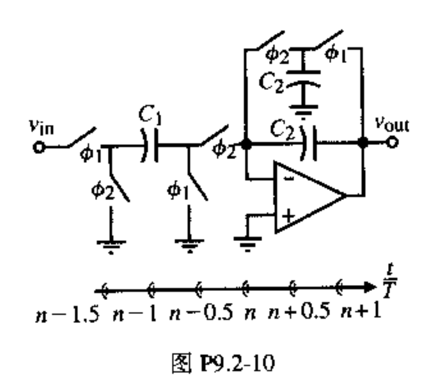


图 P9.2-10

9.2-11　（a）画出一个电压放大器的开关电容实现电路的原理图，要求增益为 $H^{oo}=+10\text{ V/V}$，采用

两相不重叠时钟。假设输入在ϕ_1被采样，在ϕ_2被保持。采用运算放大器、电容和开关，并用ϕ_1或ϕ_2指示开关闭合的相位。

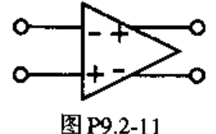


图 P9.2-11

(b) 在保证电路（a）正确工作的条件下，将开关数量减至最少，画出电路图。假设运算放大器是理想的。

(c) 采用图P9.2-11的差分输入、差分输出的运算放大器，将电路（a）转换为差分实现形式。

9.3-1 超过什么频率范围例 9.3-1 的积分器将有 ±1°的相位误差？

9.3-2 给出从图9.3-4（b）推导式（9.3-12）的过程。

9.3-3 求出图9.3-4（b）的反相积分器的传递函数$H^{eo}(j\omega T)$，并与传递函数 $H^{ee}(j\omega T)$进行比较。

9.3-4 图P9.3-4 为一个反相开关电容积分器。如果运算放大器的增益是 A_o，求这个积分器的 z 域传递函数。指出传递函数的理想部分和由运算放大器有限增益 A_o 产生的部分，求出 A_o 引起的额外相位的表达式。

9.3-5 求图P9.3-5的开关电容电路的$V^o_{out}(z)$与$V^o_1(z)$、$V^o_2(z)$和$V^o_3(z)$之间的函数关系，假设时钟是两相不重叠的。假设时钟频率远大于信号带宽，求 $V_{out}(s)$与 $V_1(s)$、$V_2(s)$和 $V_3(s)$之间的近似表达式。

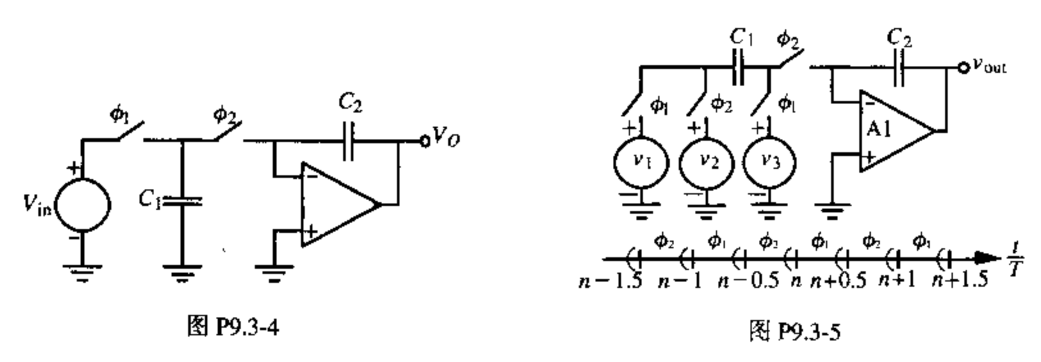


图 P9.3-4　　　　图 P9.3-5

9.3-6 图 P9.3-6 所示的开关电容电路采用两相不重叠时钟。

(a) 求z 域表达式 $H^{eo}(z)$。

(b) 设 $C_1=C_3$，$C_2=C_4$，用 $e^{j\omega t}$代替z，画出从 0 Hz 到时钟频率f_c的开关电容电路幅度和相位。假设本题的运算放大器是理想的。

(c) 在$f_c/2$ 处增加的幅度误差和附加的相位误差是多少？

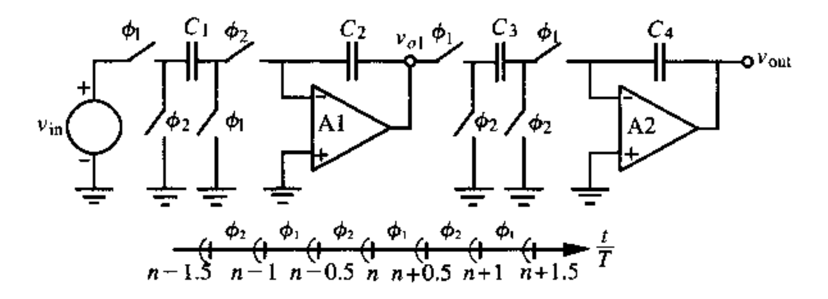


图 P9.3-6

9.3-7 求图 P9.3-7 所示的开关电容电路的$H^{oo}(z)$ $[=V^o_{out}(z)/V^o_{in}(z)]$。用 $e^{j\omega t}$ 代替z，确定这个电路的幅

频和相频响应。假设 $C_1/C_2 = \pi/25$。在线性-线性坐标上精确地画出从 $f = 0$ 到 $f = f_c$ 的幅频和相频响应。在 $f = 0.5f_c$ 处的幅度和相位是多少？假设运算放大器是理想的。

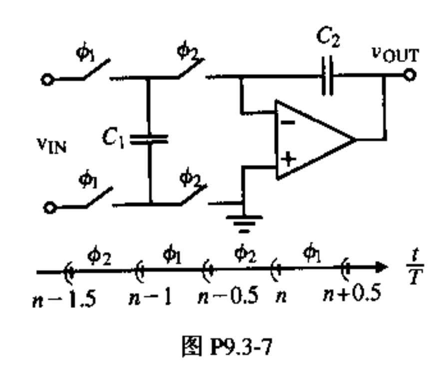


图 P9.3-7

9.3-8　如图 P9.3-8 所示的开关电容电路使用两相不重叠时钟。

(a) 求 z 域表达式 $H^{ee}(z)$。

(b) 如果 $C_2 = 0.2\pi C_1$，画出从 0 rad/s 到时钟频率（ω_c）时的开关电容电路的幅频和相频响应。假设本题的运算放大器是理想的。记住，欧拉公式为 $e^{\pm jx} = \cos(x) \pm j\sin(x)$。

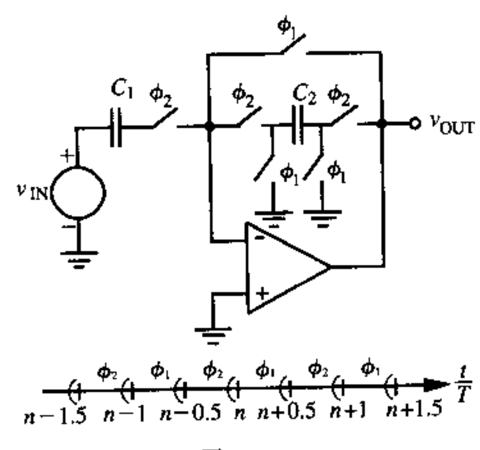


图 P9.3-8

9.3-9　求图 P9.3-9 所示电路的 z 域传递函数 $H^{oo}(z)$。假设 $C_2 = C_3 = C_4 = C_5$。同时假设输入在 ϕ_1 被采样，在 ϕ_2 被保持。接着，令时钟频率远大于信号频率，求 $H^{oo}(j\omega)$ 的表达式。假设 C_3 在 ϕ_1 期间被放电，不改变运算放大器的输出。这是哪种电路？

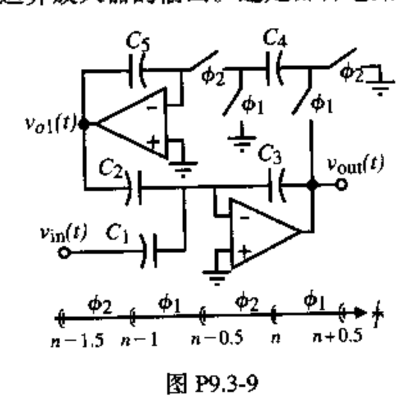


图 P9.3-9

9.4-1 对图9.4-3所示的正开关电容跨阻电路重复例9.4-1。

9.4-2 采用z域模型根据图9.2-4（b）证明式（9.2-19）和式（9.2-23）。

9.4-3 假设运算放大器是理想的（增益=∞），重复例9.4-5。并与例9.4-5的结果进行比较。[提示：采用图9.4-8（b）。]

9.4-4 假设运算放大器的增益是100 V/V，重复例9.4-5。并与例9.4-5的结果进行比较。

9.4-5 对图9.3-4（b）中的反相开关电容积分器重复例9.4-5。

9.5-1 根据将图9.5-1（a）最左边的两个开关相位翻转所得的反相低通电路推导式（9.5-6）。证明式（9.5-7）。

9.5-2 用SPICE仿真例9.5-1的结果。

9.5-3 对一个低频增益为+1、−3 dB频率为5 kHz的一阶低通电路，重复例9.5-1。

9.5-4 设计一个用开关电容实现的一阶低通电路，要求低频增益为−10，−3 dB频率为1 kHz，使用的时钟频率为100 kHz。

9.5-5 设计一个用开关电容实现的一阶高通电路，要求高频增益为−10，−3 dB频率为1 kHz，使用的时钟频率为100 kHz。

9.5-6 一个高音增强电路从直流到1 kHz的增益为0 dB，从1到10 kHz的增益以+20 dB/十倍频的速度增加，10 kHz以上增益为−20 dB（即图9.5-7的响应在1 kHz附近的镜像），重复例9.5-2。

9.5-7 图P9.5-7中的开关电容电路采用两相不重叠时钟。假设$C_1 = 2$ pF、$C_2 = 1$ pF和$C_3 = 10$ pF。（a）求$H^{oo}(z)$的z域表达式。（b）画出开关电容电路从0 rad/s到时钟频率（ω_c）的幅频和相频响应。假设本题的运算放大器是理想的。记住，欧拉公式为$e^{\pm jx} = \cos(x) \pm j\sin(x)$。

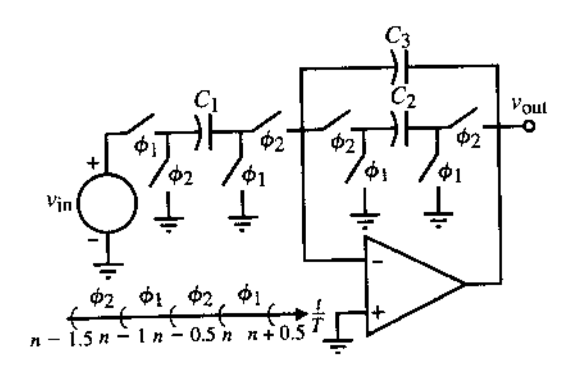


图 P9.5-7

9.5-8 图P9.5-7中的开关电容电路采用两相不重叠时钟。（a）求$H^{oo}(z)$的z域表达式。（b）用$H^{oo}(z)$的表达式来设计C_1和C_2的值以实现：

$$H(s) = -\frac{10\,000}{s + 1000}$$

假设时钟频率是100 kHz，$C_3 = 10$ pF，且运算放大器是理想的。

9.5-9 求图P9.5-9所示开关电容电路的$H^{oo}(z)$。用$e^{j\omega t}$取代z，求这个电路的幅频和相频响应。

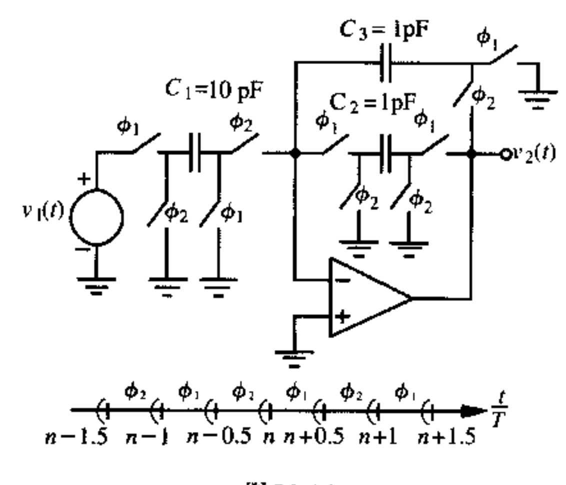


图 P9.5-9

9.5-10　用图 P9.5-10 的开关电容电路实现一个低音增强电路。求：

$$H(e^{j\omega T}) = \frac{V_{out}(e^{j\omega T})}{V_{in}(e^{j\omega T})}$$

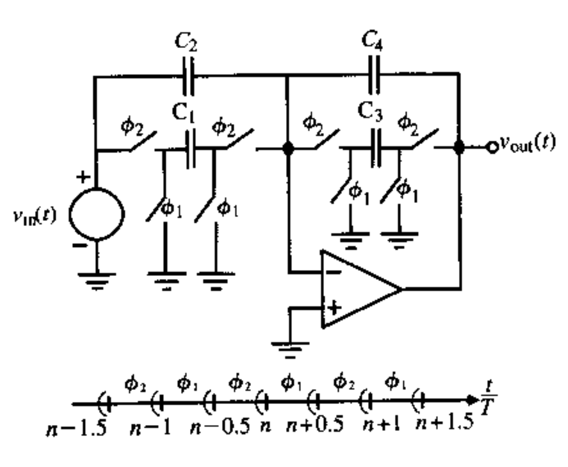


图 P9.5-10

假设 $f_c >> f_{signal}$。如果 $C_2 = C_4 = 10$ pF 和 $f_c = 10$ kHz，求 C_1 和 C_3 的值以实现下面的传递函数：

$$\frac{V_{out}(s)}{V_{in}(s)} = -10\left(\frac{\frac{s}{100}+1}{\frac{s}{10}+1}\right)$$

9.6-1　将图 9.6-2（a）和（b）合并成一个连续时间双四结构电路。用一个反相运算放大器代替负电阻，求 s 域频率响应，并将结果与式（9.6-1）进行比较。

9.6-2　（a）用图 P9.6-2 所示的低 Q 开关电容双四结构电路设计电容比值以实现一个低通二阶滤波器，要求一个极点频率为 1 kHz，$Q = 5$，直流增益为−10，使用的时钟频率为 100 kHz。如果用一个任意的电容单位 C_u 来表示，总电容是多少？

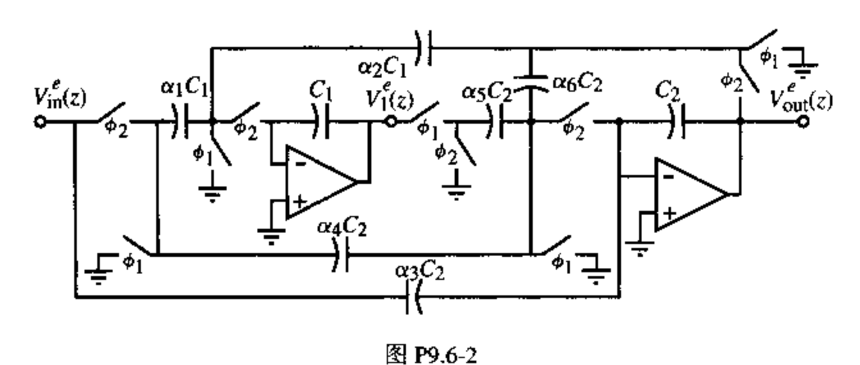


图 P9.6-2

（b）求所有电容比小于 10 : 1 的时钟频率 f_c。这时用 C_u 表示的总电容又是多少？

9.6-3 图 P9.6-3 所示为一个 Tow-Thomas 连续时间滤波器。给出这个滤波器的离散时间实现方法，其中使用对误差不敏感的积分器。如果时钟频率远大于滤波器频率，求下面的 z 域传递函数的系数 a_i 和 b_i，要求用离散时间电路的电容表示。

$$H(z)=\frac{a_0+a_1z^{-1}+a_2z^{-2}}{b_0+b_1z^{-1}+b_2z^{-2}}$$

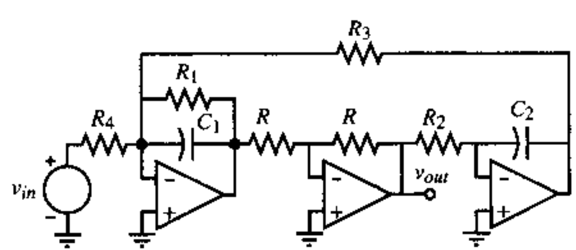


图 P9.6-3

9.6-4 求图 P9.6-4 的开关电容电路的 z 域传递函数 $H(z)=V_{out}(z)/V_{in}(z)$，用下面的形式表示：

$$H(z)=\frac{a_2z^2+a_1z+a_0}{b_2z^2+b_1z+b_0}$$

估算用电容表示的 a_i 和 b_i。然后，假设 $\omega T<<1$，求 $H(s)$。这是哪种类型的二阶电路？

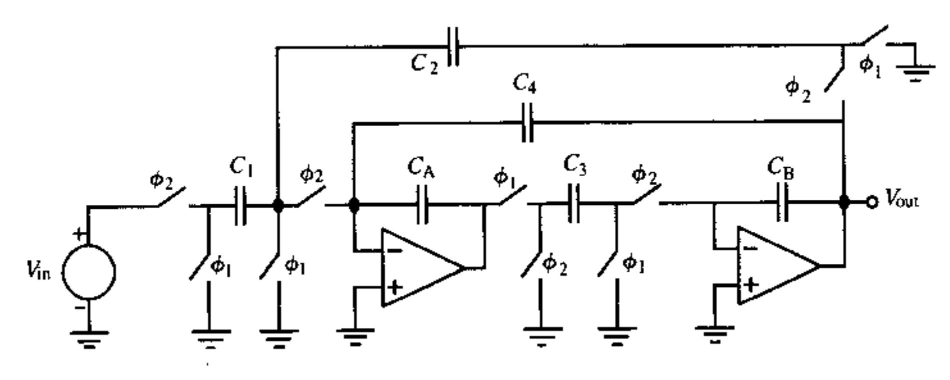


图 P9.6-4

9.6-5 求图 P9.6-5 中开关电容电路的 z 域传递函数 $H(z)=V_{out}(z)/V_{in}(z)$，用下面的形式表示：

$$H(z) = -\left[\frac{a_2z^2 + a_1z + a_0}{z^2 + b_1z + b_0}\right]$$

估算用电容表示的 a_i 和 b_i。然后，假设 $\omega T << 1$，求 $H(s)$。这是什么类型的电路？

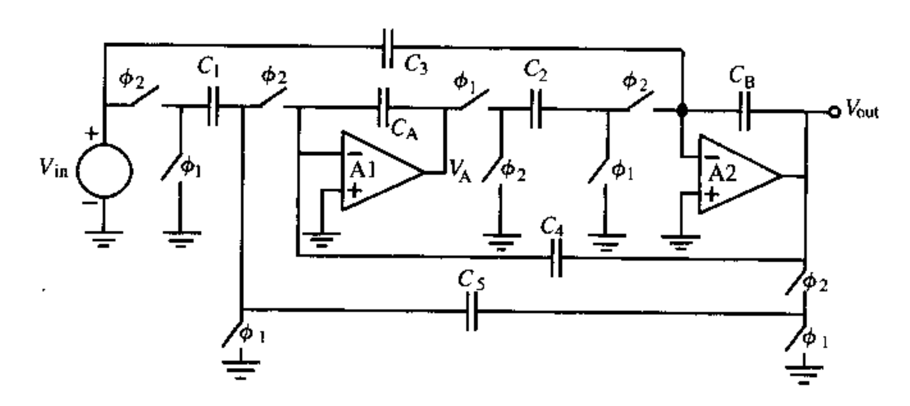


图 P9.6-5

9.6-6 求图 P9.6-6 中开关电容电路的 z 域传递函数 $H(z) = V_{out}(z)/V_{in}(z)$，用下面的形式表示：

$$H(z) = -\left[\frac{a_2z^2 + a_1z + a_0}{z^2 + b_1z + b_0}\right]$$

估算用电容表示的 a_i 和 b_i。然后，假设 $\omega T << 1$，求 $H(s)$。这是哪种类型的二阶电路？极点频率 ω_o 和极点 Q 分别是多少？

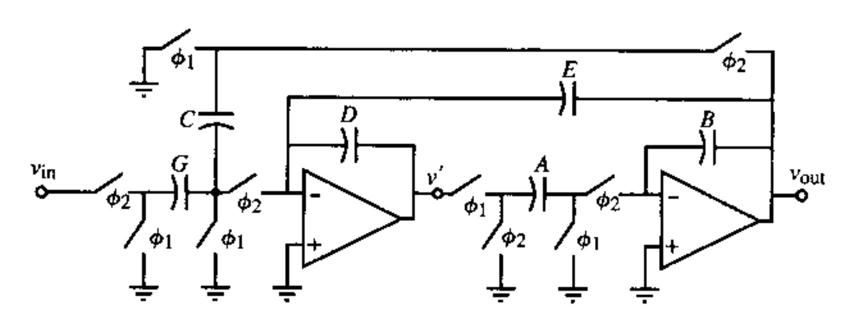


图 P9.6-6

9.6-7 图 P9.6-7 所示的开关电容电路可实现下面的 z 域传递函数：

$$H(z) = -\left(\frac{a_2z^2 + a_1z + a_0}{b_2z^2 + b_1z + 1}\right)$$

其中，$C_6 = a_2/b_2$，$C_5 = (a_2-a_0)/b_2C_3$，$C_1 = (a_0+a_1+a_2)/b_2C_3$，$C_4 = [1-(b_0/b_2)]/C_3$，$C_2C_3 = (1+b_1+b_2)/b_2$。设计一个开关电容电路来实现下面的函数：

$$H(s) = \frac{-10^6}{s^2 + 100s + 10^6}$$

其中，时钟频率是 10 kHz。用双线性变换 $s = (2/T)[(z-1)/(z+1)]$ 将 $H(s)$ 映射到 $H(z)$。选取 $C_2 = C_3$ 并假设 $C_A = C_B = 1$。

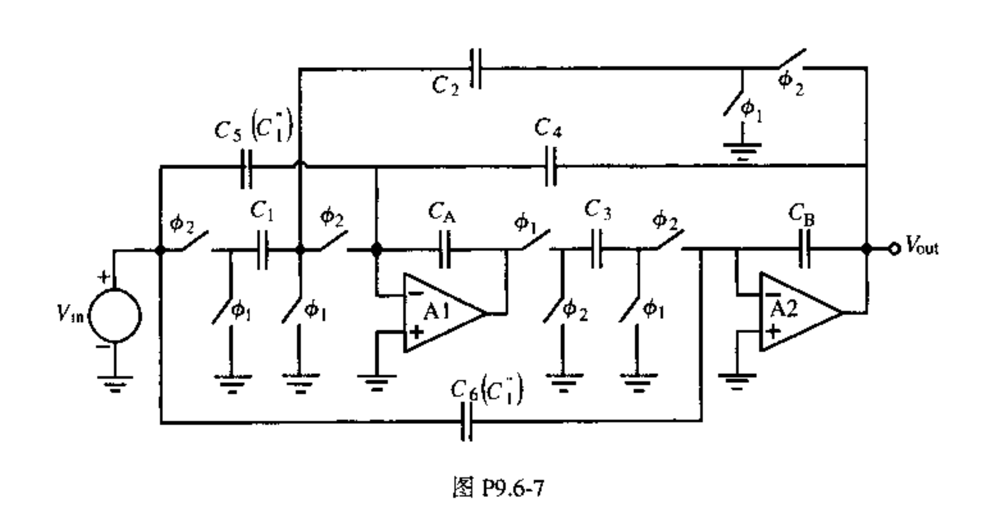


图 P9.6-7

9.7-1 求实现如下指标的巴特沃思和切比雪夫滤波器的最小阶数：$T_{PB}=-3$ dB，$T_{SB}=-40$ dB，$\Omega_n=2.0$。

9.7-2 求一个五阶巴特沃思滤波器的传递函数，将它表示为一次项和二次项的乘积。求出每个二次项的极点频率 ω_p 和 Q。

9.7-3 采用低 Q 和高 Q 双四结构电路来重复例 9.7-5 电路的设计，求出所需的总电容，并与例子的结果进行比较。

9.7-4 根据下面的归一化低通原型传递函数，用级联方式设计一个级联开关电容五阶低通滤波器：

$$H_{lpn}(s_n)=\frac{1}{(s_n+1)(s_n^2+0.61804s_n+1)(s_n^2+1.61804s_n+1)}$$

滤波器的通带是 1000 Hz。时钟频率为 100 kHz，根据电容比值与积分电容（运算放大器周围的非开关反馈电容）的函数关系和最大电容比值及归一化单位电容 C_u 设计每一级电路。画出设计的电路图，将 Q 最低的部分放在最前面。用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-5 对一个有着相同通带频率的五阶高通滤波器重复习题 9.7-4。用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-6 对一个中心频率为 1000 Hz、-3 dB 带宽为 500 Hz 的五阶带通滤波器重复习题 9.7-4。用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-7 根据下面的归一化低通原型传递函数，采用级联方法设计一个六阶带通开关电容滤波器：

$$H_{lpn}(s_n)=\frac{2}{(s_n+1)(s_n^2+2s_n+2)}$$

带通滤波器的中心频率是 1000 Hz，带宽是 100 Hz。使用的时钟频率为 100 kHz。根据电容比值与积分电容（运算放大器周围的非开关反馈电容）的函数关系、最大电容比值和归一化单位电容 C_u，设计每一级电路。画出设计电路的原理图，将 Q 最低的部分放在最前面。用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-8 根据习题 9.7-7 的归一化低通原型传递函数设计一个三阶高通开关电容滤波器。截止频率（f_{PB}）是 1000 Hz。使用的时钟频率为 100 kHz。根据电容比值与积分电容（运算放大器周

围的非开关反馈电容）的函数关系、最大电容比值和归一化单位电容 C_u，设计每一级电路，画出设计电路的原理图，将 Q 最低的部分放在最前面。用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-9 根据下面的归一化低通原型传递函数设计一个三阶高通开关电容滤波器：

$$H_{lpn}(s_n)=\frac{0.5(s_n^2+4)}{(s_n+1)(s_n^2+2s_n+2)}$$

截止频率（f_{PB}）是 1000 Hz，时钟频率为 100 kHz。根据电容比值与积分电容（运算放大器周围的非开关反馈电容）的函数关系、最大电容比值和归一化单位电容 C_u，设计每一级电路。画出设计电路的原理图，将 Q 最低的部分放在最前面。用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-10 写出图 P9.7-10 所示每个电路的最小状态方程组。采用电流的电压模拟（R = 1 Ω），状态方程组的状态变量可以用其他状态变量包括它自身来表示。

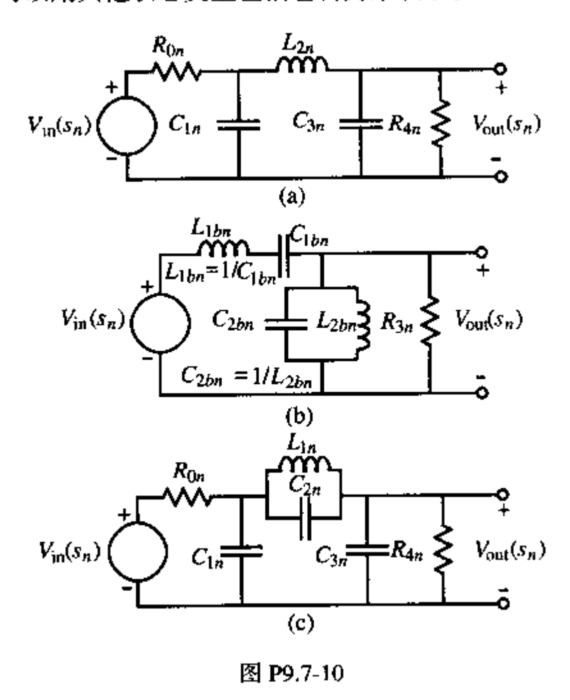


图 P9.7-10

9.7-11 用连续时间和开关电容电路实现下列状态方程。采用最少的元件并给出电容值和每个开关的相位（ϕ_1 和 ϕ_2）。给出用状态方程的参数、Ω_n 和 f_c 表示的开关电容电路的电容值。

（a）$V_1=\dfrac{1}{sK}[-\alpha_1V_1+\alpha_2V_2-\alpha_3V_3]$

（b）$V_1=\dfrac{s}{s^2+1}[-\alpha_1V_1+\alpha_2V_2-\alpha_3V_3]$

（c）$V_1=\dfrac{1}{sK}[-\alpha_1V_1+\alpha_2V_2]+\alpha_3V_3$

9.7-12 求图 P9.7-12 所示归一化低通 RLC 梯形滤波器的开关电容实现。低通滤波器的截止频率是 1000 Hz，时钟频率是 100 kHz。给出每一级用积分电容表示的所有电容值，并标明开关的正确相位。此滤波器的 C_{max}/C_{min} 和总单位电容是多少？用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-13 用开关电容实现图 P9.7-13 所示的低通原型滤波器，设时钟频率为 100 kHz。通带频率为 1000 Hz。用积分电容 C 表示每个电容。用ϕ_1和ϕ_2标明开关的相位。用单位电容 C_u 表示的总电容是多少？C_{max}/C_{min} 是多少？用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

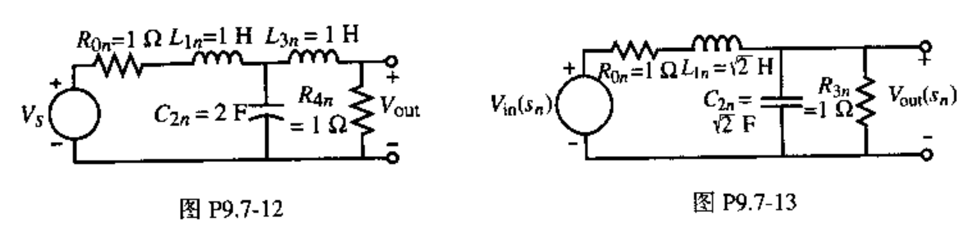


图 P9.7-12　　图 P9.7-13

9.7-14 用开关电容实现图P9.7-14所示的低通原型滤波器，时钟频率为100 kHz，通带频率为1000 Hz。用积分电容 C 表示每个电容。用ϕ_1和ϕ_2标明开关的相位。用单位电容 C_u 表示的总电容是多少？C_{max}/C_{min}是多少？用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-15 用开关电容实现图 P9.7-15 所示的低通原型滤波器，时钟频率为 100 kHz，通带频率为 1000 Hz。用积分电容 C 表示每个电容。用ϕ_1和ϕ_2标明开关的相位。用单位电容 C_u 表示的总电容是多少？最大的 C_{max}/C_{min}是多少？用SPICE画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

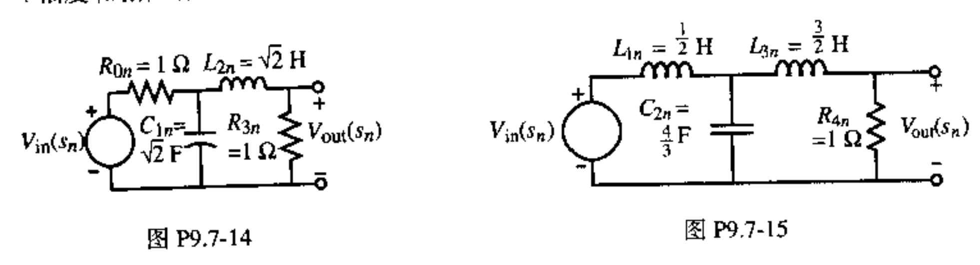


图 P9.7-14　　图 P9.7-15

9.7-16 用开关电容实现图 P9.7-16 所示的低通原型滤波器，时钟频率为 100 kHz，通带频率为 1000 Hz。用积分电容 C（连在运放输出端和反相输入端之间的电容）表示每个电容。用ϕ_1和ϕ_2标明开关的相位。用单位电容 C_u表示的总电容是多少？最大的 C_{max}/C_{min} 是多少？用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-17 用开关电容实现图 P9.7-17 所示的低通原型滤波器，时钟频率为 200 kHz，通带频率为 1000 Hz。用积分电容 C（连在运放输出端和反相输入端之间的电容）表示每个电容。用ϕ_1和ϕ_2标明开关的相位。用单位电容 C_u 表示的总电容是多少？最大的 C_{max}/C_{min} 是多少？用 SPICE 画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

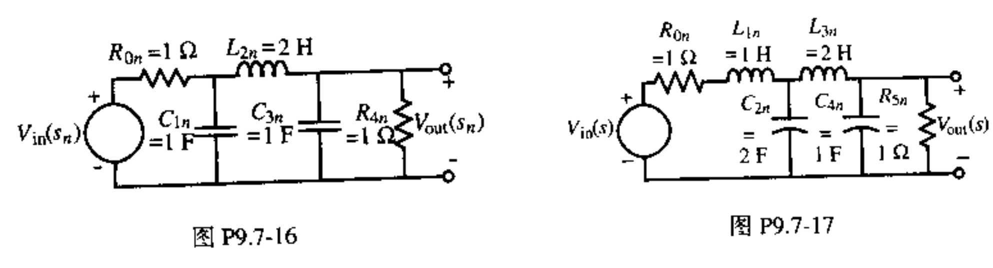


图 P9.7-16　　图 P9.7-17

9.7-18 用图P9.7-14的归一化低通原型滤波器设计一个用开关电容梯形电路实现的带通滤波器，中心频率为1000 Hz，带宽为500 Hz，时钟频率为100 kHz。画出电路原理图，用积分电容表示所有电容值并标明所有开关的相位。要求采用分布参数不敏感积分器。用SPICE画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-19 用图P9.7-13的归一化低通原型滤波器设计一个用开关电容梯形电路实现的带通滤波器，中心频率为1000 Hz，带宽为500 Hz，时钟频率为100 kHz。画出电路原理图，用积分电容表示所有电容值并标明所有开关的相位。要求采用分布参数不敏感积分器。用SPICE画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-20 用图P9.7-20的归一化低通原型滤波器设计一个用开关电容梯形电路实现的带通滤波器，中心频率为1000 Hz，带宽为100 Hz，时钟频率为100 kHz。画出电路原理图，用积分电容表示所有电容值并标明所有开关的相位。要求采用分布参数不敏感积分器。用SPICE画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

9.7-21 用图P9.7-21的归一化低通原型滤波器设计一个用开关电容梯形电路实现的带通滤波器，中心频率为1000 Hz，带宽为100 Hz，时钟频率为100 kHz。画出电路原理图，用积分电容表示所有电容值并标明所有开关的相位。要求采用分布参数不敏感积分器，用SPICE画出设计电路和理想连续时间滤波器的频率响应（幅度和相位）。

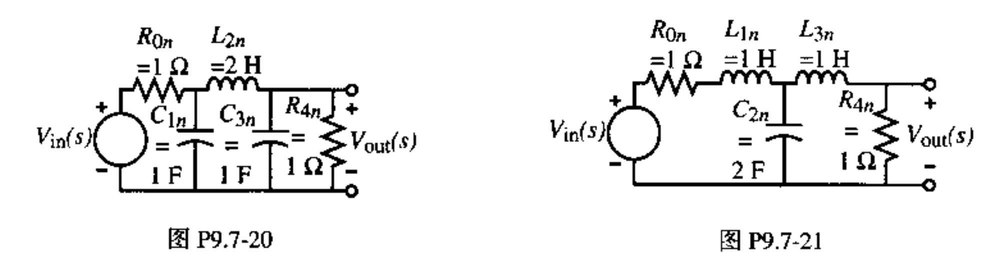


图 P9.7-20　　　　图 P9.7-21

9.7-22 图P9.7-22所示是一个二阶低通Sallen-Key有源滤波器以及用滤波器的元件表示的传递函数。

（a）定义$n=R_3/R_1$，$m=C_4/C_2$，并令$R_1=R$及$C_2=C$。如果$K=1$，推导Q和ω_o的设计方程。

（b）用这些方程设计一个二阶低通巴特沃思抗混叠滤波器，带通频率为10 kHz。令$R_1=R=10\ \text{k}\Omega$，求C_2、R_3和C_4的值。

$$\frac{V_{out}}{V_{in}}=\frac{\dfrac{K}{R_1R_3C_2C_4}}{s^2+s\left[\dfrac{1}{R_3C_4}+\dfrac{1}{R_1C_2}+\dfrac{1}{R_3C_2}-\dfrac{K}{R_3C_4}\right]+\dfrac{1}{R_1R_3C_2C_4}}$$

9.7-23 分析图P9.7-23所示电路，确定它是否能实现有复共轭极点的二阶传递函数。求电路的传递函数，并推导和证明以下问题的答案：

（a）电路是低通、带通、高通的还是其他类型？

（b）求用R_1、C_2、R_3和C_4表示的H_o、ω_o和Q。

（c）如果要单独调节Q和ω_o，需要调节什么元件？

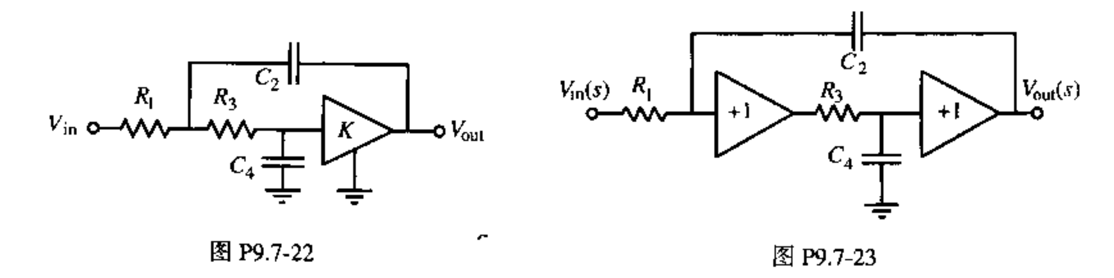


图 P9.7-22

图 P9.7-23

参考文献

1. A. Fettweis, "Realization of General Network Functions Using the Resonant-Transfer Principle," *Proceedings of the Fourth Asilomar Conference on Circuits and Systems,* Pacific Grove, CA, Nov. 1970, pp. 663–666.
2. D. L. Fried, "Analog Sample-Data Filters," *IEEE J. Solid-State Circuits,* Vol. SC-7, No. 4, pp. 302–304, Aug. 1972.
3. L. R. Rabiner, J. W. Cooley, H. D. Helms, L. B. Jackson, J. F. Kaiser, C. M. Rader, R. W. Schafer, K. Steiglitz, and C. J. Weinstein, "Terminology in Digital Signal Processing," *IEEE Trans. Audio Electroacoust.,* Vol. AU-20, pp. 323–337, Dec. 1972.
4. J. C. Maxwell, *A Treatise on Electricity and Magnetism.* London: Oxford University Press, 1873; Lowe & Brydone, Printers, Ltd., London, 1946.
5. A. V. Oppenheim and R. W. Schafer, *Digital Signal Processing.* Englewood Cliffs, NJ: Prentice Hall, 1975.
6. A. S. Sedra and K. C. Smith, *Microelectronic Circuit,* 3rd ed. New York: Oxford University Press, 1991.
7. K. Martin and A. S. Sedra, "Effects of the Op Amp Finite Gain and Bandwidth on the Performance of Switched-Capacitor Filters," *IEEE Trans. Circuits Syst.,* Vol. CAS-28, No. 8, pp. 822–829, Aug. 1981.
8. P. E. Allen, H. A. Rafat, and S. F. Bily, "A Switched-Capacitor Waveform Generator," *IEEE Trans. Circuits Syst.,* Vol. CAS-28, No. 1, pp. 103–104, Jan. 1985.
9. Y. P. Tsividis, "Analysis of Switched Capacitive Networks," *IEEE Trans. Circuits Syst.,* Vol. CAS-26, No. 11, pp. 935–947, Nov. 1979.
10. W. M Snelgrove, *FILTOR2-A Computer-Aided Filter Design Package.* Toronto: University of Toronto Press, 1980.
11. *SWAP: A Switched Capacitor Network Analysis Program.* Silvar-Lisco Co., Heverlee, Belgium, 1983.
12. K. R. Laker, "Equivalent Circuits for Analysis and Synthesis of Switched Capacitor Networks," *Bell Syst. Tech. J.,* Vol. 58, No. 3, pp. 729–769, Mar. 1979.
13. B. D. Nelin, "Analysis of Switched-Capacitor Networks Using General-Purpose Circuit Simulation Programs," *IEEE Trans. Circuits Syst.,* Vol. CAS-30, No. 1, pp. 43–48, Jan. 1983.
14. *Filter Synthesis User's Guide.* MicroSim Corporation, 20 Fairbanks, Irvine, CA 92718, Apr. 1995.
15. K. R. Laker and W. M. C. Sansen, *Design of Analog Integrated Circuits and Systems.* New York: McGraw-Hill, 1994.
16. P. E. Fleischer and K. R. Laker, "A Family of Active Switched Capacitor Biquad Building Blocks," *Bell Syst. Tech. J.,* Vol. 58, No. 10, pp. 2235–2269, Dec. 1979.
17. P. R. Gray, D. A. Hodges, and R. W. Brodersen (Eds.), *Analog MOS Integrated Circuits.* New York: IEEE Press, 1980.
18. P. R. Gray, B. A. Wooley, and R. W. Brodersen (Eds.), *Analog MOS Integrated Circuits II.* New York: IEEE Press, 1989.
19. P. E. Allen and E. Sanchez-Sinencio, *Switched Capacitor Circuits.* New York: Van Nostrand Reinhold, 1984.
20. R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing.* New York: Wiley, 1987.
21. S. Butterworth, "On the Theory of Filter Amplifiers," *Wireless Engineer,* Vol. 7, pp. 536–541, 1930.
22. P. L. Cheybshev, "Théorie des mécanismes connus sous le nom de parallelogrammes," *Oeuvres,* Vol. 1, St. Petersburg, 1899.
23. L. P. Huelsman and P. E. Allen, *Introduction to the Theory and Design of Active Filters.* New York: McGraw-Hill, 1980.
24. A. I. Zverev, *Handbook of Filter Synthesis.* New York: Wiley, 1967.
25. M. E. Van Valkenburg, *Introduction to Modern Network Synthesis.* New York: Wiley, 1960, Chap. 10.
26. R. P. Sallen and E. L. Key, "A Practical Method of Designing RC Active Filters," *IRE Trans. Circuit Theory,* Vol. CT-2, pp. 74–85, Mar. 1995.

第 10 章　数模和模数转换器

信号处理最重要的功能之一就是在模拟和数字信号之间进行转换。1.1 节已经给出了模拟信号和数字信号的定义及区别。图 1.3-1 也给出了一个典型的信号处理系统的结构图。值得注意的是，系统的有些部分是处理模拟信号的，而另一些部分是处理数字信号的，这就要求两种信号之间必须来回转换。因此，模数和数模转换器是所有信号处理系统中非常重要的组成部分。

从表 1.1-2 的观点来看，模数转换器（ADC）和数模转换器（DAC）都是处于系统级的。它们通常包括一个或多个比较器、数字电路、开关、积分电路、一个采样和保持电路以及一些无源器件。ADC 或 DAC 的另一个重要组成部分是一个精确的基准电压。基准电压不在本章的讨论范围内，不过第 4 章已经给出了稳定的基准电压源的设计方法。我们将会发现，运算放大器在 DAC 中起着重要作用，而比较器是 ADC 中重要的有源器件。这里列出的 DAC 和 ADC 并不代表所有的可能形式，但是经过选择，它们都与 CMOS 工艺相兼容。

首先介绍 DAC，因为它通常也是 ADC 的一个组成部分。我们将介绍 DAC 的特性和测试方法。然后，根据 DAC 按比例决定的基准电压来提供模拟输出的方法，对各种不同的 DAC 进行分析。接下来将探讨改进这些 DAC 性能的方法，从而引出 DAC 的实现方法。最后将讨论串行 DAC。这些 DAC 虽然需要较长的转换时间，但非常精确。

接下来介绍模数转换器 ADC。同样从 ADC 的性能和测试开始。当然，所有的 ADC 都必须对模拟输入进行采样，我们会对这个特性及其限制进行讨论。它包括对保持电路和混叠进行采样和保持。ADC 是根据转换周期的不同进行分类的。我们将把 ADC 分为低速 ADC、中速 ADC 和高速 ADC。由于这些 ADC 都工作在奈奎斯特频率上，因此叫做奈奎斯特转换器。另一类重要的转换器叫做过采样转换器。我们将分析这类转换器以及它们是如何被用来实现 ADC 和 DAC 的。

10.1　数模转换器简介及特性

本节介绍重要接口之一的数模转换部分。图10.1-1描述了怎样在数字系统中应用DAC[1]。DAC 的输入是一个码字（digital word），它由数字信号处理系统产生的并行二进制信号组成。利用基准电压，这些并行二进制信号被转换成等价的模拟信号。模拟输出信号经过滤波和放大后被应用于模拟信号处理系统中。尽管输出可以是电压或电流，但大部分的 DAC 都是电压输出。

一个电压输出的 DAC 可以用图 10.1-2（a）的结构来描述。可以看到，它由一个 N 位的码字（$b_0,b_1,b_2,\ldots,b_{N-2},b_{N-1}$）和一个基准电压 V_{REF} 组成。b_0 被称为“最高有效位 MSB”；b_{N-1} 被称为“最低有效位 LSB”。输出电压 v_{OUT} 可以表示为：

$$v_{OUT} = KV_{REF}D \tag{10.1-1}$$

其中，K 是比例因子。码字 D 表示为：

$$D = \frac{b_0}{2^1} + \frac{b_1}{2^2} + \frac{b_2}{2^3} + \cdots + \frac{b_{N-1}}{2^N} \tag{10.1-2}$$

N 是码字的总位数，b_{i-1} 是第 i 位的系数，取 0 或者 1。因此，将式（10.1-1）和式（10.1-2）合并，DAC 的输出可以表示为：

$$v_{OUT}=KV_{REF}=\left(\frac{b_0}{2^1}+\frac{b_1}{2^2}+\frac{b_2}{2^3}+\cdots+\frac{b_{N-1}}{2^N}\right) \tag{10.1-3}$$

或

$$v_{OUT}=KV_{REF}[b_0 2^{-1}+b_1 2^{-2}+b_2 2^{-3}+\cdots+b_{N-1}2^{-N}] \tag{10.1-4}$$

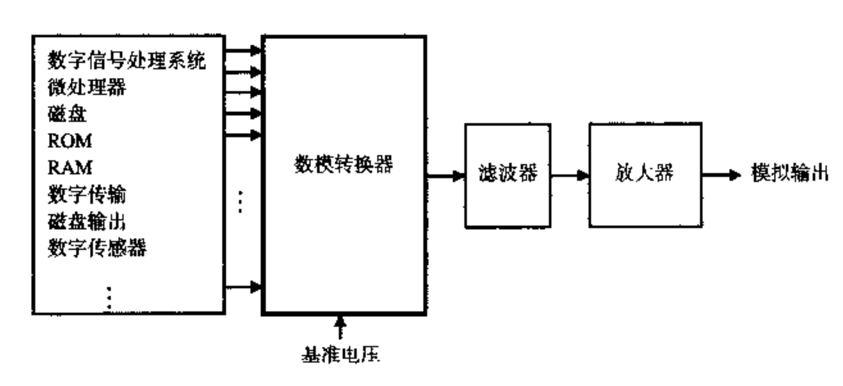


图 10.1-1　用于信号处理的数模转换器

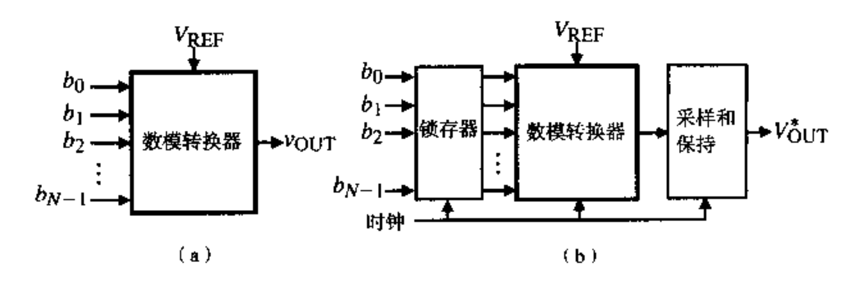


图 10.1-2　（a）用于信号处理的数模转换器；（b）用于同步工作的钟控数模转换器（*号代表已经被采样和保持的信号）

码字通常是受同步时钟控制的。在这种情况下，必须使用锁存器来保存需要转换的码字，并且在输出端需要一个采样保持电路，如图 10.1-2（b）所示。本章后面将更详细地分析采样保持电路。

图 10.1-3 更详细地描述了一个提供模拟输出电压的 DAC 的基本形式。它包括二进制开关、一个加权网络和一个输出放大器。加权网络和二进制开关根据基准电压产生一个与码字成比例的电压。加权机制可以是电压、电流或电荷加权。输出放大器把产生的电压信号放大到需要的电平，向负载提供一个源电流或漏电流。

DAC 的静态特性

了解 DAC 的特性对理解它的设计方法是非常重要的。数模转换器的特性可分为静态特性和动态特性。DAC 的精度等于实际输入码字的位数，用 N 位表示，N 为位数。图 10.1-4 为一个理想的 3 位 DAC 的输入和输出特性。我们看到 8 个可能的码字中的每一个都有其特定的模拟输出电压。这些电平用 LSB 来区分。LSB 的值定义为：

$$LSB = \frac{V_{REF}}{2^N} \tag{10.1-5}$$

码字每增加 1 位、理想 DAC 的输出将增加 1LSB。注意，当数字输入为 000 时输出为 0.0625 V。但是，没有理由认为，其特性不能下降 1/2 个 LSB，正如虚线所示的特性一样，即当输入信号为 000 时，对应的电压值为 0 V。

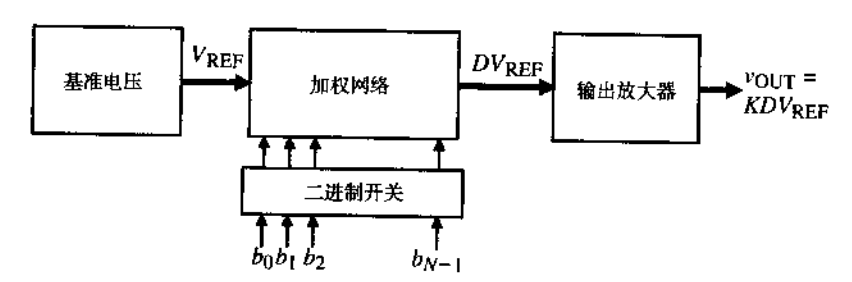


图 10.1-3　数模转换器的结构图

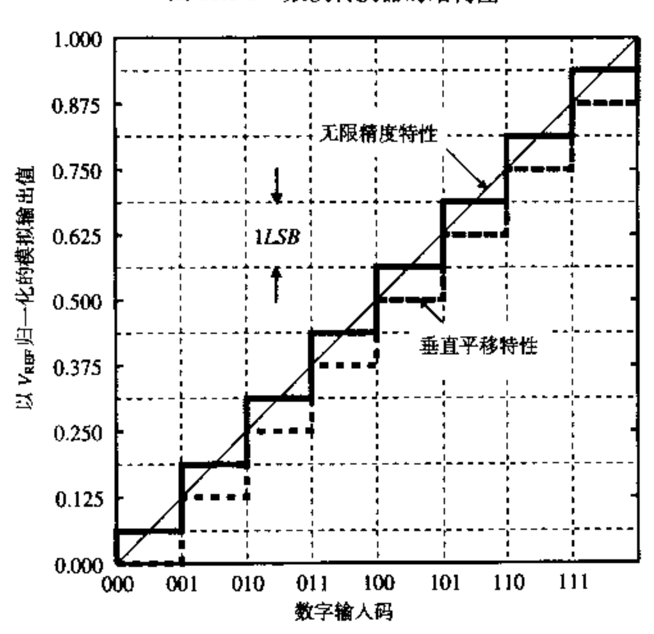


图 10.1-4　3 位 DAC 的理想输入输出特性

因为DAC的精度是有限的(在图 10.1-4 的情况中为 3)，所以最大的模拟输出电压不等于 V_{REF}。这个特性用DAC的满刻度值(FS)来描述。满刻度值定义为最大码字(1111…)和最小码字(0000…)对应的模拟输出量之差。一般而言，DAC 的满刻度值可以表示为：

$$满刻度值(FS) = V_{REF} - LSB = V_{REF}\left(1 - \frac{1}{2^N}\right) \tag{10.1-6}$$

FS 的这个定义式没有考虑特性是否平移了±0.5LSB。在图 10.1-4 中，FS 等于 0.875V_{REF}。满刻度范围（FSR）定义为：

$$FSR = \lim_{N\to\infty} FS = V_{REF} \tag{10.1-7}$$

基于上述讨论，我们可以定义几个对于 DAC 非常重要的参数。第一个被称为量化噪声。量

化噪声是在用一个有限精度的转换器将模拟值进行数字化的过程中所存在的固有不确定性。为了理解这个定义，图 10.1-4 给出了一个无限转换精度的 DAC 的特性。这条线代表了当有限 DAC 的位数 N 趋于无穷大时的特性极限值。量化噪声（或误差）等于无限位 DAC 的模拟输出量减去有限位 DAC 的模拟输出量。如果我们画出图 10.1-4 中 3 位特性的量化噪声，可以得到如图 10.1-5 所示的结果。实线和虚线分别对应图 10.1-4 中的实线阶梯和虚线阶梯。

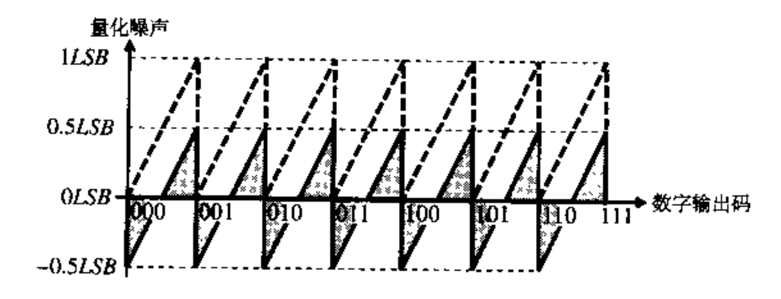


图 10.1-5　图 10.1-4 所示 3 位 DAC 的量化噪声

从图 10.1-5 中可见，量化噪声是一个峰-峰值为 1LSB 的锯齿波。注意到 $0.5LSB = FSR/2^{N+1}$ 是很有用的。这个噪声是 DAC 的一个基本特性，它代表了转换器的精度限制。即可以把 DAC 的不精确度充分降低至±0.5LSB 范围内，所有再进一步的减小将被量化噪声所掩盖，只有通过增加分辨率来降低量化噪声。

DAC 的动态范围（DR）等于 FSR 和可分辨的最小值（即 1LSB）的比。可以将 DAC 的动态范围表示为：

$$DR = \frac{FSR}{LSB} = \frac{FSR}{(FSR/2^N)} = 2^N \tag{10.1-8}$$

如果用分贝的形式，式（10.1-8）可以表示为：

$$DR(\text{dB}) = 6.02N\ \text{dB} \tag{10.1-9}$$

DAC 的信噪比（SNR）定义为满刻度值和量化噪声均方根值的比。量化噪声的均方根可以通过取量化噪声平方的均值的平方根得到。对于实线表示的量化噪声，其结果是：

$$\text{rms}(量化噪声) = \sqrt{\frac{1}{T}\int_0^T LSB^2\left(\frac{t}{T}-0.5\right)^2 dt} = \frac{LSB}{\sqrt{12}} = \frac{FSR}{2^N\sqrt{12}} \tag{10.1-10}$$

因此，DAC 的信噪比可以表示为：

$$SNR = \frac{v_{\text{OUT}}\,\text{rms}}{\left(FSR/2^N\sqrt{12}\right)} \tag{10.1-11}$$

对于一正弦波，v_{OUT} 的最大可能的均方根值等于（$FSR/2$）$/\sqrt{2}$ 或者 $V_{\text{REF}}/(2\sqrt{2})$。因此，DAC 所要求的 SNR 的最大值为：

$$SNR_{\max} = \frac{FSR/(2\sqrt{2})}{FSR/(2^N\sqrt{12})} = \frac{2^N\sqrt{6}}{2} \tag{10.1-12}$$

式（10.1-12）用分贝的形式表示为：

$$SNR_{max}(\text{dB}) = 20\log_{10}\left(\frac{2^N\sqrt{6}}{2}\right) = 20\log_{10}(2^N) + 10\log_{10}(6) - 20\log_{10}(2)$$
$$= 6.02N\,\text{dB} + 7.78\,\text{dB} - 6.02\,\text{dB} = 6.02N\,\text{dB} + 1.76\,\text{dB} \quad (10.1\text{-}13)$$

由此我们可以定义有效位数（*ENOB*）为：

$$ENOB = \frac{SNR_{actual} - 1.76}{6.02} \quad (10.1\text{-}14)$$

其中，SNR_{actual}是转换器的实际*SNR*值。

对上述结果进行总结是非常重要的，因为它们对理解DAC的性能非常有用。一个*N*位的DAC的动态范围是6*N* dB。动态范围可以看做是在不考虑输出电压幅度的前提下区分*N*位所需的幅度范围。但是，对于一个给定的输出模拟信号的幅度，考虑到量化噪声的存在，所需的动态范围必须增加1.76 dB。因此，对于一个10位DAC，*DR*为60.2 dB。对于一个满量程均方根输出电压，信号必须比DAC输出的任何均方根电压值高约62 dB。这个均方根电压值可能取决于运算放大器和开关的噪声，也可能取决于运算放大器的非线性特性。

每个码字都应该对应一个惟一的模拟输出信号。任何偏离图10.1-4的误差都被归类为静态转换误差。静态转换误差包括失调误差（offset error）、增益误差（gain error）、积分非线性（integral nonlinearity）、微分非线性（differential nonlinearity）和单调性（monotonicity）误差。失调误差是在任意一个垂直跨度上测量的实际的有限精度特性和理想有限精度特性之间的固定差值，如图10.1-6（a）所示。这个误差可以通过将得到的特性垂直平移而消除。增益误差是在最右边的垂直跨度上测量的实际有限精度特性和无限精度特性之间的差值。增益误差和DAC的输出电压幅度成比例，如图10.1-6（b）所示。

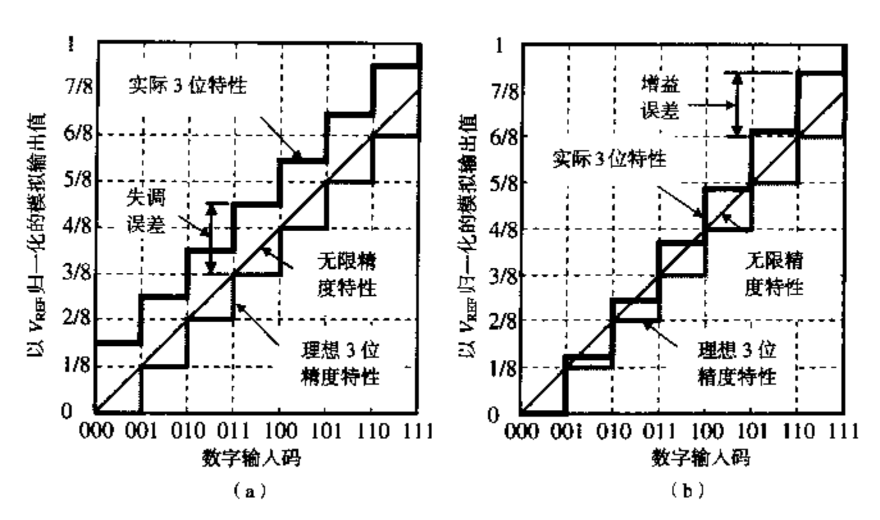


图10.1-6　（a）3位DAC的失调误差示意图；（b）3位DAC的增益误差示意图

积分非线性（*INL*）误差是实际的有限精度特性和理想的有限精度特性在垂直方向上的最大差值。积分非线性可以用满刻度范围的百分比或者*LSB*来表示。积分非线性还可以细分为以下几类：绝对、最佳直线和端点线性[2]。图10.1-7描述了一个3位DAC的*INL*。一个*N*位DAC的*INL*可以表示为一个正*INL*和一个负*INL*。正*INL*是正*INL*的最大值，负*INL*是负*INL*的最大值。在

图10.1-7中，正 *INL* 的最大值等于 1.5*LSB*，负 *INL* 的最大值等于–1.0*LSB*。

微分非线性（*DNL*）是在垂直跨度上测量的相邻电平的差的度量。微分非线性测量的是每个位相对于理想输出台阶的偏移量，而不是在整个输出范围上的比较。如果 V_{cx} 是每个位的实际电压变化，V_s 为理想变化，那么微分非线性可以表示为：

$$\text{微分非线性}\ (DNL) = \left(\frac{V_{cx} - V_s}{V_s}\right) \times 100\% = \left(\frac{V_{cx}}{V_s} - 1\right) LSB \qquad (10.1\text{-}15)$$

对于一个 N 位 DAC 和一个满量程电压范围 V_{FSR}，

$$V_s = \frac{V_{FSR}}{2^N} \qquad (10.1\text{-}16)$$

图10.1-7 也描述了微分非线性。注意，*DNL* 是阶梯尺寸的度量，与实际阶梯相对于无限精度特性的变化完全无关。从 101 到 110 的变化产生的最大正 *DNL* 等于 1.5*LSB*（$V_{cx}/V_s = 2.5LSB$）。当输入码字从 011 变化到 100 时，产生的最大负 *DNL* 变化为–0.5*LSB*（$V_{cx}/V_s = -0.5LSB$），此时 *DNL* 为–1.5*LSB*。很有意思的是，当输入码字从 100 变到 101 时没有发生任何变化（*A* 点）。因为我们知道应该发生变化，所以可以说 *A* 点处的 *DNL* 为–1*LSB*。

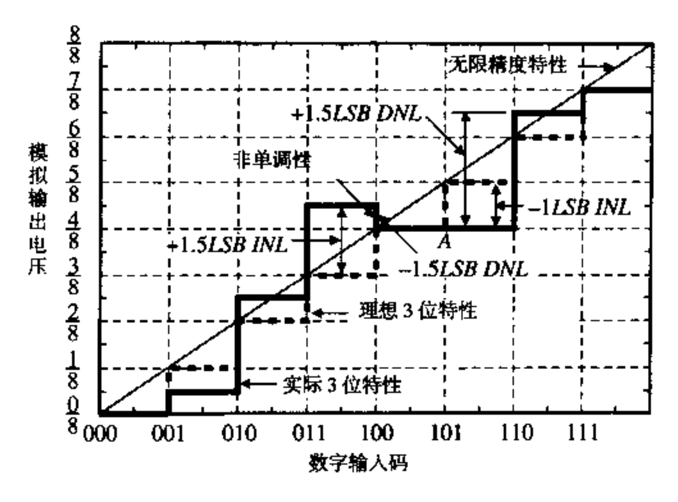


图 10.1-7 一个 3 位 DAC 的 *INL*、*DNL* 和非单调性的示意图

DAC 的单调性是指当转换器的数字输入信号增加到超过其满量程范围时，模拟输出在一个转换台阶和下一个转换台阶之间不会降低。换句话说，在一个单调转换器中，转换特性的斜率永远不会为负的。图10.1-7 表明了当输入码字从 011 变到 100 时出现的非单调特性。显然，一个非单调的 DAC 的 *DNL* 非常差。实际上，如果 DAC 有一个小于等于–1*LSB* 的–*DNL* 时，它总是非单调的。

例 10.1-1 一个非理想 4 位 DAC 的 *INL* 和 *DNL*

图10.1-8 给出了理想的和实际的 4 位 DAC 的转换特性。求±*INL* 和±*DNL*，用 *LSB* 的形式来表示。此转换器是否为单调的？

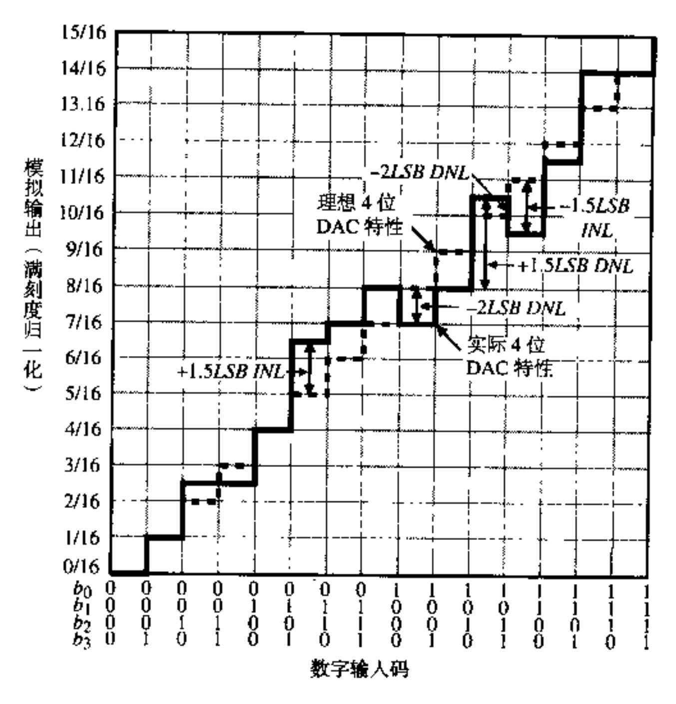


图 10.1-8　例 10.1-1 的 4 位 DAC 特性

解：

图10.1-8显示了INL和DNL误差的最坏情况。本例中，$+INL = 1.5LSB$，$-INL = -1.5LSB$，$+DNL = 1.5LSB$，$-DNL = -2LSB$。因此，这个 DAC 不是单调的。

DAC 的动态特性

以上对 DAC 的分析都是非时变的或者静态的。时变或动态特性也是 DAC 特性的重要部分。DAC 最基本的动态特性是转换速度。转换速度是当输入码字改变时 DAC 提供相应的模拟输出所需的时间。根据 DAC 种类的不同，转换速度从毫秒到纳秒不等。

决定 DAC 速度的因素主要有寄生电容、增益带宽积和运算放大器的摆率。寄生电容存在于电路的每个节点上（尤其是积分电路）。如果是一个高阻节点，则产生的极点等于与地之间的电阻电容积倒数的负值。幸运的是，大部分节点都不是高阻节点。这些节点包括输入节点（由电压源驱动）、反相结构中的运算放大器的反相输入节点和带反馈的运算放大器的输出节点。

运算放大器对 DAC 的静态和动态特性都有影响。运算放大器的增益误差是运算放大器的理论输出电压和实际输出电压之间的差，它是由于有限的 $A_{vd}(0)$引起的。在第 9 章中已经说明，对于使用电阻或电容的反相放大器，$A_{vd}(0)$为有限时的闭环增益可以表示为：

$$\frac{V_{out}}{V_{in}} = -\left(\frac{R_2}{R_1}\right)\frac{|LG|}{1+|LG|} = -\left(\frac{C_1}{C_2}\right)\frac{|LG|}{1+|LG|} \qquad (10.1\text{-}17)$$

如果环路增益 LG 不是无穷大，那么理论输出 V_{out} 和实际输出 V'_{out}之间就会存在误差。我们可以定义在输入相等时的反相运算放大器的增益误差为：

$$增益误差 = \frac{V_{out} - V'_{out}}{V_{out}} = 1 - \frac{|LG|}{1+|LG|} = \frac{1}{1+|LG|} \tag{10.1-18}$$

下面通过一个例子来说明增益误差对 DAC 的影响。

例 10.1-2 运算放大器的增益误差对 DAC 性能的影响

假设 DAC 使用了一个反相运算放大器，$C_1 = C_2$，$A_{vd}(0) = 1000$。若 V_{REF} 为 1 V，求 DAC 在最坏情况下的最大精度。

解：

反相放大器的环路增益 $|LG| = 0.5 \times 1000 = 500$。因此增益误差为 $1/501 \approx 0.002$。增益误差应该小于 $\pm 0.5LSB$，表示为：

$$增益误差 = \frac{1}{501} \approx 0.002 \le \frac{V_{REF}}{2^{N+1}}$$

满足等式的 N 的最大值为 7。

运算放大器对 DAC 性能的动态影响来自于单位增益带宽 GB、建立时间和摆率。在第 6 章中我们已经知道建立时间和单位增益带宽紧密相关，而这取决于闭环响应的根（见附录 C）。如果系统是过阻尼（强衰减）的，那么 GB 决定了运算放大器的速度，有一个主极点的运算放大器的阶跃响应可以表示为：

$$v_{out}(t) = A_{CL}[1 - e^{-\omega_H t}]v_{in}(t) \tag{10.1-19}$$

其中，A_{CL} 是运算放大器的闭环增益，ω_H 是 9.2 节中定义的上限 -3 dB 频率。为了避免产生误差，式（10.1-19）中给出的过阻尼输出电压必须在转换周期结束时达到最终值的 $0.5LSB$ 之内。

另一方面，如果系统是欠阻尼（不完全衰减）的，阶跃响应在最初的上升沿之后会出现振荡。在转换周期结束时输出电压的振荡必须减小到 $\pm LSB$ 之内，否则将会产生误差。附录 C 中的讨论和图形估计了运算放大器建立时间的影响。

最后，如果运算放大器输出端的电压变化率超过了摆率，那么输出将会是幅度受限的。例如，如果放大器摆率为 1 V/μs，输出变化是 1 V，那么转换时间应不小于 1 μs。

例 10.1-3 运算放大器的 *GB* 和建立时间对 DAC 性能的影响

假设 DAC 使用了一个开关电容同相放大器，$C_1 = C_2$，$GB = 1$ MHz。若 V_{REF} 为 1 V，求一个 8 位 DAC 的转换时间。

解：

从 9.2 节和 9.3 节的分析中，我们知道 ω_H 为 $(2\pi)(0.5)(10^6) = 3.141 \times 10^6$，$A_{CL} = 1$。假设理想输出等于 V_{REF}。那么，输出电压值（即 V_{REF} 的 $0.5LSB$）为：

$$1 - \frac{1}{2^{N+1}} = 1 - e^{-\omega_H T}$$

或者

$$2^{N+1} = e^{\omega_H T}$$

解得 T 为：

$$T = \left(\frac{N+1}{\omega_H}\right)\ln(2) = 0.693\left(\frac{N+1}{\omega_H}\right) = \left(\frac{9\times10^{-6}}{3.141}\right)0.693 = 1.986\ \mu\text{s}$$

DAC 测试

测试DAC的目的是为了验证它的静态和动态特性。一个测试DAC静态性能的好方法叫做“输入–输出测试”。这个测试需要用到一个精确的模数转换器（ADC）。测试框图如图 10.1-9 所示。$N+2$ 位的输入码字从 000...0 到 111...1 依次增加，施加到被测的 DAC 和数字减法器上。DAC 将 N 位的输入码字转换成模拟电压 V_{out} 并加到 ADC 上。ADC 的输出也输入到数字减法器。重要的是，ADC 的精度至少要比 DAC 的精度高 1 位，这样才能保证它的误差不会影响测试结果。实践表明，若 ADC 的精度比 DAC 高 2 位会很好。理想情况下，被测 DAC 精度的数字误差输出应为 000...0。数据输出的任何一位中出现 1 就是 *INL*。如果第 N 位为 1，那么 *INL* 将大于±0.5*LSB*。在每个连续的数字误差输出中的变化就是 *DNL*。ADC 额外的位可以用来将误差减小到±0.5*LSB* 之内。

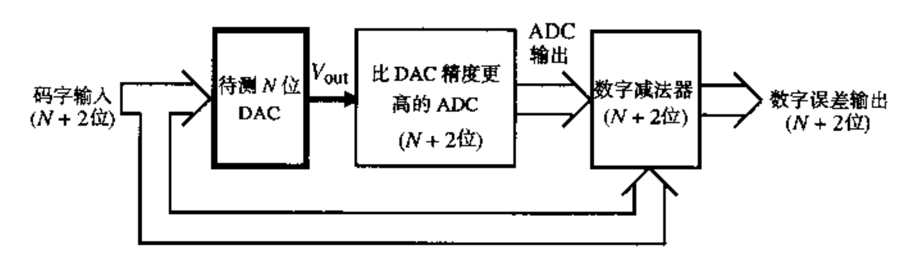


图 10.1-9　DAC 的输入–输出测试

DAC 的另一个测试用到了 DAC 的频谱输出[3]。这个测试不需要更精确的ADC。图10.1-10 显示了加到被测 DAC 的一个码型发生器（digital pattern generator）。被测 DAC 的输出端与频谱分析仪相连。DAC 的输入是具有基频主导的码型。重要的是，这个码型的基频幅值必须比任何谐波幅度至少高 6NdB，N 是被测 DAC 的精度。这种格式可以是 N 位码字的重复序列实现的正弦波。序列长度决定了基频的纯度。被测 DAC 的输出被加到可以测试模拟输出谐波的设备上，例如一个失真分析仪。如果总谐波失真（*THD*）小于 6N dB，那么被测 DAC 的 *INL* 和 *DNL* 都在±0.5*LSB* 范围内。

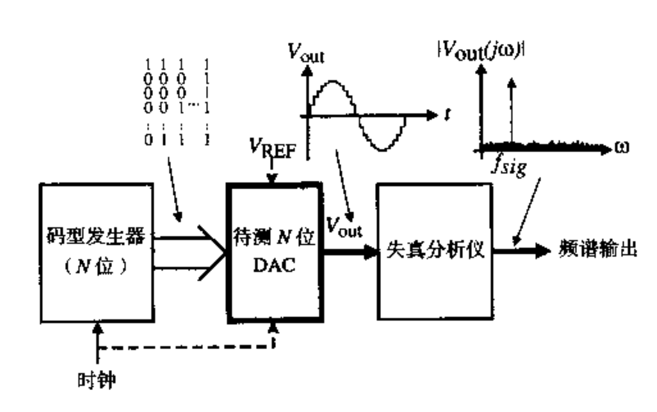


图 10.1-10　DAC 的输出频谱测试

在 DAC 设计中一个非常重要的考虑如图 10.1-10 的频谱测试所示。如果基准电压 V_{REF} 的噪声

不够小，那么这个出现在被测 DAC 输出端的噪声将会限制 DAC 的动态范围。图 10.1-10 的频谱测试也可用于 DAC 的动态测试。如果码型的周期减小，那么有效信号频率 f_{sig} 将会增大。最后，由于 DAC 的频率相关性，频谱输出的噪声背景将会增加。由这个测量确定的 *SNR* 可以得到有效位数（*ENOB*）。

10.2 并行数模转换器

数模转换器可按照转换时间长短或参考量的二进制比例缩放方式来进行分类。图 10.2-1 给出了 DAC 的分类方式及本节和后两节内容的组织形式。DAC 可以是串行的，也可以是并行的。串行 DAC 一次只能转换 1 位的模拟输出，因此需要的转换时间为 *NT*，其中 *N* 是位数，*T* 是转换 1 位输出所花的时间。并行 DAC 可以同时转换所有的位，因此总转换时间为 *T*。更进一步的分类是根据缩放方法划分的。三种方法分别是电流按比例缩放、电压按比例缩放和电荷按比例缩放。下面，我们将分析并行 DAC 的这些缩放方法。

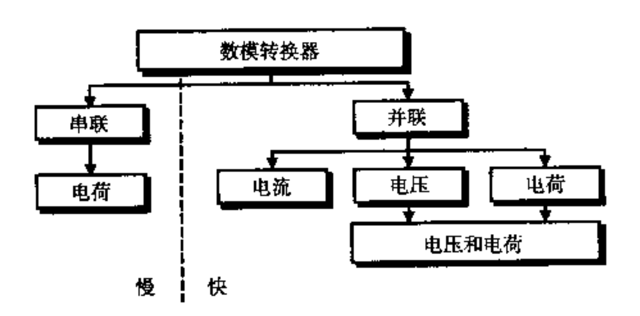


图 10.2-1　模数转换器的分类

电流按比例缩放 DAC

电流按比例缩放 DAC 通常将基准电压 V_{REF} 转换为一组二进制加权电流。这些电流通常通过一个反相运算放大器来产生模拟输出电压 v_{OUT}，如图 10.2-2 所示。输出电压表示为：

$$v_{OUT} = -R_F(I_0 + I_1 + I_2 + \cdots + I_{N-1}) \qquad (10.2\text{-}1)$$

其中，电流 I_0、I_1、I_2…是二进制加权电流。

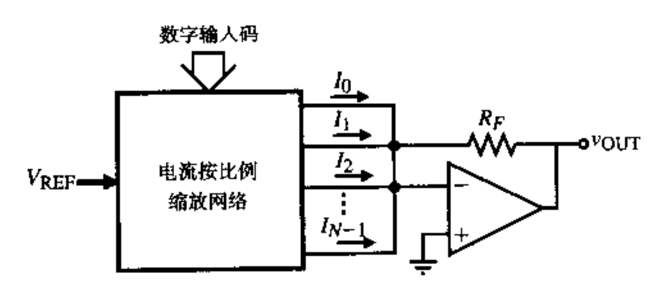


图 10.2-2　电流按比例 1 缩放的 DAC 总框图

图 10.2-3 首先给出了一个电流按比例缩放 DAC 的实例。按比例缩放网络是由 *N* 个二进制加权电阻组成的，这些电阻连接在运算放大器的反相输入端和 V_{REF} 或地之间，分别对应数字位的 1 和 0。运算放大器的反馈电阻 R_F 可以用来标定 DAC 的增益，其取值为 *KR*/2，这里 *K* 是 DAC 的

增益。模拟输出电压可以表示为：

$$v_{OUT} = -R_F i_{OUT} = \frac{-KR}{2}\left(\frac{b_0}{R} + \frac{b_1}{2R} + \frac{b_2}{4R} + \cdots + \frac{b_{N-1}}{2^{N-1}R}\right)V_{REF} \qquad (10.2\text{-}2)$$

其中，当开关 S_i 与 V_{REF} 连接时 b_i 为 1，否则当开关 S_i 与地连接时，b_i 为 0。K 可以用来标定 DAC 的增益。式（10.2-2）也可以表示为：

$$v_{OUT} = -K\left(\frac{b_0}{2} + \frac{b_1}{4} + \frac{b_2}{8} + \cdots + \frac{b_{N-1}}{2^N}\right)V_{REF} \qquad (10.2\text{-}3)$$

图 10.2-3 中二进制加权电阻 DAC 直接使用了反相求和放大器。这种 DAC 的一个优点是不受寄生电容的影响，因此速度很快。缺点是需要的电阻值范围很大。若指定对应 *MSB* 位的电阻为 R_{MSB}，对应 *LSB* 位的电阻为 R_{LSB}，那么元件值的分布可表示为：

$$\frac{R_{MSB}}{R_{LSB}} = \frac{R}{2^{N-1}R} = \frac{1}{2^{N-1}} \qquad (10.2\text{-}4)$$

例如，当 $N = 8$ 时，元件值的范围为 1/128。一个过大的元件值分布将会导致不同电阻之间的匹配更差。当 N 很大时，*MSB* 电阻将会需要精确的电阻或者进行微调。除了大的元件值分布，二进制加权电阻 DAC 还可能是非单调的。如果 *MSB* 电阻的精度不在±0.5*LSB* 之内，那么当这些位被切换进出 DAC 时，将会产生一个超过−1*LSB* 的 *DNL*，从而导致 DAC 的非单调性。

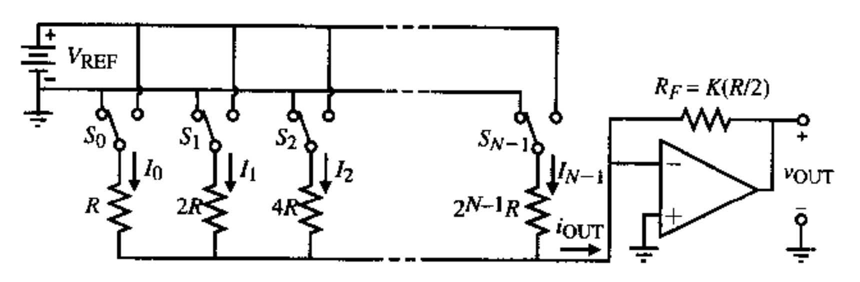


图 10.2-3　二进制加权电阻 DAC 的实现

图 10.2-3 中的 DAC 需要大元件值分布的缺点可以用 *R*-2*R* 梯形电路完全消除。*R*-2*R* 梯形电路只采用值为 *R* 和 2*R* 的电阻。通常都是用三个等值电阻来实现 *R*-2*R* 梯形。当值为 *R* 时，2*R* 的电阻由两个电阻 *R* 串联组成；当值为 2*R* 时，电阻 *R* 由两个电阻 2*R* 并联组成。图 10.2-4 给出了图 10.2-3 的 *R*-2*R* 电阻实现方式。要理解 *R*-2*R* 梯形电路的工作原理，关键在于“从任何一个 2*R* 电阻右边看进去的阻值都是 2*R*”。它使得当电流从最左边的垂直 2*R* 流向最右边的垂直 2*R* 时，每经过一个垂直的 2*R* 电流减小一半。因此，流经这些电阻的电流可以写为：

$$I_0 = \frac{V_{REF}}{2R}, I_1 = \frac{V_{REF}}{4R}, I_2 = \frac{V_{REF}}{8R}, \ldots, I_{N-1} = \frac{V_{REF}}{2^N R} \qquad (10.2\text{-}5)$$

当这些位为 1 时，这些电流流进运算放大器的求和节点，产生如式（10.2-3）给出的输出电压。虽然 *R*-2*R* 梯形电路消除了大元件值分布的问题，但是却出现了浮动节点。不过，当开关扳动时流经这些电阻的电流并不改变，从而保持了这些节点的电压不变。因此，这个 DAC 可以和图 10.2-3 所示的二进制加权电阻 DAC 的速度一样快。

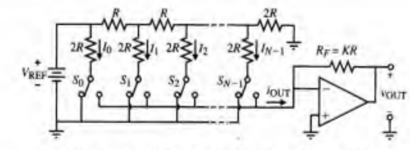


图 10.2-4 二进制加权电阻 DAC 的 R-$2R$ 梯形电路实现方式

第三种电流按比例缩放 DAC 采用了二进制权电流漏，如图 10.2-5 所示。电流由 MOSFET 的 W/L 比来确定。MOSFET 的匹配精度是由其尺寸和 W/L 比来决定的。通常，精度不会低于电阻。一个实现电流漏的好方法是利用 2^N 个源极和栅极连在一起的完全相同的晶体管。将 2^{N-1} 个晶体管并联以实现 MSB 电流漏，然后用 2^{N-2} 个晶体管实现下一个 MSB，如此进行直至 LSB，它只需要一个 MOSFET。但是，当 N 大于 8 时这个方法是不可行的，因为它所要求的面积非常大，除非晶体管很小。如果构成电流漏的晶体管对称分布于（即以 LSB 晶体管为几何中心）整个 2^N 个晶体管的阵列中，匹配度会增加。当使用 $M\,2^N$ 个晶体管阵列时精度将会更高，这里，每 M 个晶体管构成 2^N 晶体管阵列中的一个晶体管。

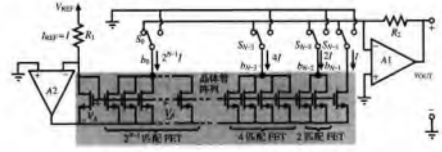


图 10.2-5 采用匹配 MOSFET 的电流按比例缩放

更仔细地研究图 10.2-5 可以发现通过运算放大器 A2 和电阻 R_1，基准电压 V_{REF} 被转换成了基准电流 I_{REF}。这个电流可以表示为：

$$I_{REF} = \frac{V_{REF}}{R_1} \tag{10.2-6}$$

这里假设运算放大器 A2 没有直流漂移。运算放大器 A2 为晶体管阵列中的所有 FET 提供栅源电压 V_A。注意，运算放大器 A1 的同相输入端是接地的，这样可以使所有晶体管的漏极电压相同，从而更好地实现匹配。I_{REF} 被复制到晶体管阵列中的每个 FET 中，并且应该等于电流 I。晶体管被组合形成二进制加权电流，并且与开关 $S_0, S_1, S_2, \ldots, S_{N-1}$ 的下端相连。假设 I 等于 I_{REF}，则输出电压可以表示为：

$$v_{OUT} = R_2(b_{N-1} \cdot I + b_{N-2} \cdot 2I + b_{N-3} \cdot 4I + \cdots + b_0 \cdot 2^{N-1}I) \tag{10.2-7}$$

如果 $I = I_{REF} = V_{REF}/2^N R_2$，那么：

$$v_{OUT} = \left(\frac{b_0}{2} + \frac{b_1}{4} + \frac{b_2}{8} + \cdots + \frac{b_{N-3}}{2^{N-2}} + \frac{b_{N-2}}{2^{N-1}} + \frac{b_{N-1}}{2^N}\right)V_{REF} \tag{10.2-8}$$

因为没有浮动节点，图 10.2-5 的二进制加权电流漏应该是高速的。R_2/R_1 的值应该等于 2^N。为了提高匹配度，可以用 BJT 代替 FET，等值电阻可以以串联的形式接在源极（发射极）和 A2 的输出之间。其他将 R-$2R$ 梯形网络和电流漏结合的方法也可以用来实现电流按比例缩放[4, 5]。

电压按比例缩放 DAC

电压按比例缩放 DAC 将基准电压 V_{REF} 转换成一组 2^N 个电压值，它们可根据输入码字被译码成单个模拟输出电压。图 10.2-6 给出了一个电压比例缩放 DAC 的基本框图。译码网络仅仅是把 $V_1, V_2, \ldots, V_{2^N}$ 中的任意一个和 v_{OUT} 相连。

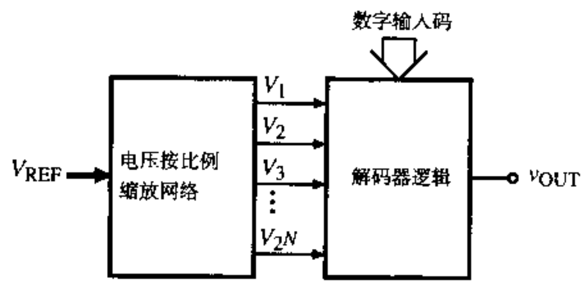


图 10.2-6　电压按比例缩放的 DAC 总框图

电压按比例缩放通常是使用连接在 V_{REF} 和地之间的串连电阻选择性地获得极限值之间的电压。对一个 N 位转换器，电阻串至少要有 2^N 段。根据不同要求，这些段可以全部相等或者段的末尾可以是部分值（partial value）。图 10.2-7（a）给出了一个 3 位电压按比例缩放 DAC。可以用一个运算放大器来对电阻串进行缓冲以避免过载。每个抽头都与开关树相连，这些开关树的开关由码字的不同位控制。如果第 i 位为 1，则 b_i 控制的开关闭合；如果第 i 位为 0，则 b_i 控制的开关断开。

图 10.2-7（a）所示电压按比例缩放 DAC 工作过程如下。假设需要转换的码字为 $b_0 = 1$、$b_1 = 0$、$b_2 = 1$（b_0 是 MSB，b_2 是 LSB）。根据开关序列，我们发现 v_{OUT} 等于（11/16）V_{REF}。一般而言，图 10.2-7（a）中任意一个抽头 n 处的电压可以表示为：

$$v_{OUT} = \frac{V_{REF}}{8}(n - 0.5) = \frac{V_{REF}}{16}(2n - 1) \tag{10.2-9}$$

图 10.2-7（b）给出了图 10.2-7（a）中 DAC 的输入输出特性。

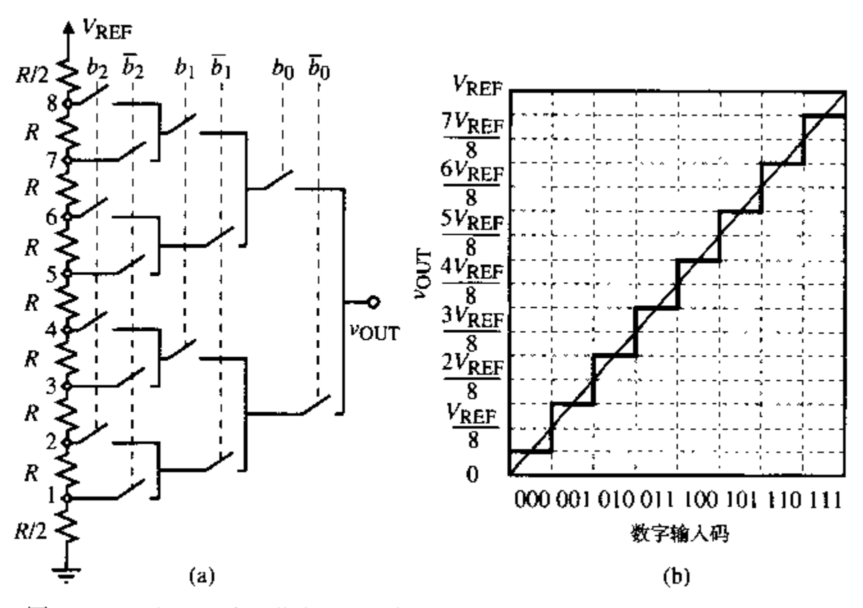


图 10.2-7　（a）一个 3 位电压按比例缩放 DAC 的实现；（b）输入输出特性

如果位数很多，可以使用图 10.2-8 的结构。在电阻串的每个节点和输出之间只有一个开关。哪个开关闭合取决于逻辑电路，它由一个 $N:2^N$ 译码器或者类似的电路组成。这种结构减少了开关的串连电阻和每个开关节点与地之间的寄生电容效应。由于需要在面积和性能之间进行折中，因此导致一些位直接由开关译码器决定，而剩下的由逻辑译码器间接决定。

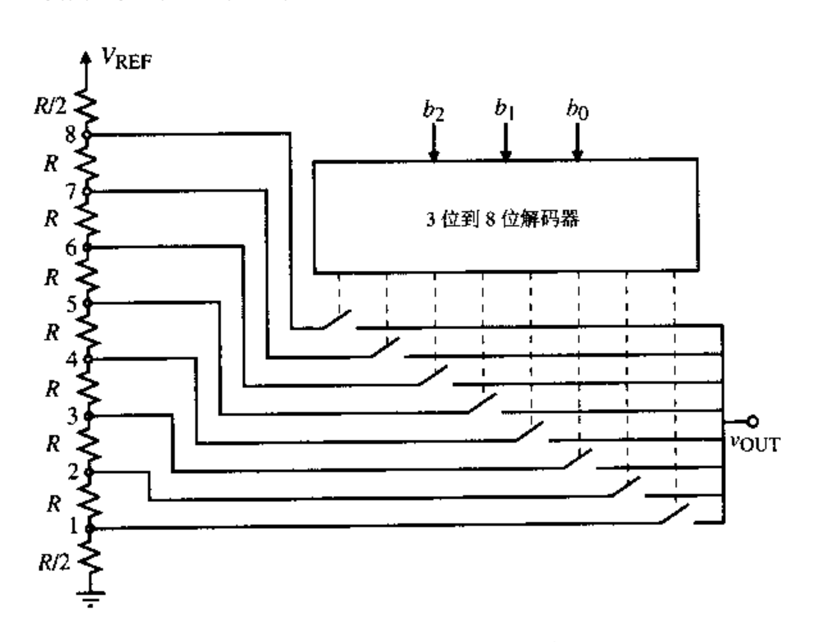


图 10.2-8 图 10.2-7（a）的另一种实现

由于电压按比例缩放 DAC 的结构很规则，因此很适合于 MOS 工艺。这种结构的一个优点是：由于每个抽头的电压值都不可能低于下面的抽头，因此保证了单调性。如果位数大于等于 8，那么电压按比例缩放 DAC 需要的面积较大。同样，转换器的转换速度与每个内部节点上的寄生电容有关。

我们可以用假设出现最坏情况的方法来推导电压按比例缩放 DAC 的积分非线性和微分非线性。首先，考虑积分非线性 INL。对于一个 N 位电压按比例缩放 DAC，在 V_{REF} 和地之间有 2^N 个电阻。假设 2^N 个电阻从 1 到 2^N 进行编号，第一个与 V_{REF} 相连，最后一个接地。那么从上向下第 i 个电阻的电压为：

$$v_i = \frac{(2^N - i)R}{(2^N - i)R + iR} V_{REF} \qquad (10.2\text{-}10)$$

其中，有 i 个电阻在电压 v_i 之上，$2^N - i$ 个电阻在 v_i 之下。假设电压按比例缩放 DAC 的最坏 INL 出现在中点，即 $i = 2^{N-1}$，且中点以下的电阻都为最大正值，中点以上的电阻都为最大负值（或者刚好相反）。

假设这 2^N 个电阻的容差为±$\Delta R/R$。可以定义 R 的最大值为：

$$R_{max} = R + \Delta R \qquad (10.2\text{-}11)$$

R 的最小值为：

$$R_{min} = R - \Delta R \qquad (10.2\text{-}12)$$

最坏 INL 即是中点电压的理想值和实际值之差，这里中点以下所有电阻为最大正值，中点以

上所有电阻为最大负值。因此，

$$
\begin{aligned}
INL &= v_{2^{N-1}}(\text{实际}) - v_{2^{N-1}}(\text{理想}) \\
&= \frac{2^{N-1}(R+\Delta R)V_{\text{REF}}}{2^{N-1}(R+\Delta R)+2^{N-1}(R-\Delta R)} - \frac{V_{\text{REF}}}{2} = \frac{\Delta R}{2R}V_{\text{REF}}
\end{aligned} \qquad (10.2\text{-}13)
$$

或

$$
INL = \frac{2^N}{2^N}\left(\frac{\Delta R}{2R}\right)V_{\text{REF}} = 2^{N-1}\left(\frac{\Delta R}{R}\right)\left(\frac{V_{\text{REF}}}{2^N}\right) = 2^{N-1}\left(\frac{\Delta R}{R}\right)LSBs \qquad (10.2\text{-}14)
$$

最坏 DNL 等于用理想台阶大小对最大台阶大小和理想台阶大小的差值进行归一化所得到的值。可以表示为：

$$
\begin{aligned}
DNL &= \frac{v_{\text{step}}(\text{实际}) - v_{\text{step}}(\text{理想})}{v_{\text{step}}(\text{理想})} = \frac{v_{\text{step}}(\text{实际})}{v_{\text{step}}(\text{理想})} - 1 \\
&= \frac{\dfrac{(R\pm\Delta R)V_{\text{REF}}}{2^N R}}{\dfrac{R\,V_{\text{REF}}}{2^N R}} - 1 = \frac{R\pm\Delta R}{R} - 1 = \frac{\pm\Delta R}{R}LSBs
\end{aligned} \qquad (10.2\text{-}15)
$$

下面的例题将说明上述概念的应用。

例 10.2-1　电压按比例缩放 DAC 的精度要求

如果图 10.2-7（a）的电压按比例缩放 DAC 的电阻串是一个 5 μm 宽的多晶硅条，它的相对精度为±1%，求使最坏 INL 保持在±0.5LSB 之内的最大位数以及此时的最坏 DNL。

解：

由式（10.2-14）可以得到：

$$
2^{N-1}\left(\frac{\Delta R}{R}\right) = 2^{N-1}\left(\frac{1}{100}\right) \leq \frac{1}{2}
$$

这个不等式可以简化为：

$$
2^N \leq 100
$$

解得 $N=6$。$N=6$ 时的 DNL 值可以由式（10.2-15）求出：

$$
DNL = \frac{\pm 1}{100}\left(\frac{64}{64}\right) = \left(\frac{64}{100}\right)\left(\frac{1}{64}\right) = \pm 0.64LSB
$$

电荷按比例缩放 DAC

电荷按比例缩放DAC的工作原理是将电容阵列储存的总电荷进行二元划分。这个过程是用电容衰减基准电压的方式来实现的，如图 10.2-9 所示。它的结构非常简单，并且是一个有效的数字控制电压衰减器。电荷按比例缩放 DAC 的另一个优点是它和开关电容电路相兼容。

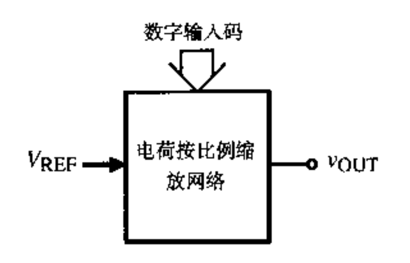


图 10.2-9　电荷按比例缩放的 DAC 总框图

图 10.2-10 给出了电荷按比例缩放 DAC 的基本实现方法。这个转换器采用了二相非重叠时钟。在ϕ_1期间阵列里所有电容的两端都接地。接着，在ϕ_2期间，对应位为 1 的电容与 V_{REF} 相连，而对应位为 0 的仍然接地。在此期间，DAC 的输出有效。

产生的结果可以描述为与 V_{REF} (C_{eq})相连的电容中的电荷与总电容(C_{tot})中的电荷相等，表示为：

$$V_{REF}C_{eq} = V_{REF}\left(b_0C + \frac{b_1C}{2} + \frac{b_2C}{2^2} + \cdots + \frac{b_{N-1}C}{2^{N-1}}\right) = C_{tot}v_{OUT} = 2Cv_{OUT} \qquad (10.2\text{-}16)$$

图　10.2-10　电荷按比例缩放　DAC：ϕ_1 期间所有开关接地。ϕ_2期间，$b_i = 1$ 则开关 S_i 接 V_{REF}，$b_i = 0$ 则 S_i 接地

从式（10.2-16）中可以求出 v_{OUT} 为：

$$v_{OUT} = [b_0 2^{-1} + b_1 2^{-2} + b_2 2^{-3} + \cdots + b_{N-1}2^{-N}]\,V_{REF} \qquad (10.2\text{-}17)$$

另一种理解图 10.2-10 的方法是将电容阵列视为一个容性衰减器，如图 10.2-11 所示。如前所述，C_{eq}是所有与 V_{REF} 相连的电容的总和，$2C-C_{eq}$是接地阵列中所有电容的总和。

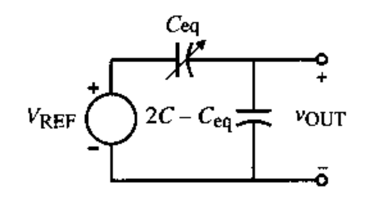


图 10.2-11　图 10.2-10 的等效电路

如果所有阵列电容的底端在ϕ_1 时与 V_{REF} 相连，那么图 10.2-10 的 DAC 可以看做是双极性的。在ϕ_2期间，若 $b_i=1$ 则对应的电容底端接地，若 $b_i = 0$ 则与 V_{REF} 相连。因此输出电压为：

$$v_{OUT} = [b_0 2^{-1} + b_1 2^{-2} + b_2 2^{-3} + \cdots + b_{N-1}2^{-N}](-V_{REF}) \qquad (10.2\text{-}18)$$

为了确定所有电容是接地还是接 V_{REF} 需要一个额外的位，叫做“符号位”。有了符号位，码 D 才会产生双极性。如果 V_{REF} 也是双极性的，那么就会产生一个四象限 DAC。

同样，在最坏情况假设下可以推导电荷按比例缩放 DAC 的积分非线性和微分非线性。首先分析积分非线性 INL。对于一个 N 位的电荷按比例缩放 DAC，有 N 个二进制加权电容依次从 C 到 $C/2^{N-1}$。当第 i 个电容只和 V_{REF} 相连时，理想输出为：

$$v_{OUT}(\text{理想}) = \frac{C/2^{i-1}}{2C}V_{REF} = \frac{V_{REF}}{2^i}\left(\frac{2^N}{2^N}\right) = \frac{2^N}{2^i}LSB \qquad (10.2\text{-}19)$$

和前面的分析一样，假设电容的容差为$\pm \Delta C/C$。则 C 的最大值为：

$$C_{max} = C + \Delta C \qquad (10.2\text{-}20)$$

最小值为：

$$C_{min} = C - \Delta C \qquad (10.2\text{-}21)$$

第 i 个电容在实际的最坏情况下输出为：

$$v_{OUT}(实际) = \frac{(C \pm \Delta C)/2^{i-1}}{2C} V_{REF} = \frac{V_{REF}}{2^i} \pm \frac{\Delta C \cdot V_{REF}}{2^i C} = \frac{2^N}{2^i} \pm \frac{2^N \Delta C}{2^i C} LSB \qquad (10.2\text{-}22)$$

则第 i 位的 INL 为：

$$INL(i) = v_{OUT}(实际) - v_{OUT}(理想) = \frac{\pm 2^N \Delta C}{2^i C} = \frac{\pm 2^{N-i} \Delta C}{C} LSB \qquad (10.2\text{-}23)$$

通常，最坏情况发生在 i 为 1 时。因此，最坏 INL 为：

$$INL = \pm 2^{N-1} \frac{\Delta C}{C} LSB \qquad (10.2\text{-}24)$$

二进制加权电容阵列的最坏 DNL 出现在 MSB 变化时。利用图 10.2-11，可以将二进制加权电容的输出电压表示为：

$$v_{OUT} = \frac{C_{eq}}{(2C - C_{eq}) + C_{eq}} V_{REF} \qquad (10.2\text{-}25)$$

其中，C_{eq} 表示位（bit）为 1 的电容，$2C$–C_{eq} 表示位为 0 的电容。最坏 DNL 可以表示为：

$$DNL = \frac{v_{step}(最坏情况)}{v_{step}(理想情况)} - 1 = \frac{v_{OUT}(1000\ldots) - v_{OUT}(0111\ldots)}{LSB} - 1$$

$$= \frac{\left(\dfrac{C + \Delta C}{(C + \Delta C) + (C - \Delta C)}\right) V_{REF} - \left(\dfrac{(C - \Delta C)\left(1 - \dfrac{2}{2^N}\right)}{(C + \Delta C) + (C - \Delta C)}\right) V_{REF}}{\dfrac{V_{REF}}{2^N}} - 1 \qquad (10.2\text{-}26)$$

$$= 2^N\left(\frac{C + \Delta C}{2C}\right) - 2^N\left(\frac{C - \Delta C}{2C}\right)\left(1 - \frac{2}{2^N}\right) - 1 = (2^N - 1)\frac{\Delta C}{C} LBS$$

式（10.2-24）和式（10.2-26）可以用来预测二进制加权电容阵列的最坏 INL 和 DNL。

例 10.2-2 二进制加权电容阵列 DAC 的 *DNL* 和 *INL*

如果一个 8 位二进制加权电荷按比例缩放 DAC 的电容容差为±0.5%，求最坏 INL 和 DNL。

解：

根据式（10.2-24）得到最坏 INL 为：

$$INL = (2^7)(\pm 0.005) = \pm 0.64 LSB$$

根据式（10.2-26）得到最坏 DNL 为：

$$DNL = (2^8 - 1)(\pm 0.005) = \pm 1.275 LSB$$

电容的精度和所需的面积都是限制位数的因素。精度是和电容比值相关的。MOS 工艺中的电容比值误差可以低至 0.1%。如果电容比值能够达到这种精度，那么图10.2-10 所示的 DAC 就可以达到 10 位的精度。但是，这也暗示了在极端情况下，*MSB* 和 *LSB* 电容之间的比为 512：1，这从面积的角度来看是不希望的。而且 0.1%的电容比值精度仅适用于比值接近 1 时。当比值增大时，电容比值精度会减小。下面的例子将分析这些影响。

例 10.2-3 电容比值精度对位数的影响

假设一个 50 μm × 50 μm 的单位电容的相对精度可以表示为 $\Delta C/C \cong 0.001 + 0.0001N$。估算电荷按比例缩放 DAC 的最大可能位数。假设 *INL* 为最坏情况下的值，并且最坏情况发生在中间刻度处（1*MSB*）。

解：

假设 *INL* 在± 0.5*LSB* 之间，由式（10.2-24）可得：

$$INL = \pm 2^{N-1}\frac{\Delta C}{C} \le \pm\frac{1}{2} \quad \rightarrow \quad \left[\frac{\Delta C}{C}\right] \le \frac{1}{2^N}$$

由上式解得 *N* 约为 10 位。但是，±0.1%对应的电容比值非常小。为了得到一个更准确的解，我们用给出的表达式估计电容的相对精度。

采用这个近似关系，一个 9 位的 DAC 是可以实现的。

注意，图 10.2-10 所示的电荷按比例缩放 DAC 需要一个缓冲放大器来避免外部电路对 DAC 输出端加载。图10.2-12给出了另一种使用单个运算放大器的电荷按比例缩放 DAC。这个 DAC 实际上是一个二进制加权电荷放大器。在ϕ_1时钟相位上，所有的电容都被放电至 0 V（注意，如果运算放大器有失调电压，二进制加权电容阵列会自动放电至零）。在ϕ_2时钟相位上，当记为 b_i 或 $\overline{b_i}$ 的开关关闭时，产生的输出电压为：

$$\begin{aligned} v_{\text{OUT}} &= \frac{-K}{2C}\left(b_0C + \frac{b_1C}{2} + \frac{b_2C}{4} + \cdots + \frac{b_{N-1}C}{2^{N-1}}\right)V_{\text{REF}} \\ &= -K\left(\frac{b_0}{2} + \frac{b_1}{4} + \frac{b_2}{8} + \cdots + \frac{b_{N-1}}{2^N}\right)V_{\text{REF}} \end{aligned} \quad (10.2\text{-}27)$$

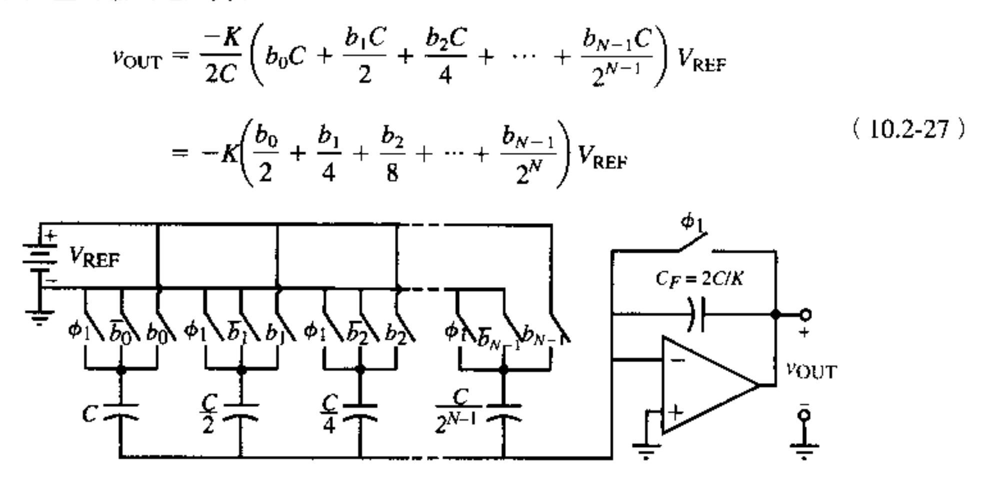


图 10.2-12 二进制加权电荷放大器 DAC 的实现

翻转 V_{REF} 的极性可以改变图 10.2-12 的极性。与图 10.2-10 相比，图 10.2-12 的一个优点是没有浮动节点，因此速度更快。另一个优点是二进制加权电容 DAC 不需要一个终端电容来保证电容总和为 2*C*。它的缺点是速度可能受到运算放大器的限制。

本节列举了实现 DAC 的三种不同方法。它们分别是电流按比例缩放、电压按比例缩放和电荷按比例缩放 DAC。这些方法都可以归类为并行 DAC。表 10.2-1 总结了其各自的优缺点。

表 10.2-1　并行 DAC 性能小结

DAC 类型	优点	缺点
电流按比例缩放	速度快，不受开关寄生电容的影响	元件值范围大，非单调
电压按比例缩放	具有单调性和等值的电阻	面积大，易受寄生电容的影响
电荷按比例缩放	速度快，精度高	元件值范围大，非单调

10.3　并行数模转换器分辨率的扩展

在并行 DAC 中存在的一个普遍问题是随着 DAC 分辨率的提高需要的面积也越来越大。此外，*MSB* 元件值与 *LSB* 元件值之比也在增大。我们知道元件的匹配精度随着最大元件和最小元件的比值的增大而降低。因此，本节将分析几种能够在最大最小元件比和分辨率之间进行权衡的方法，从而使匹配精度不会随着 DAC 分辨率的增加而下降。不仅如此，DAC 需要的面积也会减少。

我们将列举两种能实现上述权衡的方法。第一种是用类似按比例缩放的方法将 DAC 组合起来。单个 DAC 或者子 DAC 可以被组合在一起，适当地划分每个 DAC 的模拟输出，然后将它们相加，构成整个模拟输出。另一种方法是可以适当地划分每个子 DAC 的基准电压，再将所有的单个模拟输出相加。第二种方法综合了各种按比例缩放的方法，从而可得到每种缩放方法的最佳性能。

相同缩放类型 DAC 的组合

图 10.3-1 给出了用 *M* 位子 DAC 和 *K* 位子 DAC 实现 *M* + *K* 位 DAC 的方法。这里，我们认为两个子 DAC 使用了同样的按比例缩放方法。一个子 DAC 转换 *M* 个 *MSB* 位，另一个 DAC 转换 *K* 个 *LSB* 位。*LSB* 之 DAC 的模拟输出除以 2^M 以进行适当的缩放。合并后的子 DAC 的模拟输出可以表示为：

$$v_{OUT}=\left(\frac{b_0}{2}+\frac{b_1}{4}+\cdots+\frac{b_{M-1}}{2^M}\right)V_{REF}+\left(\frac{1}{2^M}\right)\left(\frac{b_M}{2}+\frac{b_{M+1}}{4}+\cdots+\frac{b_{M+K-1}}{2^K}\right)V_{REF} \quad (10.3\text{-}1a)$$

或

$$v_{OUT}=\left(\frac{b_0}{2}+\frac{b_1}{4}+\cdots+\frac{b_{M-1}}{2^M}+\frac{b_M}{2^{M+1}}+\frac{b_{M-1}}{2^{M+2}}+\cdots+\frac{b_{M+K-1}}{2^{M+K}}\right)V_{REF} \quad (10.3\text{-}1b)$$

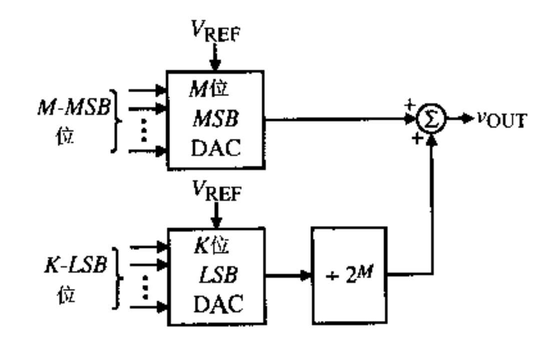


图 10.3-1　通过分割 *K*-LSB DAC 的输出，将 *M* 位和 *K* 位子 DAC 组合成 *M*+*K* 位 DAC

从式（10.3-1b）可以看出图 10.3-1 中 DAC 的分辨率为 $M+K$ 位。最大元件和最小元件的比值不超过 2^{M-1} 或 2^{K-1}，这取决于 M 和 K 之间哪一个更大。考虑到精度要求，所有位的容差都要在± 0.5LSB 之内。但是，元件精度（根据加权系数归一化的容差）从 MSB 位到 LSB 位每位减小一半。对一个 N 位的转换器，这个特点可以表示如下：

$$\text{第 } i \text{ 位的权重因子} = \frac{V_{\rm REF}}{2^{i+1}}\left(\frac{2^N}{2^N}\right) = 2^{N-i-1}\,LSB \tag{10.3-2}$$

$$\text{第 } i \text{ 位的精度} = \frac{\pm 0.5LSB}{2^{N-i-1}LSB} = \frac{1}{2^{N-i}} = \frac{100}{2^{N-i}}\,\% \tag{10.3-3}$$

例如，图 10.3-1 的 MSB 位（$i=0$）的精度必须为$\pm 1/2^{M+K}$。在第 M 位，精度必须为$\pm 1/2^K$。如果 K 位完全精确，那么 $1/2^M$ 的缩放因子的精度必须为$\pm 1/2^K$。但是，这些分析仅仅针对单位。如果同时考虑多个位，可能会导致最坏情况。下面举例说明这一点。

例 10.3-1 缩放因子的影响

假设图 10.3-1 中 $M=2$，$K=2$，若 LSB DAC 的缩放因子从 1/4 增加到 3/8，求 DAC 的转换特性。假设 $V_{\rm REF}=1$V。其$\pm INL$ 和$\pm DNL$ 为多少？这种 DAC 是否单调？

解：

理想的 DAC 输出为：

$$v_{\rm OUT} = \frac{b_0}{2}+\frac{b_1}{4}+\frac{1}{4}\left(\frac{b_2}{2}+\frac{b_3}{4}\right) = \frac{b_0}{2}+\frac{b_1}{4}+\frac{b_2}{8}+\frac{b_3}{16}$$

实际的 DAC 输出为：

$$v_{\rm OUT}(\text{实际}) = \frac{b_0}{2}+\frac{b_1}{4}+\frac{3b_2}{16}+\frac{3b_3}{32} = \frac{16b_0}{32}+\frac{8b_1}{32}+\frac{6b_2}{32}+\frac{3b_3}{32}$$

此例的结果见表 10.3-1。

表 10.3-1 包含了所有我们想要的信息。本例的 LSB 为 1/16 或 2/32。第 4 列给出了$+INL$ 为 1.5LSB，$-INL$ 为 0LSB。第 5 列给出了$+DNL$ 为 0.5LSB，$-DNL$ 为$-1.5LSB$。因为$-DNL$ 大于$-1LSB$，所以这个 DAC 不单调。

表 10.3-1 例 10.3-1 中 DAC 的理想和实际的模拟输出

输入数字码	$v_{\rm OUT}$(实际)	$v_{\rm OUT}$	$v_{\rm OUT}$(实际)$-v_{\rm OUT}$	$v_{\rm OUT}$(实际)的变化量$-2/32$
0000	0/32	0/32	0/32	—
0001	3/32	2/32	1/32	1/32
0010	6/32	4/32	2/32	1/32
0011	9/32	6/32	3/32	1/32
0100	8/32	8/32	0/32	−3/32
0101	11/32	10/32	1/32	1/32
0110	14/32	12/32	2/32	1/32
0111	17/32	14/32	3/32	1/32
1000	16/32	16/32	0/32	−3/32
1001	19/32	18/32	1/32	1/32

（续表）

输入数字码	v_{OUT}(实际)	v_{OUT}	v_{OUT}(实际)− v_{OUT}	v_{OUT} (实际)的变化量−2/32
1010	22/32	20/32	2/32	1/32
1011	25/32	22/32	3/32	1/32
1100	24/32	24/32	0/32	−3/32
1101	27/32	26/32	1/32	1/32
1110	30/32	28/32	2/32	1/32
1111	33/32	30/32	3/32	1/32

例 10.3-1 说明了图 10.3-1 中缩放因子的影响。下面的例子给出了怎样求缩放因子的容差，使得采用图 10.3-1 结构的 DAC 不会出现错误。

例 10.3-2　求防止转换错误的缩放因子的容差

求上例中不会引起 DAC 转换错误的缩放因子（$x = 1/2^M = 1/4$）在最坏情况下的容差。

解：

因为缩放因子只影响 *LSB* DAC，所以只需要考虑两个 *LSB* 位。对理想缩放因子 1/4 的最坏情况要求为：

$$\frac{b_2}{2}(x \pm \Delta x) + \frac{b_3}{4}(x \pm \Delta x) \le \frac{xb_2}{2} + \frac{xb_3}{4} \pm \frac{1}{32}$$

或

$$\Delta x\left(\frac{b_2}{2}\right) + \Delta x\left(\frac{b_3}{4}\right) = \Delta x\left(\frac{b_2}{2} + \frac{b_3}{4}\right) \le \frac{1}{32}$$

Δx 在最坏情况下的值发生在 b_2 和 b_3 都等于 1 的时候。因此可得：

$$\Delta x\left(\frac{3}{4}\right) \le \frac{1}{32} \rightarrow \Delta x \le \frac{1}{24}$$

缩放因子 x 可以表示为：

$$x \pm \Delta x = \frac{1}{4} \pm \frac{1}{24} = \frac{6}{24} \pm \frac{1}{24}$$

因此，缩放因子 x 的容差范围为 5/24 ~ 7/24。对应的精度是±16.7%，小于±25%（$\pm 100\%/2^K$），这是由于 *LSB* 位影响的缘故。可见 *INL* 和 *DNL* 小于等于±0.5*LSB*（见习题 10.3-6）。

另一个将两个或更多 DAC 组合起来以提高分辨率的方法如图 10.3-2 所示。缩放的是每个子 DAC 的基准电压而不是子 DAC 的输出。这种组合子 DAC 的方法被称为子区间法（subranging）。图 10.3-2 的子区间 DAC 的模拟输出可以表示为：

$$v_{OUT} = \left(\frac{b_0}{2} + \frac{b_1}{4} + \cdots + \frac{b_{M-1}}{2^M}\right)V_{REF} + \left(\frac{b_M}{2} + \frac{b_{M+1}}{4} + \cdots + \frac{b_{M+K-1}}{2^K}\right)\left(\frac{V_{REF}}{2^M}\right) \quad (10.3\text{-}4a)$$

或

$$v_{\mathrm{OUT}}=\left(\frac{b_0}{2}+\frac{b_1}{4}+\cdots+\frac{b_{M-1}}{2^M}+\frac{b_M}{2^{M+1}}+\frac{b_{M+1}}{2^{M+2}}+\cdots+\frac{b_{M+K-1}}{2^{M+K}}\right)V_{\mathrm{REF}} \qquad (10.3\text{-}4b)$$

注意，式（10.3-4b）与分割子 DAC 的模拟输出的式（10.3-1b）相同。

这种方法的精度分析与上述对图 10.3-1 的讨论类似。可以看出，对基准电压按比例缩放因子的容差的要求和 *LSB* DAC 输出电压的缩放常数的要求相同。

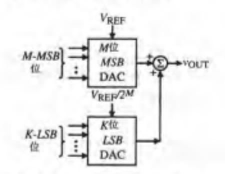


图 10.3-2 通过分割 *K* 位 *LSB* DAC（子区间）的 V_{REF}，将 *M* 位和 *K* 位子 DAC 组合为一个 *M+K* 位 DAC

图 10.3-3 给出了一个采用两个 4 位电流按比例缩放子 DAC 组成的电流按比例缩放 DAC。*LSB* 子 DAC 的缩放是通过电阻 R 和 $15R$ 分流实现的。我们看到进入 *LSB* 子 DAC 的电流 i_1 为 $16i_2$。i_2 与进入 *MSB* 子 DAC 的电流和在反馈电阻 R_F 上产生了输出电压 v_{OUT}。输出电压可以表示为：

$$v_{\mathrm{OUT}}=R_F I\left[\left(\frac{b_0}{2}+\frac{b_1}{4}+\frac{b_2}{8}+\frac{b_3}{16}\right)+\frac{1}{16}\left(\frac{b_4}{2}+\frac{b_5}{4}+\frac{b_6}{8}+\frac{b_7}{16}\right)\right] \qquad (10.3\text{-}5)$$

单个 DAC 或子 DAC 可以用上一节在电流按比例缩放 DAC 部分介绍的任意一种方法实现。

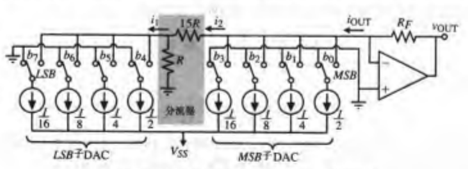


图 10.3-3 采用分流器的电流按比例缩放子 DAC 的组合

因为输出阻抗很大，电压按比例缩放 DAC 不适用图 10.3-1 或图 10.3-2 所示的提高分辨率的方法。很高的输出电阻使得采用电压按比例缩放的子 DAC 很难实现输出相加。为了解决这个问题，在每个子 DAC 的输出端都要加上缓冲放大器。

图 10.3-4 给出了一个采用两个 4 位电荷按比例缩放子 DAC 组成的电荷按比例缩放 DAC。*LSB* 子 DAC 的缩放通过电容 C_s 实现。缩放电容 C_s 的值可按下式计算。C_s 和 *LSB* 阵列的串联组合必须接于 *MSB* 阵列的左侧或等于 $C/8$，因此可得：

$$\frac{C}{8}=\frac{1}{\dfrac{1}{C_s}+\dfrac{1}{2C}} \tag{10.3-6}$$

或

$$\frac{1}{C_s}=\frac{8}{C}-\frac{1}{2C}=\frac{16}{2C}-\frac{1}{2C}=\frac{15}{2C} \tag{10.3-7}$$

因此，缩放电容 C_s 的值应为 $2C/15$。

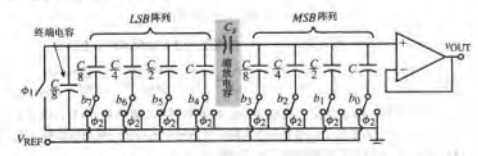


图 10.3-4 用两个 4 位电荷按比例缩放子 DAC 组合成一个 8 位电荷按比例缩放 DAC

现在可以看出图 10.3-4 的输出电压等价于一个 8 位电荷按比例缩放 DAC 的输出。首先，必须求出 *MSB* 阵列的戴维南等效电压 V_1 和 *LSB* 阵列加上终端电容的等效电压 V_2。这些电压可写为：

$$\begin{aligned}V_1&=\left(\frac{1}{15/8}\right)b_0V_{REF}+\left(\frac{1/2}{15/8}\right)b_1V_{REF}+\left(\frac{1/4}{15/8}\right)b_2V_{REF}+\left(\frac{1/8}{15/8}\right)b_3V_{REF}\\&=\frac{16}{15}\left(\frac{b_0}{2}+\frac{b_1}{4}+\frac{b_2}{8}+\frac{b_3}{16}\right)V_{REF}\end{aligned} \tag{10.3-8}$$

和

$$\begin{aligned}V_2&=\left(\frac{1/1}{2}\right)b_4V_{REF}+\left(\frac{1/2}{2}\right)b_5V_{REF}+\left(\frac{1/4}{2}\right)b_6V_{REF}+\left(\frac{1/8}{2}\right)b_7V_{REF}\\&=\left(\frac{b_4}{2}+\frac{b_5}{4}+\frac{b_6}{8}+\frac{b_7}{16}\right)V_{REF}\end{aligned} \tag{10.3-9}$$

采用式（10.3-8）和式（10.3-9）给出的两个等效电压，图 10.3-4 可以简化为图 10.3-5 所示的电路。根据此图可以写出输出电压为：

$$\begin{aligned}v_{OUT}&=\left(\frac{\dfrac{1}{2C}+\dfrac{15}{2C}}{\dfrac{1}{2C}+\dfrac{15}{2C}+\dfrac{8}{15C}}\right)V_1+\left(\frac{\dfrac{8}{15C}}{\dfrac{1}{2C}+\dfrac{15}{2C}+\dfrac{8}{15C}}\right)V_2\\&=\left(\frac{15+15\cdot15}{15+15\cdot15+16}\right)V_1+\left(\frac{16}{15+15\cdot15+16}\right)V_2\\&=\left(\frac{16\cdot15}{16\cdot15+16}\right)V_1+\left(\frac{16}{16\cdot15+16}\right)V_2=\frac{15}{16}V_1+\frac{1}{16}V_2\end{aligned} \tag{10.3-10}$$

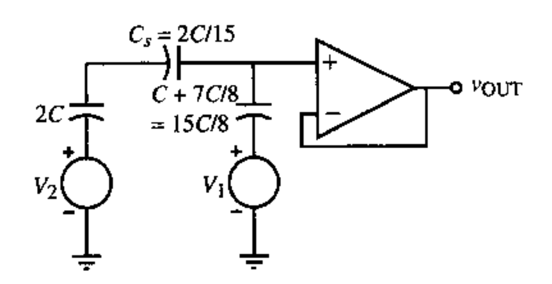


图 10.3-5 图 10.3-4 的简化等效电路

将式（10.3-8）和式（10.3-9）代入式（10.3-10）可得图 10.3-4 的模拟输出电压为：

$$v_{OUT} = \left(\frac{b_0}{2} + \frac{b_1}{4} + \frac{b_2}{8} + \frac{b_3}{16} + \frac{b_4}{32} + \frac{b_5}{64} + \frac{b_6}{128} + \frac{b_7}{256}\right)V_{REF} = \sum_{i=0}^{8} \frac{b_i V_{REF}}{2^i} \qquad (10.3\text{-}11)$$

在图 10.3-5 的情况中，缩放电容 C_s 的精度影响 *MSB* 阵列和 *LSB* 阵列，因为它构成了部分 *MSB* 阵列的终端电容。图 10.3-6 给出了采用电荷放大器实现的两个电荷按比例缩放DAC 的组合。这种 *MSB* 子 DAC 不受 *LSB* 子 DAC 的缩放因子精度的影响。

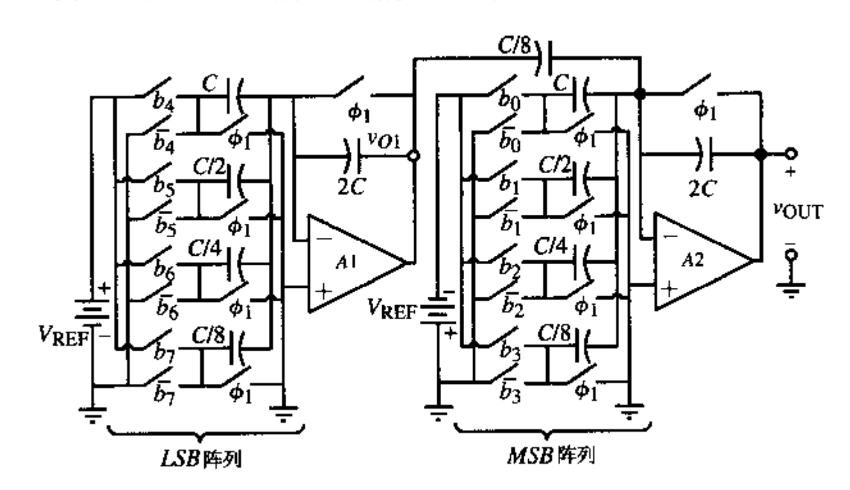


图 10.3-6 两个 4 位二进制加权电荷放大器子 DAC 组成一个 8 位二进制加权电荷放大器 DAC

上述将两个或多个相同缩放类型的子 DAC 组合在一起的方法是提高 DAC 分辨率的典型方法。这些方法的许多不同组合可在关于集成电路数模转换器的文献中找到。

不同缩放 DAC 的组合

第二种扩展并行 DAC 分辨率的方法是将不同缩放方式的 DAC 组合起来。这种方法的优点之一是设计者可以选择一个使 *MSB* 最优的缩放方法和一个不同的使 *LSB* 最优的缩放方法。这种方法最常见的例子是将电压按比例缩放和电荷按比例缩放方式联合起来使用[6]。

图 10.3-7 给出了一个 DAC 的例子，它的 *MSB* 子 DAC 采用电压按比例缩放而 *LSB* 子 DAC 采用电荷按比例缩放。*MSB* 子 DAC 为 *M* 位而 *LSB* 子 DAC 为 *K* 位，得到了一个精度为 $M+K$ 位的 DAC。图 10.3-7 的 *M* 位电压子 DAC 将基准电压按比例缩放为 $V_{REF}/2^M$，然后作为电荷按比例缩放子 DAC 的基准电压。这个子 DAC 包括一个连接在 V_{REF} 和地之间的 2^M 个等值电阻组成的电阻串。

有两个 M-2^M 译码器接到电阻抽头上，如图 10.3-7 所示。

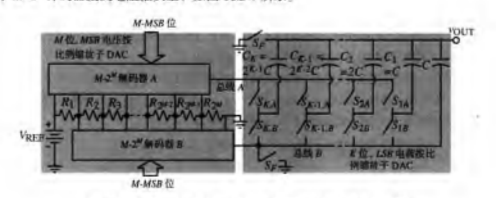


图 10.3-7 $M+K$ 位 DAC，其中 MSB 使用 M 位电压按比例缩放子 DAC，LSB 使用 K 位电荷按比例缩放子 DAC

这些译码器可以用图 10.2-7（a）或者图 10.2-8 的方式实现。M 位使译码器 A 的输出连到 2^M 个电阻之一的顶部（较高的电位），译码器 B 的输出连到其底部（较低的电位）。译码器 A 的输出就是总线 A，而译码器 B 的输出是总线 B。

图 10.3-7 所示的电压按比例缩放和电荷按比例缩放 DAC 的工作过程如下。首先，两个开关 S_F 和开关 S_{1B} 至 $S_{K,B}$ 均闭合，使所有电容放电。如果 DAC 的输出是加到一个可用做单位增益缓冲器的比较器上，则自动清零可以在这一步中完成。接着，M-MSB 按照上面的描述加在电压按比例缩放子 DAC 上使总线 A 与适当的电阻顶部相连，总线 B 与这个电阻的底部相连。事实上，要求的模拟输出电压值将在这个电阻的顶端电压和底端电压之间，这由 M 位 MSB 确定。据此，图 10.3-8（a）给出了图 10.3-7 的 DAC 的等效电路。

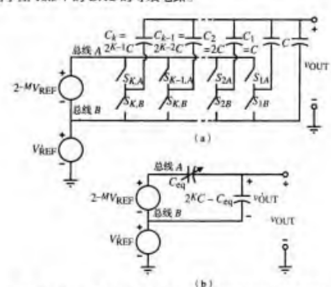


图 10.3-8 （a）图 10.3-7 中电压按比例缩放子 DAC 的等效电路；（b）图 10.3-7 中整个 DAC 的等效电路

图10.3-8（a）中下方的电压源 V'_{REF} 表示从地到选定电阻底端的电压，总线 B 连接在这里。它可以表示为：

$$V'_{REF}=V_{REF}\left(\frac{b_0}{2^1}+\frac{b_1}{2^2}+\cdots+\frac{b_{M-2}}{2^{M-1}}+\frac{b_{M-1}}{2^M}\right) \tag{10.3-12}$$

其中，b_0~b_{M-1}位决定了V'_{REF}的值。图 10.3-8（a）中上方的电压源表示连接在总线 A 和 B 之间的电阻上的电压，它等于图 10.3-7 中的电压子 DAC 的 *LSB*。

转换的最后一步是：如果位是 1，就将电荷按比例缩放 DAC 的电容连到总线 A；如果是 0 则连到总线 B。如果我们将连接到总线 A 的电容记为 C_{eq}，那么图 10.3-8（b）就成为整个 DAC 的模型。电荷按比例缩放子 DAC 的输出电压v'_{OUT}可以表示为：

$$\begin{aligned}v'_{OUT}&=\frac{V_{REF}}{2^M}\left(\frac{b_M}{2}+\frac{b_{M+1}}{2^2}+\cdots+\frac{b_{M+K-2}}{2^{K-1}}+\frac{b_{M+K-1}}{2^K}\right)\\&=V_{REF}\left(\frac{b_M}{2^{M+1}}+\frac{b_{M+1}}{2^{M+2}}+\cdots+\frac{b_{M+K-2}}{2^{M+K-1}}+\frac{b_{M+K-1}}{2^{M+K}}\right)\end{aligned} \tag{10.3-13}$$

将式（10.3-13）中的v'_{OUT}与式（10.3-12）中的V'_{REF}相加就得到了 DAC 的输出电压为：

$$\begin{aligned}v_{OUT}&=V'_{REF}+V'_{OUT}\\&=V_{REF}\left(\frac{b_0}{2^1}+\frac{b_1}{2^2}+\cdots+\frac{b_{M-1}}{2^M}+\frac{b_M}{2^{M+1}}+\frac{b_{M+1}}{2^{M+2}}+\cdots\frac{b_{M+K-2}}{2^{M+K-1}}+\frac{b_{M+K-1}}{2^{M+K}}\right)\end{aligned} \tag{10.3-14}$$

这等价于一个 $M+K$ 位 DAC。

图 10.3-7 所示 DAC 的优点是可以确保 *MSB* 是单调的。因为 *LSB* 由电容确定，所以 *LSB* 的精度应该比 *MSB* 更高。元件值范围由二进制加权电容决定，其值为 2^{K-1}。遗憾的是，当 *MSB* 单调时，电阻的精度低于电容，当 *MSB* 和 *LSB* 组合在一起时，可能会出现非单调。

图 10.3-9 给出了一个 *MSB* 采用电荷按比例缩放子 DAC 而 *LSB* 采用电压按比例缩放子 DAC 的 DAC。这个 DAC 的优点是 *MSB* 的精度更高并且 *LSB* 是单调的。因为对 *LSB* 来说需要的容差更小，这种结构的整体性能可能是两者中比较好的。

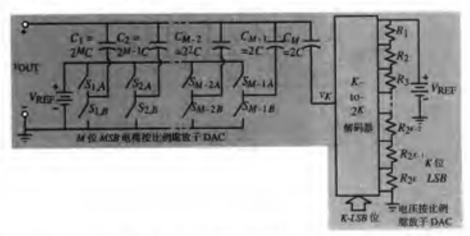


图 10.3-9 $M+K$ 位 DAC，其中 *MSB* 采用 M 位电荷按比例缩放子 DAC，*LSB* 采用 K 位电压按比例缩放子 DAC

MSB 阵列对应的输出电压可以表示为：

$$v_{OUT}=\left(\frac{b_0}{2^1}+\frac{b_1}{2^2}+\cdots+\frac{b_{M-2}}{2^{M-1}}+\frac{b_{M-1}}{2^M}\right)V_{REF}+\frac{v_K}{2^M} \tag{10.3-15}$$

其中，v_K 是 K 位子 DAC 的输出电压，可表示为：

$$v_K=\left(\frac{b_M}{2^1}+\frac{b_{M+1}}{2^2}+\cdots+\frac{b_{M+K-2}}{2^{K-1}}+\frac{b_{M+K-1}}{2^K}\right)V_{REF} \qquad (10.3\text{-}16)$$

将式（10.3-15）和式（10.3-16）联立，可得图 10.3-9 所示 DAC 的输出电压，*MSB* 用电荷按比例缩放子 DAC，*LSB* 用电压按比例缩放子 DAC。这个输出电压为：

$$v_{OUT}=\left(\frac{b_0}{2^1}+\frac{b_1}{2^2}+\cdots+\frac{b_{M-2}}{2^{M-1}}+\frac{b_{M-1}}{2^M}+\frac{b_M}{2^{M+1}}+\frac{b_{M+1}}{2^{M+2}}+\cdots+\frac{b_{M+K-2}}{2^{M+K-1}}+\frac{b_{M+K-1}}{2^{M+K}}\right)V_{REF} \qquad (10.3\text{-}17)$$

图 10.3-9 所示的 DAC 的优点在于其 *LSB* 可以确保是单调的。因为 *MSB* 由电容决定，所以它的精度高于 *LSB*。与容差成比例的 *DNL* 随着 *MSB* 精度的提高将会变得更小。元件范围由二进制加权电容决定，其值为 2^{K-1}。如果 K 很大，则需要对电阻进行微调以减小 *DNL*。

使用两种不同类型的缩放子 DAC 实现一个 DAC，使设计者可以在 *INL* 和 *DNL* 性能上取得平衡。可以采用上节提出的最坏 *INL* 和 *DNL* 关系式来描述这种平衡。例如，分析类似于图 10.3-7 的 DAC，它使用了两个不同的子 DAC。*MSB* 子 DAC 是一个 M 位电压按比例缩放子 DAC，*LSB* 子 DAC 是 K 位电荷按比例缩放子 DAC。由式（10.2-14），电压按比例缩放子 DAC 的最坏 *INL* 为：

$$INL(R)=2^{M-1}\left(\frac{2^N}{2^M}\right)\frac{\Delta R}{R}=2^{N-1}\frac{\Delta R}{R}LSB \qquad (10.3\text{-}18)$$

其中，*LSB* 与整个 DAC 一致，因此我们将式（10.2-14）乘以 $2^N/2^M=2^K$。电压按比例缩放子 DAC 的最坏 *DNL* 由式（10.2-15）给出。同样，在这种情况下，*LSB* 单位与整个 DAC 一致，所以我们将式（10.2-15）也乘以 $2^N/2^M=2^K$ 得到：

$$DNL(R)=\frac{\pm\Delta R}{R}\left(\frac{2^N}{2^M}\right)=2^K\frac{\pm\Delta R}{R}LSB \qquad (10.3\text{-}19)$$

对于电荷按比例缩放子 DAC 的 *INL*，可以改写式（10.2-24）得：

$$INL(C)=2^{K-1}\frac{\Delta C}{C}LSB \qquad (10.3\text{-}20)$$

最后，由式（10.2-26）将电荷按比例缩放子DAC 的*DNL* 表示为：

$$DNL(C)=(2^K-1)\frac{\Delta C}{C}LSB \qquad (10.3\text{-}21)$$

假设单个子 DAC 的 *INL* 和 *DNL* 相加，则使用 *MSB* 电压按比例缩放子 DAC 和 *LSB* 电荷按比例缩放子 DAC 的 DAC 的 *INL* 和 *DNL* 可写为：

$$INL=INL(R)+INL(C)=\left(2^{N-1}\frac{\Delta R}{R}+2^{K-1}\frac{\Delta C}{C}\right)LSB \qquad (10.3\text{-}22)$$

和

$$DNL=DNL(R)+DNL(C)=\left(2^K\frac{\Delta R}{R}+(2^K-1)\frac{\Delta C}{C}\right)LSB \qquad (10.3\text{-}23)$$

用这些关系式可以求出在不超过给定 *INL* 和 *DNL* 的条件下，每个子 DAC 的最大可能位数。

在图 10.3-9 中，*MSB* 子 DAC 是电荷按比例缩放而 *LSB* 子 DAC 是电压按比例缩放，对于这种情况也可以推导出类似的关系式。整个 *INL* 和 *DNL* 表示为：

$$INL=INL(R)+INL(C)=\left(2^{M-1}\frac{\Delta R}{R}+2^{N-1}\frac{\Delta C}{C}\right)LSB \qquad (10.3\text{-}24)$$

和

$$DNL = DNL(R) + DNL(C) = \left(\frac{\Delta R}{R} + (2^N - 1)\frac{\Delta C}{C}\right)LSB \quad (10.3\text{-}25)$$

上述公式在不同子DAC的组合设计中非常有用。例如，在电压按比例缩放*MSB*和电荷按比例缩放*LSB*的情况中，式（10.3-22）和式（10.3-23）表明*INL*对电阻容差更敏感，其比例因子为2^K，而*DNL*对电阻和电容的容差敏感度相同。在电荷按比例缩放*MSB*和电压按比例缩放*LSB*的情况中，式（10.3-24）和式（10.3-25）表明*INL*对电容容差更敏感，其比例因子为2^K，而*DNL*也对电容容差更敏感，其比例因子大约为2^N。这些公式为级联子DAC的设计提供指导，以同时减小无源元件的面积和最大无源元件与最小无源元件的比值。下面的例子将探讨如何在子DAC的选择和它们的位数之间取得平衡。

例10.3-3 设计一个采用电压按比例缩放*MSB*和电荷按比例缩放*LSB*的DAC

分析一个12位DAC，它采用电压按比例缩放*MSB*和电荷按比例缩放*LSB*。为了使电容元件范围和电阻数量最小，取$M = 5$，$K = 7$。求使*INL*小于等于2*LSB*和*DNL*小于等于1*LSB*时的电阻和电容所需要的容差。

解：

式（10.3-22）和式（10.3-23）可以改写为：

$$2 = 2^{11}\frac{\Delta R}{R} + 2^6\frac{\Delta C}{C}$$

和

$$1 = 2^7\frac{\Delta R}{R} + (2^7 - 1)\frac{\Delta C}{C}$$

同时解这两个等式得：

$$\frac{\Delta C}{C} = \frac{2^5 - 2}{2^{11} - 2^6 - 2^5} = 0.0154 \quad \rightarrow \quad \frac{\Delta C}{C} = 1.54\%$$

和

$$\frac{\Delta R}{R} = \frac{2 - 2^6(0.0154)}{2^{11}} = 0.0005 \quad \rightarrow \quad \frac{\Delta R}{R} = 0.05\%$$

我们发现电容容差的要求容易得到满足，而为使电阻容差满足0.05%的要求需要对电阻进行微调。由于式（10.3-22）中的$\Delta R/R$乘上了2^{N-1}，因此尝试不同的*M*和*K*值不会取得好的结果。这一实现方法将包括32个等值电阻和7个元件值范围为64的二进制加权电容。

下面的例子分析将例10.3-3设计指标应用到一个采用电荷按比例缩放*MSB*和电压按比例缩放*LSB*的DAC时的情况。

例10.3-4 设计一个采用电荷按比例缩放*MSB*加电压按比例缩放*LSB*的DAC

分析一个12位DAC，它采用电荷按比例缩放*MSB*加电压按比例缩放*LSB*。为了使电容元件值范围和电阻数量最小，取$M = 5$，$K = 7$。求使*INL*小于等于2*LSB*和*DNL*小于等于1*LSB*时的电阻和电容所需要的容差。

解：

式（10.3-24）和式（10.3-25）可以改写为：

$$2 = 2^4\frac{\Delta R}{R} + 2^{11}\frac{\Delta C}{C}$$

和

$$1 = \frac{\Delta R}{R} + (2^{12} - 1)\frac{\Delta C}{C}$$

同时解这两个等式得：

$$\frac{\Delta C}{C} = \frac{2^4 - 2}{2^{16} - 2^{11} - 2^4} = 0.000221 \quad \rightarrow \quad \frac{\Delta C}{C} = 0.0211\%$$

和

$$\frac{\Delta R}{R} \approx \frac{3}{2^5 - 1} = 0.0968 \quad \rightarrow \quad \frac{\Delta R}{R} = 9.68\%$$

在这个例子中，电阻容差的要求很容易得到满足，而电容容差却很难。因为需要精确的电容容差，我们要使用大电容并尽量使最大与最小电容的比值较小。这表明应该增大 M 值，减小 K 值，以获得一个更小的电容值范围，从而提高电容容差。如果我们选择 $K = 5$，$M = 7$，电容容差几乎不变，而电阻容差增大为 2.36%，这仍然是可行的。最大与最小电容的比值是 16 而不是 64，这有助于满足电容容差的要求。

本节给出了两种实现并行数模转换器的方法，这些方法不会明显地增加面积或最大最小元件的比值。第一种方法采用相同缩放的子 DAC，第二种方法将不同缩放的子 DAC 组合使用。基本原理是将*LSB*子DAC 的模拟输出或其基准电压除以适当的系数，然后将这个模拟电压与*MSB* DAC 的模拟输出电压相加。需要注意的是，当位数增加时本节的方法并不能降低 DAC 对容差的要求。然而，这些方法允许设计者在面积和最大最小元件比值之间进行权衡，这也间接影响了 DAC 的精度。

10.4　串行数字模拟转换器

本节分析的 DAC 类型是串行 DAC。串行 DAC 的转换是顺序进行的。通常，转换一个位需要一个时钟脉冲。因此一个典型的串行 N 位 DAC 需要 N 个时钟脉冲。这里将分析的两种转换器是串行电荷再分配 DAC 和串行运算 DAC。

图 10.4-1 给出了一个串行电荷再分配 DAC 的简化原理图。可以看到这个转换器包括 4 个开关、2 个等值电容和一个基准电压源。开关的功能如下：开关 S_1 被称为再分配开关，它将 C_1 与 C_2 并联，使它们的电压通过电荷再分配变得相等；如果第 i 位（b_i）为 1，开关 S_2 就将 C_1 预充电到 V_{REF}；如果第 i 位是0，开关S_3将 C_1 预充电到 0 伏；开关 S_4 在转换开始时对 C_2 进行初始放电。位的转换总是由 *LSB* 开始到 *MSB* 结束。下面的例子解释了这种转换器的转换过程。

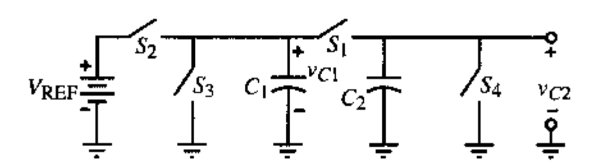


图 10.4-1　串行电荷再分配 DAC 的简化原理图

例 10.4-1 串行电荷再分配 DAC 的转换过程

假设 $C_1 = C_2$，需要转换的码字为 $b_0 = 1$，$b_1 = 1$，$b_2 = 0$，$b_3 = 1$。下图是完成这个码字转换的时序图。

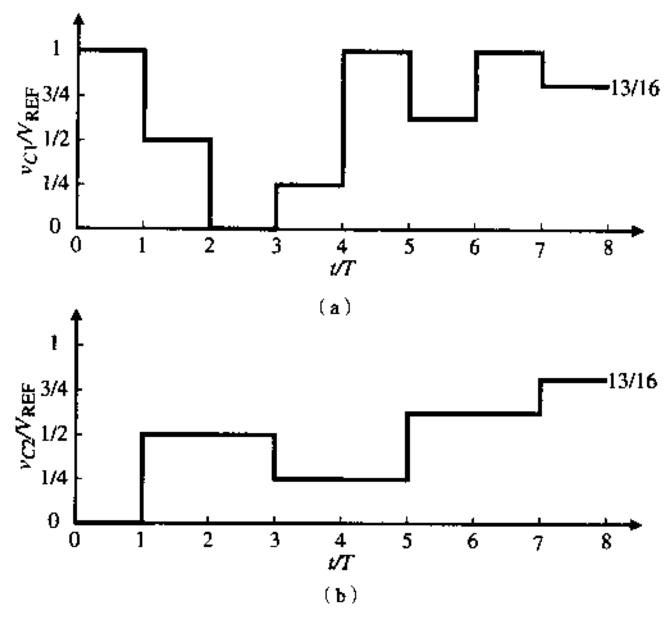


图 10.4-2 图 10.4-1 码字为 1101 时的转换波形。（a）C_1 两端的电压；（b）C_2 两端的电压

解：

转换从开关 S_4 闭合开始，因此，$v_{C2} = 0$。由于 $b_3 = 1$，则开关 S_2 闭合使 $v_{C1} = V_{REF}$。接着，开关 S_1 闭合使 $v_{C1} = v_{C2} = 0.5V_{REF}$。这就完成了 *LSB* 的转换。图 10.4-2 给出了本例 C_1 和 C_2 两端的波形。进入下一个 *LSB*——b_2，开关 S_3 闭合，将 C_1 接地放电。当开关 S_1 闭合时，C_1 和 C_2 两端的电压都是 $0.25V_{REF}$。因为剩下的 2 位都是 1，C_1 将连接到 V_{REF}，然后连续两次与 C_2 相连。C_1 和 C_2 两端的最终电压是（13/16）V_{REF}。整个过程需要 9 次按次序地闭合开关以完成转换。

从上面的例子可以看出，串行 DAC 在转换过程中需要相当多的外围支持电路来决定哪个开关应该关闭。尽管转换电路非常简单，一些误差源限制了这种 DAC 的性能。这些误差源包括电容器的寄生电容、开关的寄生电容和时钟馈通误差。电容 C_1 和 C_2 必须匹配在 *LSB* 的精度内。这种转换器具有单调的优点，并且只需要很小的面积，如图 10.4-1 所示。一个采用此技术的 8 位转换器已经制造出来，其转换时间为 13.5 μs[7]。

第二种串行数模转换的方法称为运算 DAC[8]。图10.4-3 给出了实现串行运算 DAC 的流水线方法，它由单位时延和加权加法器组成。这个电路的输出表示为：

$$V_{out}(z) = [b_0 z^{-1} + 2^{-1} b_1 z^{-2} + \cdots + 2^{-(N-2)} b_{N-2} z^{-(N-1)} + 2^{-(N-1)} b_{N-1} z^{-N}] V_{REF} \qquad (10.4\text{-}1)$$

其中，b_i 是 1 或−1。图 10.4-3 表明码字被转换成模拟信号需要 N+1 个时钟脉冲，即使每一个时钟脉冲都可以转换一个新的码字。

使用反复迭代技术可以降低图10.4-3的复杂度。这里我们只考虑迭代方法。式（10.4-1）可以改写为：

$$V_{out}(z)=\frac{b_i z^{-1} V_{REF}}{1-0.5z^{-1}} \tag{10.4-2}$$

这里假设所有的 b_i 都是相同的。下面的方法可以确定 b_i 是+1 还是−1。图10.4-4 给出了实现式（10.4-2）的结构框图。它由两个开关 A 和 B 构成。当第 i 位是 1 时开关 A 闭合，而第 i 位是 0 时开关 B 闭合。然后将 $b_i V_{REF}$ 和上次输出的一半相加，并输入采样保持电路，输出的结果就是第 i 位的转换结果。下面举例说明这个转换过程。

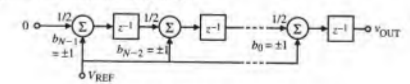


图 10.4-3 实现运算 DAC 的流水线法

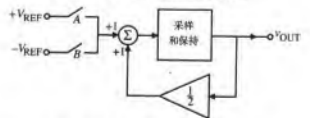


图 10.4-4　采用迭代技术的图 10.4-3 的等效电路

例 10.4-2　采用运算方法的数模转换

假设需要转换的码字从 MSB 到 LSB 的顺序为 11001，求转换后的输出电压，并粗略绘出 V_{OUT}/V_{REF} 与 t/T 的函数关系图，其中 T 是一个转换周期。

解：

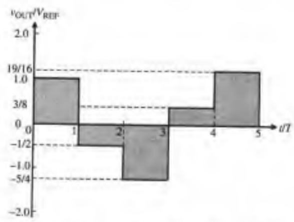


图 10.4-5　在例 10.4-2 条件下的图 10.4-4 的输出波形

转换从输出端清零开始（没有在图 10.4-4 中画出）。图 10.4-5 是本例的输出波形。这个过程

从 LSB 开始，本题中是 1。开关 A 闭合，V_{REF} 与 0 相加得到 $+V_{REF}$ 的输出。第二个转换位是 0，因此开关 B 闭合。$-V_{REF}$ 和 $1/2V_{REF}$ 相加得到输出为 $-(1/2)V_{REF}$。第三个转换位也是 0，所以 $-V_{REF}$ 和 $-1/4V_{REF}$ 相加得输出为 $-(5/4)V_{REF}$。第四个转换位是 1，所以 V_{REF} 和 $-(5/8)V_{REF}$ 相加得输出为 $+(3/8)V_{REF}$。最后，MSB 是 1，所以 V_{REF} 和 $(3/16)V_{REF}$ 相加得到最终的模拟输出为 $+(19/16)V_{REF}$。因为本例的实际 V_{REF} 是 $\pm V_{REF}$ 或者 $2V_{REF}$，码字 11001 在基准电压 $2V_{REF}$ 下的模拟输出是 $(19/16)V_{REF}$。

运算转换器的一个主要优点是与电容比值无关。它常被称为比值无关的运算 DAC。为了能够满足 LSB 的分辨率要求，图10.4-4中的 0.5 倍放大器的增益必须等于 $0.5\pm0.5LSB$。因为 0.5 倍放大器的增益通常是由电容比值决定的，运算转换器不完全与电容比值无关。在串行模数转换器部分将再次介绍运算转换器。

上面介绍了两种串行 DAC。看起来串行 DAC 非常简单，但是需要一个更长的转换时间。在有些应用中这些特点十分有利。参见表 10.4-1。

表 10.4-1 串行 DAC 的性能小结

串行 DAC	图	优点	缺点
串行电荷再分配	10.4-1	简单，面积最小	慢，需要复杂的外围电路和精确的电容比值
串行运算	10.4-4	简单，面积最小	慢，需要复杂的外围电路和精确的电容比值

小结

本节和上两节已经列出了各种与 CMOS 技术相兼容的 DAC 结构。表 10.4-2 对这些 DAC 进行了一个总结，列出了它们的主要优缺点。后面我们还将介绍另一种采用Δ-Σ调制器的 DAC。下面的章节中我们将分析互补的模数转换器。许多这样的转换器都用到了本节介绍的数模转换器。

表 10.4-2 DAC 性能总结

DAC	图	优点	缺点
电流按比例缩放，二进制加权电阻	10.2-3	快，对寄生电容不敏感	器件范围大、非单调
电流按比例缩放，R–$2R$ 梯形	10.2-4	元件范围小，精度提高	更慢，对寄生电容敏感，非单调
电流按比例缩放，有源器件	10.2-5	快，对开关寄生电容不敏感，精度高	元件范围大，面积大
电压按比例缩放	10.2-7	单调，等值电阻	面积大，对寄生电容敏感
电荷按比例缩放，二进制权电容	10.2-10	精度最高，没有运算放大器	面积大，对寄生电容敏感
二进制权电荷放大器	10.2-12	精度最高，快	元件范围大，面积大，受运算放大器限制
电流按比例缩放，子 DAC 使用电流分割	10.3-3	面积最小，减小了元件范围从而提高了精度	对寄生电容敏感，除法器的精度必须在 $\pm0.5LSB$ 内
电荷按比例缩放，子 DAC 使用电荷分割	10.3-4	面积最小，减小了元件范围从而提高了精度	对寄生电容敏感，更慢，除法器的精度必须在 $\pm0.5LSB$ 内
二进制权电荷放大器子 DAC	10.3-6	快，面积最小，减小了元件范围从而提高了精度	需要更多的运算放大器，除法器的精度必须在 $\pm0.5LSB$ 内

（续表）

DAC	图	优点	缺点
电压按比例缩放 *MSB*，电荷按比例缩放 *LSB*	10.3-7	*MSB* 单调，面积最小，减小了元件范围	为了绝对精度必须调整或校准电阻
电荷按比例缩放 *MSB*，电压按比例缩放 *LSB*	10.3-9	*LSB* 单调，面积最小，减小了元件范围	为了绝对精度必须调整或校准电阻
串行电荷再分配	10.4-1	简单，面积最小	慢，需要复杂的外围电路
流水线运算	10.4-3	重复的模块，在N个时钟以后，每个时钟都有输出	位数大时需要较大的面积
串行运算	10.4-4	简单，一组精确元件	慢，需要附加的逻辑电路

10.5 模数转换器简介和特性

本章的第二部分集中介绍模数转换器（ADC）。ADC 是 DAC 的逆过程，然而，由于输入和输出信号的特点，存在一些明显的不同。主要的区别是ADC必须进行采样。不可能连续不断地将输入模拟信号转换成数字输出编码。因此，ADC 是一个数据采样电路。

ADC 简介

图10.5-1给出了一个基本 ADC 的框图。一个被称为抗混叠滤波器的前置滤波器用来避免高频信号在 ADC 的基带中引起混叠。抗混叠滤波器经常通过 ADC 本身的带宽有限特性来实现。与抗混叠滤波器相接的是一个采样保持电路，这个电路使得输入到 ADC 的模拟信号在转换为一个等价的输出数字码期间保持不变。这个时间周期被称为 ADC 的转换时间。转换通过量化完成，量化器的本质是将参考信号分割成子域。通常为 2^N 个子域，这里 N 是数字输出编码的位数。量化步骤找出对应采样后的模拟输入的子域。知道了这个子域就允许数字处理器对相应的数字位进行编码。因此，在转换时间内，一个被采样的模拟输入信号被转换成一个等价的数字输出码。

理解图10.5-1中 ADC 的频率响应非常重要。假设模拟输入信号的频率响应如图10.5-2（a）所示。进一步假设频率f_B是模拟输入信号的最高频率。当模拟输入信号在频率f_S上被采样时，得到了如图 10.5-2（b）所示的频率响应。输入信号的频谱在采样频率和它的各次谐波上被重复。如果信号带宽f_B增加到超过$0.5f_S$，频谱开始混叠，如图10.5-2（c）所示。此时是不可能恢复出原始信号的。这个概念用奈奎斯特速率或采样率来解释就是：为了从采样信号中恢复出原始信号，采样频率必须至少是信号带宽的两倍。因此，需要用图10.5-1中的前置滤波器消除输入模拟信号中超过$0.5f_S$的信号，如图10.5-2（d）所示。如果模拟输入信号的带宽固定而采样频率下降到$2f_B$以下，也会发生频谱的折叠覆盖。尽管在图10.5-2（b）中f_B小于$0.5f_S$（就像我们在前一章中看到的），也需要抗混叠滤波器以消除高频信号在 0 到f_B的基带内产生的混叠。

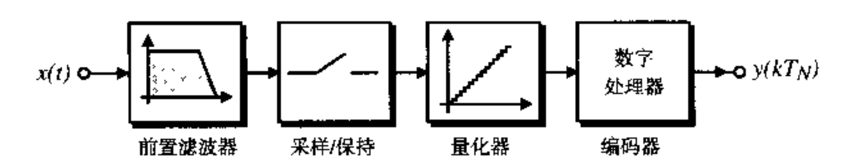


图 10.5-1 ADC 的基本框图

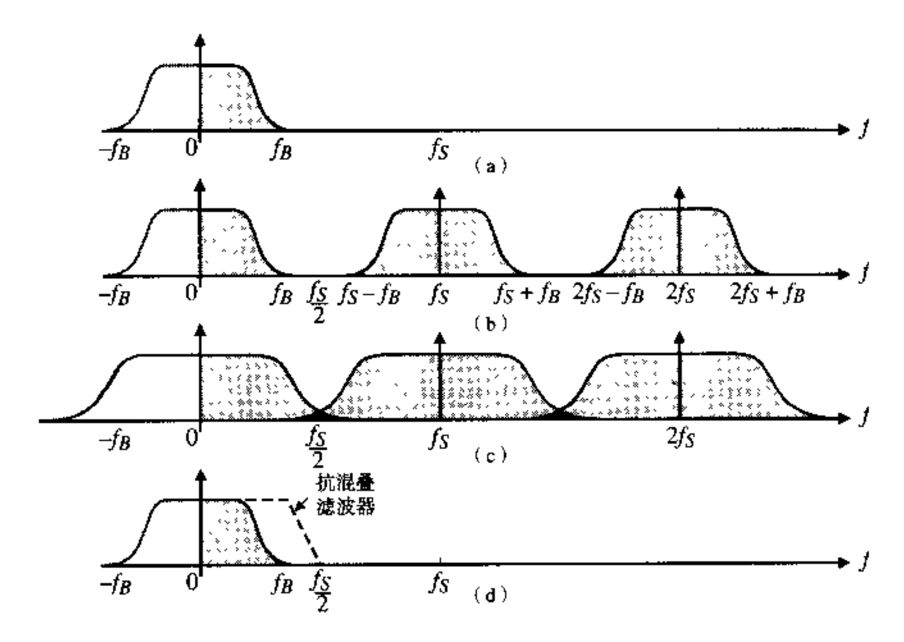


图 10.5-2 （a）模拟信号的连续时间频率响应；（b）数据采样的等效频率响应；（c）f_B大于 $0.5f_S$的情况下引起混叠；（d）采用抗混叠滤波器来避免混叠

为了使 ADC 的输入带宽最大，要使 f_B尽可能接近 $0.5f_S$。遗憾的是，这要求前置滤波器或抗混叠滤波器有非常陡峭的截止性能，这使滤波器的实现变得困难和复杂。工作在这种方式下的 ADC 被称为奈奎斯特模数转换器。后面我们将分析 f_B比 $0.5f_S$小得多的 ADC，这些 ADC 被称为过采样模数转换器。表 10.5-1 列出了本章讨论的各种 ADC 的分类。

表 10.5-1 ADC 结构的分类

转换速率	奈奎斯特 ADC	过采样 ADC
慢速	集成（串行）	高分辨率（>14 位）
中速	连续逼近、1 位流水线运算	中等分辨率（>10 位）
快速	闪存多位流水线，折叠和内插	低分辨率（>6 位）

ADC 的静态特性

ADC 的输入是模拟信号，通常是模拟电压，输出是数字编码。模拟输入可以是 0 到 V_{REF}之间的任意值，而数字编码被限制在固定或离散的幅度上。表 10.5-2 列出了 ADC 中通用的数字编码，包括二进制码、温度计码、格雷码和 2 的补码。应用最广泛的是二进制码。一些编码具有其他编码所没有的优点，使得它们很有吸引力。例如，格雷码和温度计码从一个码到下一个码只改变一位。

ADC 的静态特性是基于输入-输出特性的，如图 10.5-3 所示的一个 3 位 ADC。在这个特定的特性中，输入已经得到转换，因此理想台阶变换发生在模拟输入值为 $0.5LSB(2i-1)$处，这里对于 N 位 ADC，i 的值从 1 变到 N。

图10.5-3 所示输入输出特性的下方是量化噪声与输入的函数关系曲线。量化噪声是无限精度特性与理想的 3 位特性之间的差值与输入电压之间的函数关系曲线。理想 ADC 特性所具有的量化噪声在±$0.5LSB$ 之间。

表 10.5-2　ADC 使用的数字输出编码

十进制码	二进制码	温度计码	格雷码	2 的补码
0	000	0000000	000	000
1	001	0000001	001	111
2	010	0000011	011	110
3	011	0000111	010	101
4	100	0001111	110	100
5	101	0011111	111	011
6	110	0111111	101	010
7	111	1111111	100	001

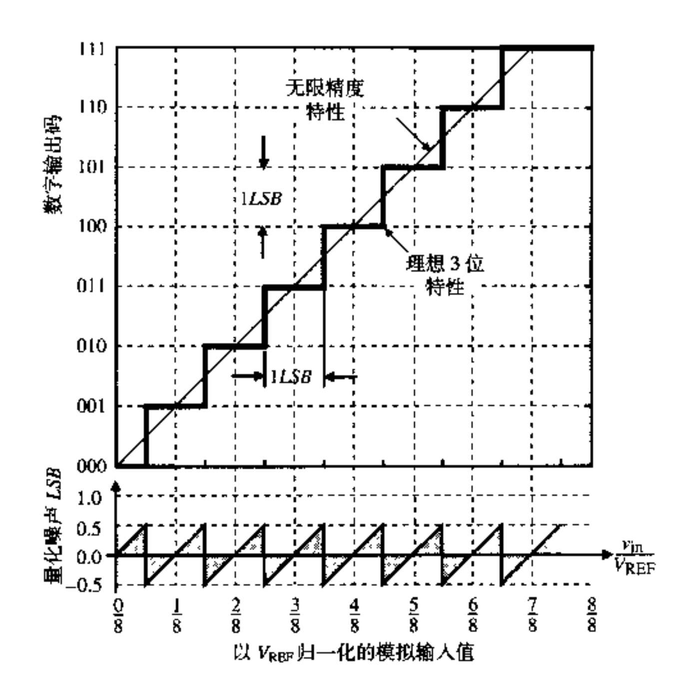


图 10.5-3　3 位 ADC 的理想输入输出特性

动态范围、信噪比（*SNR*）和 ADC 的有效位数（*ENOB*）的定义与 10.1 节给出的相同。在那里这些量与模拟变量有关，而在 ADC 中与数字输出编码有关。

ADC 的分辨率是 ADC 可以识别的最小的模拟信号变化。分辨率可以用满刻度（*FS*）的百分比来表示，但通常是用位数 *N* 表示，这里转换器有 2^N 个可能的输出状态。

转换器静态性能的主要特性是失调误差（offset error）、增益误差（gain error）、积分非线性（*INL*）、微分非线性（*DNL*）。对于一个带有失调量的 ADC，可以水平地位移无限精度特性曲线直到量化噪声相对于这条线呈对称分布[这里假设其他误差（如增益误差和非线性）不是主要的或者已经从特性曲线中消除]。这条线和过原点的无限精度特性之间的水平差值就是失调误差，如图 10.5-4（a）所示。

增益误差是实际特性曲线和无限精度特性曲线之间的差值，它与输入电压的幅度成比例。增益误差可以认为是无限精度曲线斜率向上增加或向下减少 1 的变化量。

增益误差如图 10.5-4（b）所示。与 DAC 类似，增益误差可以用实际和理想有限精度特性曲线的水平差值来测量。它以 *LSB* 为单位，并且在最高的数字编码上，即图10.5-4（b）的 110 和 111 之间进行测量。在这个例子中，假设所有其他误差（如失调误差和非线性）都不存在。

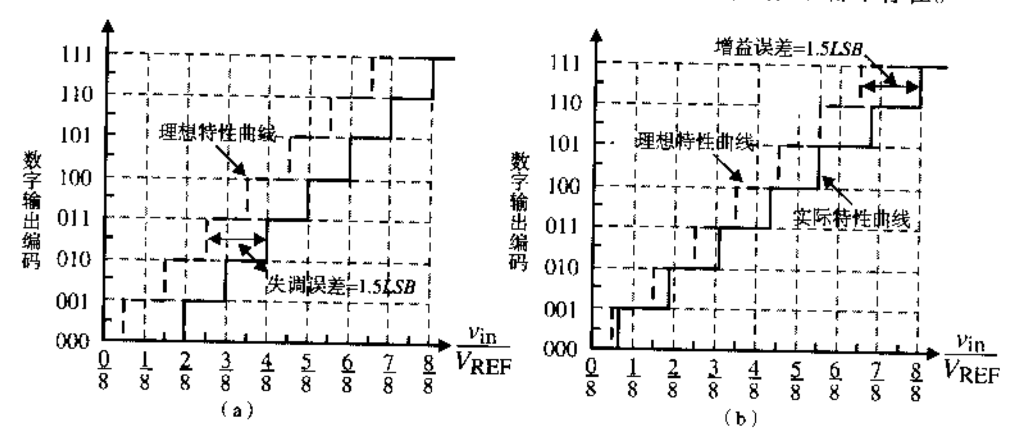


图 10.5-4 （a）3 位 ADC 失调误差的例子；（b）3 位 ADC 增益误差的例子

ADC 的积分非线性（*INL*）的定义是实际有限精度特性曲线与理想有限精度特性曲线在垂直方向上的最大差值，以百分比或 *LSB* 为单位。根据这个定义，我们发现，因为数字输出编码对应离散的幅度，所以只能是整数值。随着分辨率的增加和 *LSB* 变小，这并不是问题。此外，如果测量 *INL* 的测量设备十分精确，可能得到小于 1*LSB* 的 *INL*。

ADC 的微分非线性（*DNL*）被定义为在每个垂直台阶上测量的相邻编码之间的距离，以百分比或 *LSB* 为单位。ADC 的微分非线性可以写为：

$$DNL = (D_{cx} - 1)\,LSB \tag{10.5-1}$$

其中，D_{cx}是以 *LSB* 为单位的实际垂直台阶的尺寸。图10.5-5给出了 3 位 ADC 相对于数字输出编码的积分非线性和微分非线性。可以看到 *INL* 的最大值和最小值分别为+1*LSB* 和−1*LSB*、*DNL* 的最大值和最小值分别是+1*LSB* 和 0*LSB*。与 DAC 相比，在 DAC 中，−*LSB* 的 *DNL* 是由于应该出现一个台阶而未出现造成的，ADC 不会出现这种情况。例如，在图10.5-5中，输入电压为 3/16，没有出现垂直阶跃的事实不能被认为 *DNL* 是−1*LSB*。

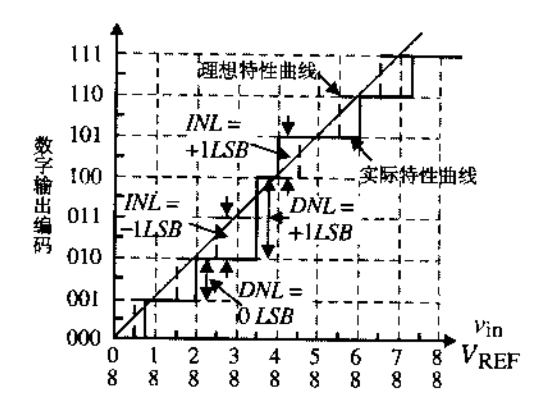


图 10.5-5 3 位 ADC 的 *INL* 和 *DNL* 的例子

当垂直阶跃是负值时，ADC 会出现非单调性。非单调性只能用 *DNL* 检测到。因为输出被限制为数字编码，所有的阶跃都是整数。正常情况下，垂直阶跃是 1*LSB*。如果跳了 2*LSB* 或者更多，就可能出现输出编码丢失，如果垂直阶跃小于 0*LSB*，则 ADC 就不是单调的。图 10.5-6 给出了一个 3 位 ADC 的非单调特性曲线。非单调通常出现在 *MSB* 的精度不够的时候。从 01111……到 10000……的变化是最困难的，因为 *MSB* 必须有±0.5*LSB* 的精度，否则 *DNL* 就会超过要求。

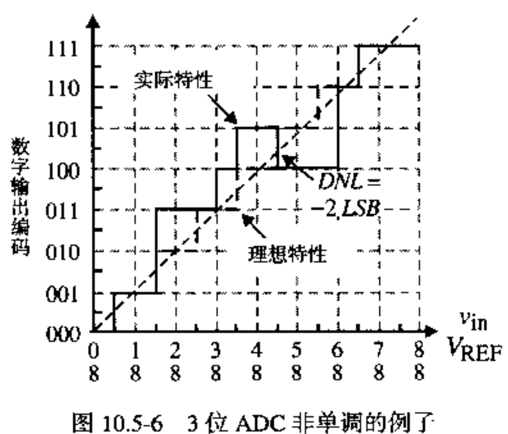


图 10.5-6　3 位 ADC 非单调的例子

例 10.5-1　3 位 ADC 的 *INL* 和 *DNL*

求图10.5-6 中 3 位 ADC 的 *INL* 和 *DNL*。

解：

这个 3 位 ADC 的 *INL* 的最大值是 1*LSB*，它出现在 3/16 和 5/16 之间或者 7/16 和 9/16 之间。*INL* 的最小值是−2*LSB*，它出现在 11/16 和 12/16 之间。本题的 *DNL* 的最大值是+1*LSB*，它出现在 3/16 或 6/8 处。*DNL* 的最小值是−2*LSB*，它出现在 9/16 处，这是转换器变为非单调的地方。

ADC 的动态特性

ADC 的动态特性和 DAC 一样与寄生电容和运算放大器有关。此外，在所有的 ADC 中至少要用到一个比较器。比较器用来确定模拟输入是否高于或低于一个特定的电压。比较器的静态和动态特性已在 8.1 节中详细地研究过。这些知识将被用来确定 ADC 的动态性能，并在本章适当的位置进行回顾。

在某些情况下，ADC 可能用到运算放大器，它将同时影响静态和动态性能。理解运算放大器影响所需的资料已经在 10.1 节分析 DAC 静态和动态性能时做过介绍。

采样保持电路

因为采样保持电路（S/H）是ADC 的关键部分，确定它对 ADC 的影响是非常值得做的工作。图10.5-7 给出了实际的采样保持电路的波形。t_a表示的采样时间定义为采样保持电路必须保持采样模式的时间，以保证后续保持模式的输出在输入电平的一个指定的误差带以内，此输入电平出现在采样保持转换的瞬间。采样时间假设增益和失调影响已经消除。t_s表示的建立时间是指在采样保持转换命令与输出瞬态波形和后续振荡在指定误差范围内的时间之间的间隔。因此，最小采样保持时间是：

$$T_{sample} = t_s + t_a \tag{10.5-2}$$

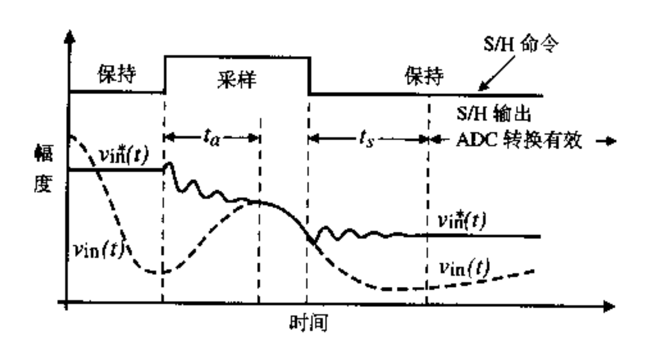


图 10.5-7 采样保持电路的波形

ADC 的最小转换时间等于 T_{sample}，最大采样率为：

$$f_{\text{sample}} = \frac{1}{T_{\text{sample}}} \tag{10.5-3}$$

除了上述 S/H 电路的特性，还有一个叫缝隙时间（aperture time），即 S/H 命令将采样切换到保持后，采样开关打开所需要的时间。关于缝隙时间的另一个需要考虑的问题是缝隙抖动，它是由时钟变化和噪声引起的缝隙时间的变化。在 S/H 的保持阶段，由于开关和保持电容的原因，存在着 kT/C 噪声。

采样保持电路可以分为两类，即无反馈的 S/H 电路和带反馈的 S/H 电路。一般而言，使用反馈可以在牺牲速度的前提下提高 S/H 的精度。S/H 电路最少需要一个开关和一个存储元件。通常用电容作为存储元件。一个简单的开环缓冲 S/H 电路如图 10.5-8（a）所示。采用单位增益运算放大器来缓冲保持电容两端的电压。这个 S/H 电路的理想性能如图 10.5-8（b）所示。当开关闭合时是采样模式，模拟信号被电容 C_H 采样。在开关断开期间或者说在保持模式下，输出端的电压有效。

图 10.5-8（a）的 S/H 电路简单而快速。电容 C_H 被充电，其时间常数为 RC，电阻为开关电阻加上 $v_{\text{in}}(t)$的源电阻。缺点是信号源 $v_{\text{in}}(t)$必须给 C_H 提供充电电流。单位增益运算放大器防止电容上的电压泄漏，并且提供一个低阻抗的保持电压复制品。运算放大器的直流偏置和开关的电荷馈通将使得这个复制品略有不同。

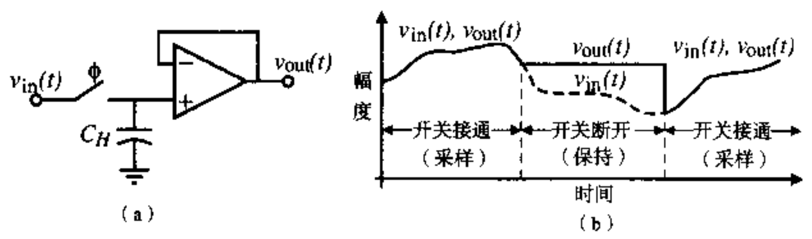


图 10.5-8 开环缓冲 S/H 电路（a）及其工作波形图（b）

S/H 电路的一个重要的动态限制是如图 10.5-8（a）中供用的运算放大器的建立时间。当一个主极点在ω_a处、第二极点在靠近 GB 处的运算放大器被用到单位增益结构中时，单位增益结构的传输函数可以近似表示为（参见附录 C）：

$$A(s) \approx \frac{GB^2}{s^2 + GB \cdot s + GB^2} \tag{10.5-4}$$

任何时刻单位增益缓冲器的输入信号发生变化时，式（10.5-4）都会确定相应的响应。例如，如果产生一个单位幅度阶跃的改变，输出电压响应为：

$$v_{out}(t) = 1 - \left(\sqrt{\tfrac{4}{3}}e^{-0.5GB \cdot t}\right)\sin\left(\sqrt{\tfrac{3}{4}}GB \cdot t + \theta\right) \tag{10.5-5}$$

第 6 章曾讲过建立时间由与正弦相乘的项消失的速度决定，事实上，我们可以定义误差为要求的和实际的输出电压之间的时间函数为：

$$\text{Error}(t) = \varepsilon = 1 - v_{out}(t) = \sqrt{\tfrac{4}{3}}e^{-0.5GB \cdot t} \tag{10.5-6}$$

在大多数 ADC 中，这个误差等于±0.5LSB。这里电压被归一化，因此我们可以写出：

$$\frac{1}{2^{N+1}} = \sqrt{\tfrac{4}{3}}e^{-0.5GB \cdot t_s} \quad \rightarrow \quad e^{0.5GB \cdot t_s} = \frac{4}{\sqrt{3}}2^N \tag{10.5-7}$$

从式（10.5-7）解出需要建立±0.5LSB 的时间 t_s：

$$t_s = \frac{2}{GB}\ln\left(\frac{4}{\sqrt{3}}2^N\right) = \frac{1}{GB}[1.3863N + 1.6740] \tag{10.5-8}$$

从式（10.5-8）中容易看出，随着 ADC 分辨率的增加，任何一个单位增益缓冲放大器的建立时间将增加。例如，如果我们采用图 10.5-8（a）所示的 10 位 ADC 的 S/H 电路，GB 为 1 MHz 的单位增益缓冲器建立 10 位以内精度需要的时间是 2.473 μs。

前一章中的很多开关电容电路都可以用到 S/H 电路中。图10.5-9（a）给出的 S/H 电路在ϕ_1相位阶段将 C 充电至输入电压，然后反相，并输入到缓冲放大器。为了消除与输入有关的电荷注入和时钟馈通，采用的ϕ_{1d}为一个延迟的ϕ_1时钟。图10.5-9（b）给出了这个 S/H 电路的差分形式。差分 S/H 电路具有低 $PSRR$ 的优点，偶次谐波被抵消，而且减小了电荷注入和时钟馈通。

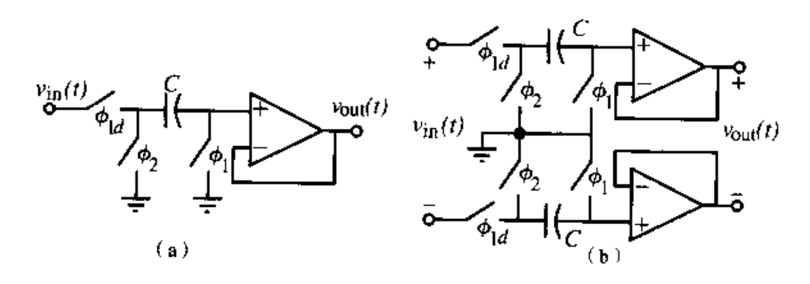


图 10.5-9　开关电容 S/H 电路（a）及其差分形式（b）

多年来常用的一个 S/H 电路使用了一个二极管桥，其基本电路如图10.5-10（a）所示。当上面的电流源和下面的电流漏都打开时，正向偏置二极管通过一个很小的信号电阻 $r_d = 2V_t/I_B$ 使输入和输出相连。当电流源和电流漏都关闭时，二极管反偏，保持电容与输入端分开。二极管可以是一个栅漏相连的 MOSFET，或者是一个 pn 结二极管（在一个阱里扩散形成）。MOSFET 与 pn 结二极管相比，具有几乎没有电荷储存延时效应的优点。图 10.5-10（a）原理性实现电路如图 10.5-10（b）所示。这个二极管桥 S/H 电路的优点是时钟馈通与信号无关，因为时钟的有限斜率引起的采样的不确定性被最小化，并且在保持阶段从输入到保持节点的馈通被最小化了，因为 D5 和 D6 两个二极管实质上是连到 $v_{out}(t)$的低阻抗支路。

在许多 ADC 中，比较器执行采样保持功能。受时钟控制的比较器对模拟输入进行采样，并提供二进制输出。钟控比较器的主要问题是时钟脉冲相位差和时钟抖动。为了正确工作，所有的比较器必须同时进行二进制判决。

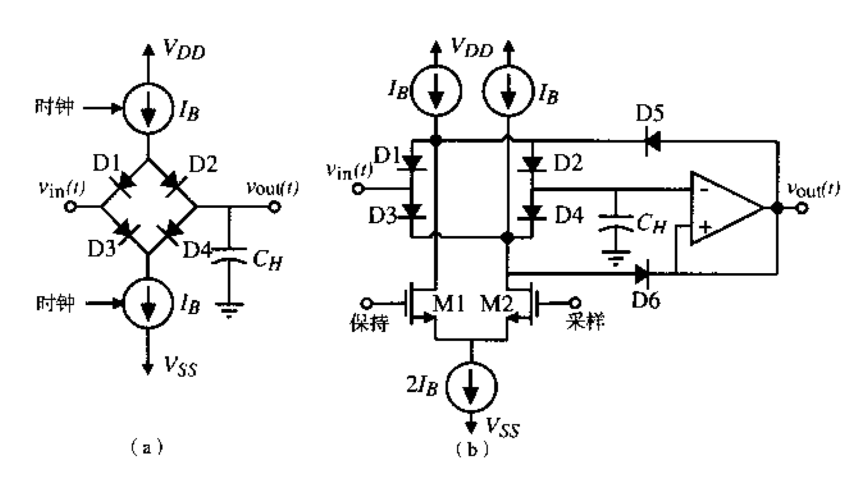


图 10.5-10 二极管桥 S/H 电路（a）及其实现（b）

第二类采样保持电路是带反馈的或称之为闭环的结构。闭环结构是以速度为代价提高精度的。图10.5-11给出了两个在闭环状态下工作的采样保持电路。输入运算放大器的优点是允许保持电容快速充放电。

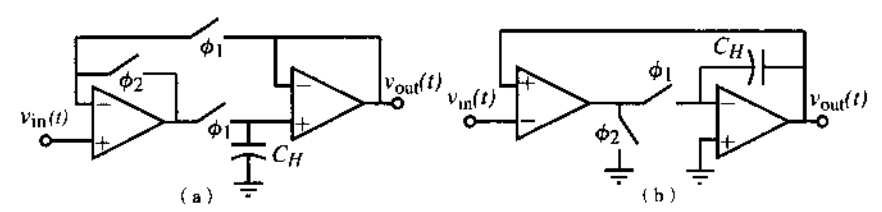


图 10.5-11 （a）闭环 S/H 电路，ϕ_1是采样阶段，ϕ_2是保持阶段；（b）图（a）的 S/H 电路的改进形式

图10.5-11（b）与图10.5-11（a）相比，具有电荷注入和时钟馈通与输入无关的优点，因为开关的一端是接地的。

除了图 10.5-11 的 S/H 电路之外，前一章介绍的许多开关电容放大器都可以用做 S/H 电路。图10.5-12（a）给出了一个简化的开关电容电路，它消除了运算放大器的失调电压。图10.5-12（b）是图10.5-12（a）的差分形式，它在ϕ_1阶段保持运算放大器的输出不变，因此避免了摆率引起的延时。

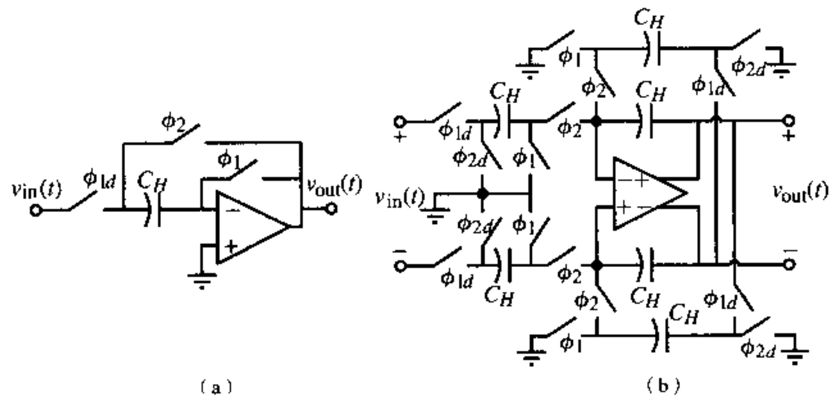


图 10.5-12 （a）将运算放大器输入偏置电压自动清零的开关电容 S/H 电路；（b）避免运算放大器输出端变化过大的差分 S/H 电路

图 10.5-13 给出了一个电流方式的 S/H 电路。在采样模式下，ϕ_1 开关闭合，电流 $i_{in}+I_B$ 流过 MOS 二极管，对保持电容充电到适当的电压。ϕ_2 开关闭合时为保持模式。保持电容使 i_{out} 等于 i_{in}。如果一个哑元开关和 ϕ_1 开关一起与 C_H 相连，这个 S/H 电路在 8 位以内是精确的。更多关于电流模式 S/H 电路的内容见参考文献[9, 10]。

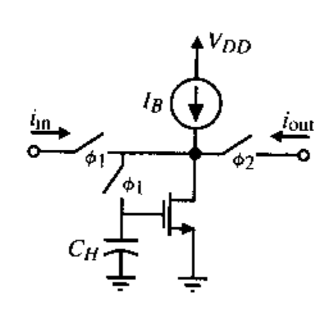


图 10.5-13　简化的电流模式 S/H 电路

因为 ADC 是一个数据采样系统，时钟精度非常重要。缝隙抖动给出这个精度的一个度量。图 10.5-14 显示了缝隙抖动是如何发生的。应该在时间上的某一点 t_o 对模拟信号进行采样。然而，由于时钟的抖动（或者比较器中的噪声），出现如图 10.5-14 所示的一个时间范围 Δt。缝隙抖动 Δt 引起幅度的不确定性表示为 ΔV。如果忽略器件噪声和非线性，ΔV 和信号上的噪声一样，都会使动态范围变小。

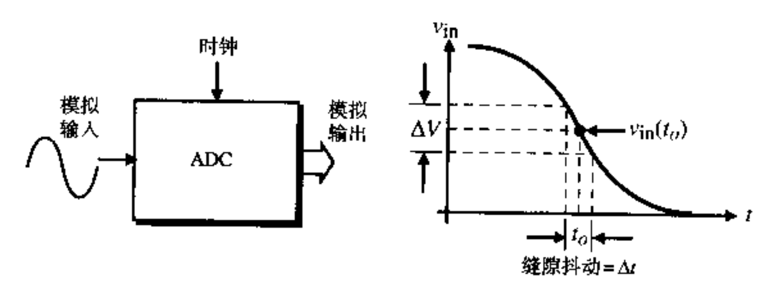


图 10.5-14　ADC 中的缝隙抖动示意图

如果输入的是一个正弦信号 $v_{in}(t)=V_p\sin\omega t$，最大斜率等于 $\omega_{in}V_p$。因此，ΔV 的值为：

$$\Delta V=\left|\frac{dv_{in}}{dt}\right|\Delta t=\omega V_p\Delta t \tag{10.5-9}$$

噪声的均方根值为：

$$\Delta V(\mathrm{rms})=\left|\frac{dv_{in}}{dt}\right|\Delta t=\frac{\omega V_p\,\Delta t}{2\sqrt{2}} \tag{10.5-10}$$

缝隙抖动可能导致要求的 ADC 动态范围受到限制。例如，如果时钟的缝隙抖动是 100 ps，输入信号是一个 1 MHz 的满刻度峰-峰值正弦波，$V_{REF}=1$ V，则由于缝隙抖动引起的噪声的均方根值是 111 μV（rms）。注意，本例中时钟的精度必须大于等于 0.01%。

ADC 的测试

ADC 的测试和 DAC 的测试目的是相同的，即验证静态和动态特性。ADC 进行的第一个测试是输入输出测试。输入输出测试结构如图10.5-15所示。输入电压范围从 0 到 V_{REF}，数字输出编码被送到一个比 ADC 更精确的 DAC 中。DAC 的精度至少要比 ADC 高 2 位。然后画出模拟输入和 DAC 输出的差值与输入之间的函数曲线。

输入输出测试的曲线应该等于该 ADC 的量化曲线。如果 ADC 是理想的，Q_n 的值将限制在 ±0.5*LSB* 之间。输入输出测试可以用来测量失调误差、增益误差、*INL* 和 *DNL*。图 10.5-16 给出了一个 4 位 ADC 可能的曲线。图上标出了 *INL* 和 *DNL* 误差。以模拟轴为参考的非线性误差用单位斜线的高度来表示。增益误差将表现为随着 V_{in} 的增加，锯齿曲线的增加或减少为一常量。失调误差是从 0*LSB* 线向上或向下的固定的平移量。

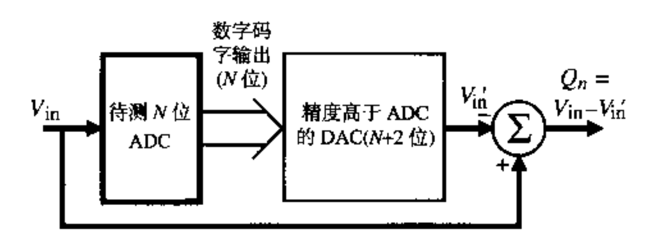


图 10.5-15　ADC 的输入输出测试

理想情况下，图 10.5-16 应该等于 ADC 的量化噪声。当位数增加时，图 10.5-16 所示的个别细节是不可能看到的，除非将水平坐标放得很大。一般人们会在±0.5*LSB* 处画出水平线以观察这些线以外的趋势。必须通过比较正峰值和负峰值来确定 *DNL*。注意，在模拟输入为 21/32 时，ADC 非单调。随着位数的增大，观察 *INL*、失调和增益误差将变得更容易。

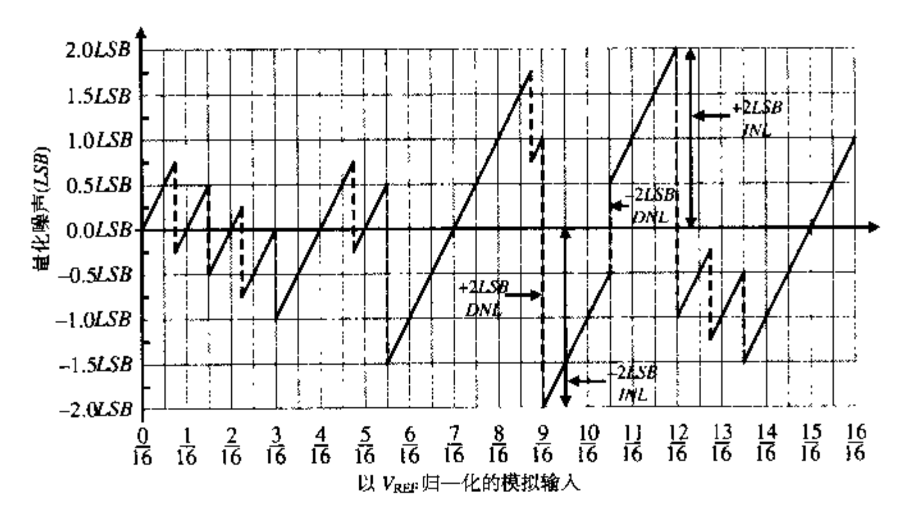


图 10.5-16　4 位 ADC 的输入输出测试结果示意图

如果使用一个纯正弦波发生器，输入输出测试的重建输出信号 V'_{in} 可以通过失真分析仪或频谱分析仪来确定 ADC 的动态范围。为了不产生任何非线性失真，动态范围至少为 6*N* dB，这里 *N* 是 ADC 的位数。这个测量使用了图 10.1-10 所示的设置，只是码型发生器被无谐波正弦波发生器驱动的 ADC 所取代。如果输入的正弦波不纯，那么它的谐波可能掩盖 ADC 的非线性。同样，这个测量中使用的 DAC 必须比 ADC 更精确。

另一种进行上述测试的方法是将被测 ADC 的数字输出编码存储在一个 RAM 缓冲器中。在测量后，缓冲器的内容用快速傅里叶变换（FFT）进行后处理来分析量化噪声和失真分量。图 10.5-17 给出了这种被称为 FFT 测试的建立方法。这种测试强调了转换器的非线性，根据时钟频率的不同它可以是静态的或动态的。由 ADC 的非线性引起的输入信号的谐波分量将在 ADC 的基带频谱上引起混叠。应该保证正弦输入信号与这些谐波不一致。

当使用 FFT 测试时一定要当心。当诸如量化噪声等小信号出现在与信号不同的频率上时，它们的频谱被主信号的泄漏所掩盖，因而不可能精确地得到 *SNR*。因此，一个从有限时间采样获得的 FFT 并不能很好地估计原始信号的功率谱，这个问题可以通过一个窗口来解决[11]。"升余弦窗"

和“四阶 Blackmann-Harris 窗”常常用于这种 FFT 运算。

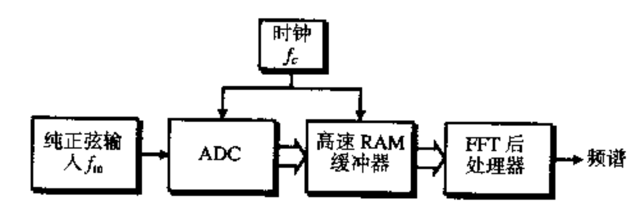


图 10.5-17　ADC 的 FFT 测试

可以用直方图测试或编码测试来减轻对纯正弦波的需要。把一个覆盖了模拟信号幅度范围的周期波形加到 ADC 上，储存每个数字编码被输出的次数，然后，绘出发生次数与数字输出编码的函数曲线。图10.5-18 绘出了分别给 ADC 输入正弦信号和三角波信号时的测试结果。注意，理想的三角波直方图是平坦的。

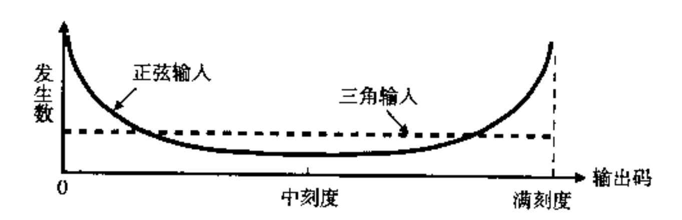


图 10.5-18　正弦波和三角波输入的直方图测试结果

直方图测试或编码测试强调了在给定电平上花费的时间，并可以显示 *DNL* 和丢失的编码。第 i 位存的数据 $H(i)$除以采样总数 N_t 就得到了该位的宽度，它是满刻度的分数。位宽和理想位宽的比值 $P(i)$是微分线性度，应该等于 1。减去 1*LSB* 就得到了以 *LSB* 为单位的微分非线性：

$$DNL(i)=\frac{H(i)/N_t(i)}{P(i)}-1 \tag{10.5-11}$$

积分非线性是对理想传递函数的偏离，可以通过直方图测试编制一个累积直方图得到。累积位宽是转换电平，它可以描述 *INL*[12]。

其他可以描述 ADC 特性的测试包括正弦曲线拟合和拍频测试[13]。正弦曲线拟合很适合确定有效位数（*ENOB*），而拍频测试是动态性能的定性测试。表 10.5-3 列出了ADC 的这些测试的特性比较。更多关于 ADC 测试的信息可以参见参考文献[5]。

表 10.5-3　ADC 测试的特性比较

误差	直方图或编码测试	FFT 测试	正弦曲线拟合测试	拍频测试
DNL	是（尖峰脉冲）	是（抬高底噪）	是	是
丢失的编码	是（零计数存储器）	是（抬高底噪）	是	是
INL	是（三角波输入直接给出）	是（谐波在基带中）	是	是
缝隙不确定性	否	是（抬高底噪）	是	否
噪声	否	是（抬高底噪）	是	否
带宽误差	否	否	否	是（测量模拟带宽）
增益误差	是（分布式尖峰）	否	否	否
失调误差	是（平均分布失调）	否	否	否

除了ADC的测试，仿真也是很重要的。在大多数ADC中，仿真是用代表比较器或运算放大器等单元的宏模型和无源元件实现的。具有吸引力的一个常用方法是：将SPICE之类的迭代仿真器和分析程序结合起来对仿真器的输出进行后处理。另一种进行ADC仿真的方法是将分析程序和C编码结合使用来得到需要的仿真结果。大部分仿真的目的是在制造ADC（或DAC）之前预测器件的性能和非理想特性的影响。这种程序在过采样ADC和DAC领域尤其重要。

10.6 串行模数转换器

串行ADC和串行DAC一样执行串行操作直到转换完成。我们将分析分别称为单斜率和双斜率的两种结构。图10.6-1给出了单斜率串行ADC的结构框图。这种转换器包括一个斜波发生器、一个时间间隔计数器、一个比较器、一个与门和一个产生输出码字的计数器。转换周期开始时，模拟输入信号被采样、保持并送到比较器的同相端。计数器被复位，时钟同时加到时间间隔计数器和与门上。在第一个时钟脉冲到来时，斜波发生器开始对基准电压 V_{REF} 进行积分。如果 v_{in}^* 比斜波发生器的初始输出大，则连到比较器反相端的斜波发生器的输出开始上升。因为 v_{in}^* 比斜波发生器的输出大，比较器输出高电平，并且加到与门上的每个时钟脉冲引起输出端的计数器计数。最后，当斜波发生器的输出等于 v_{in}^* 时，比较器的输出降为低电平，输出计数器被禁止。代表输出计数器状态的二进制数现在可以转换成要求的码型。

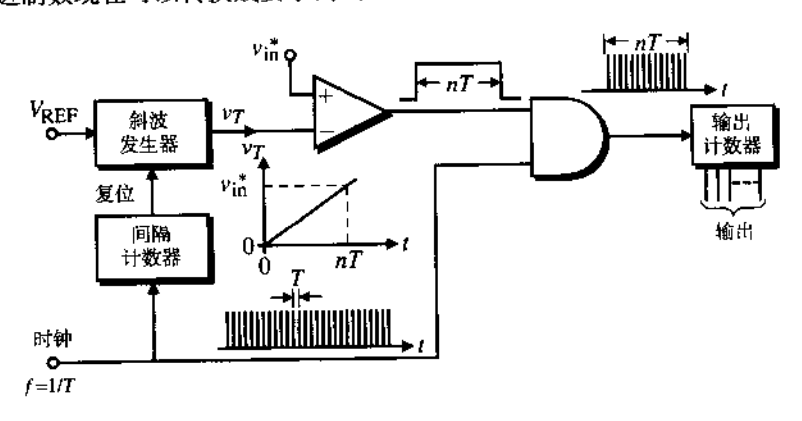


图 10.6-1 单斜率串行ADC的结构框图

单斜率ADC有多种不同的实现方法。例如，可以用逻辑电路来取代时间间隔计数器以检测比较器输出状态，此电路还可在斜波发生器的输出大于 v_{in}^* 时复位斜波发生器。串行ADC的优点为工作简单。单斜率ADC的缺点是其性能受斜波发生器误差的影响，并且是单极性的。另一个缺点是如果输入电压接近 V_{REF}，则需要很长的转换时间。最坏情况的转换时间为 2^NT，其中 T 是时钟周期。

第二种串行ADC被称为双斜率转换器。图10.6-2给出了一个双斜率ADC的结构框图。这种结构的主要优点是消除了转换过程对斜率的线性度和精度的依赖。最初，v_{int} 等于0，输入被采样并保持（在这种方法里，v_{in}^* 必须是正的）。转换过程从复位正积分器开始，它对一个正电压（没有表示出来）进行积分直到积分器的输出等于比较器的阈值电压 V_{th}。接着，开关1闭合，v_{in}^* 在 N_{REF} 个时钟周期内进行积分。图10.6-3给出了转换过程。可以看到 V_{int} 处的电压斜率和 v_{in}^* 的幅度成比例。在 $t=t_1$ 时电压 $v_{int}(t_1)$ 的值为：

$$v_{int}(t_1) = K\int_0^{N_{REF}T} v_{in}^* \, dt + v_{int}(0) = KN_{REF}Tv_{in}^* + V_{th} \qquad (10.6\text{-}1)$$

其中，T 是时钟周期。在 N_{REF} 计数结束时，计数器的进位输出被送到开关 2，并使 $-V_{REF}$ 被送到积分器。因为 V_{REF} 是一个常数，所以积分器开始按照固定的斜率进行负积分。当 $v_{int}(t)$ 小于 V_{th} 时，计数器停止，二进制数被转换成码字。这可以通过分析 $v_{int}(t)$ 等于 V_{th} 时来验证。在 t_1+t_2 时积分器的电压为：

$$v_{int}(t_1+t_2) = v_{int}(t_1) + K\int_{t_1}^{N_{out}T+t_1}(-V_{REF})dt = V_{th} \qquad (10.6\text{-}2)$$

将式（10.6-1）代入式（10.6-2）得：

$$[KN_{REF}Tv_{in}^* + V_{th}] - KV_{REF}N_{out}T = V_{th} \qquad (10.6\text{-}3)$$

由式（10.6-3）可以求出 N_{out} 为：

$$N_{out} = N_{REF} - \frac{v_{in}^*}{V_{REF}} \qquad (10.6\text{-}4)$$

可以看出 N_{out} 是 N_{REF} 的一个部分，它与 v_{in}^* 和 V_{REF} 的比值有关。

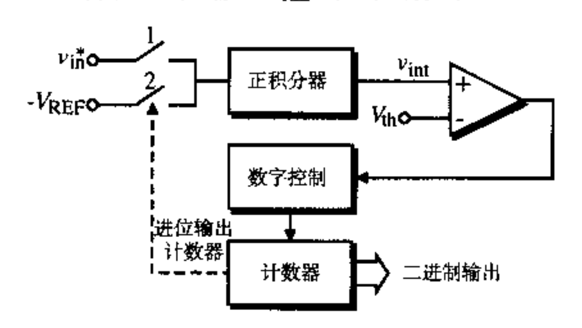


图 10.6-2　双斜率 ADC 的结构框图

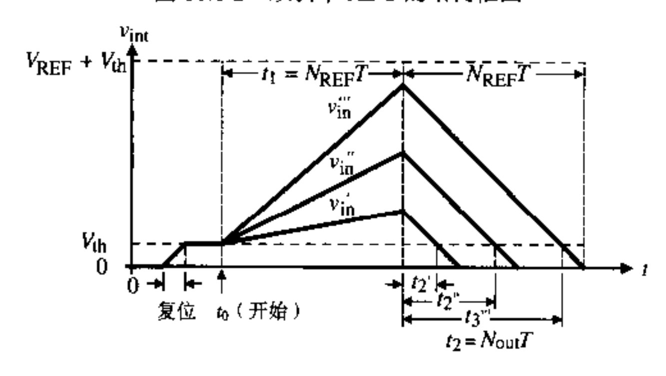


图 10.6-3　图 10.6-2 的双斜率 ADC 的波形 $v_{in}''' > v_{in}'' > v_{in}'$

串行双斜率 DAC（N_{out}）的输出和比较器的阈值电压、积分器的斜率或时钟速率无关，因此它是一种非常精确的转换方法。惟一的缺点是在最坏情况下的转换时间长达 $2(2^N)T$，这里 N 是 ADC 的位数。这种方法的正积分器可以用 9.3 节的开关电容积分器代替。

上面两个串行 ADC 的例子在结构和性能上很有代表性。其他的串行转换形式可以参见参考文献[14, 15]。串行 ADC 的速度较慢，但精度高。串行 ADC 的典型参数是转换频率小于 100 Hz，位数大于 12 位。

10.7 中速模数转换器

表 10.5-1 中的第二类 ADC 为中速转换速率 ADC。这类 ADC 将一个模拟输入转换为 N 位码字大约需要 N 个时钟周期。因此，转换时间比串行转换器少，且电路复杂度没有明显增加。这里讨论的中速 ADC 包括逐次逼近转换器（它采用电压按比例缩放和电荷按比例缩放 DAC 的组合）、串行 DAC 和运算 DAC。

逐次逼近 ADC

图 10.7-1 给出了逐次逼近 ADC 的结构。这种转换器包括一个比较器、一个 DAC 和数字控制逻辑。数字控制逻辑的作用是根据比较器的输出，顺序地决定每一位的值。为了说明转换过程，假设转换器是单极性的（只能转换一个极性的模拟信号）。转换周期从对需要转换的模拟输入信号采样开始。接着，数字控制电路假设 MSB 是 1，所有其他位都是 0。这个码字被加到 DAC 上，DAC 将产生一个 $0.5V_{REF}$ 的模拟信号。然后用此信号和采样的模拟输入 V_{in}^{*} 进行比较。如果比较器输出高电平，则数字控制逻辑将 MSB 置为 1。如果比较器输出低电平，则数字控制逻辑将 MSB 置为 0。这就完成了逐次逼近的第一步。这时 MSB 的值已经得到。然后“猜测”次高位为 1，其余位为 0，并和已知的 MSB 位组成码字再次加到 DAC 上。再次将输入的采样信号与加上了这个码字的 DAC 的输出进行比较。如果比较器为高电平，则证明第二位是 1。如果比较器是低电平，则证明第二位是 0。这个过程以此方式进行直到码字的所有位都被逐次逼近所确定。

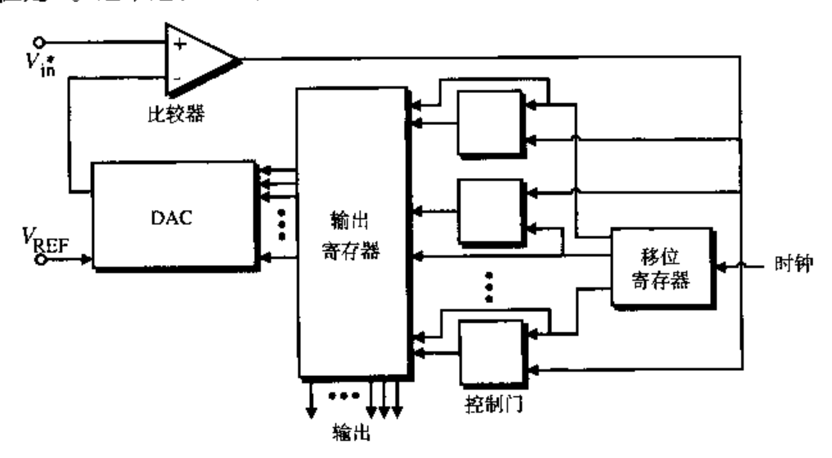


图 10.7-1 逐次逼近 ADC 结构举例（选自 E.R.Hnatek，*A User's Handbook of D/A and A/D Converters*. New York：Wiley，1976）

图10.7-2给出了逐次逼近序列是如何使 DAC 的模拟输出收敛到最接近的采样模拟输入。可以看出转换一个 N 位字的循环次数是 N。也可以看到，随着 N 增大，比较器鉴别接近相等的信号的能力必须提高。双极性模数转换可以采用一个符号位选择$+V_{REF}$或者$-V_{REF}$来实现。

数字控制逻辑经常被称为逐次逼近寄存器（SAR）。图 10.7-3 给出了一个 5 位 SAR 的例子。这个 SAR 的优点是和位片方法兼容，这种方法对集成电路实现很有吸引力。位片包括一个移位寄存器（SR）、一个与门（G）、寄存器或触发器（FF）和一个模拟开关（AS）。位于结构图底部的移位寄存器使不同的位片开始从左向右移动。

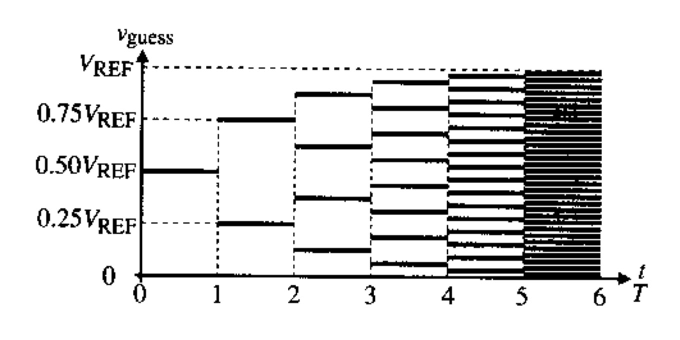


图 10.7-2　逐次逼近的过程

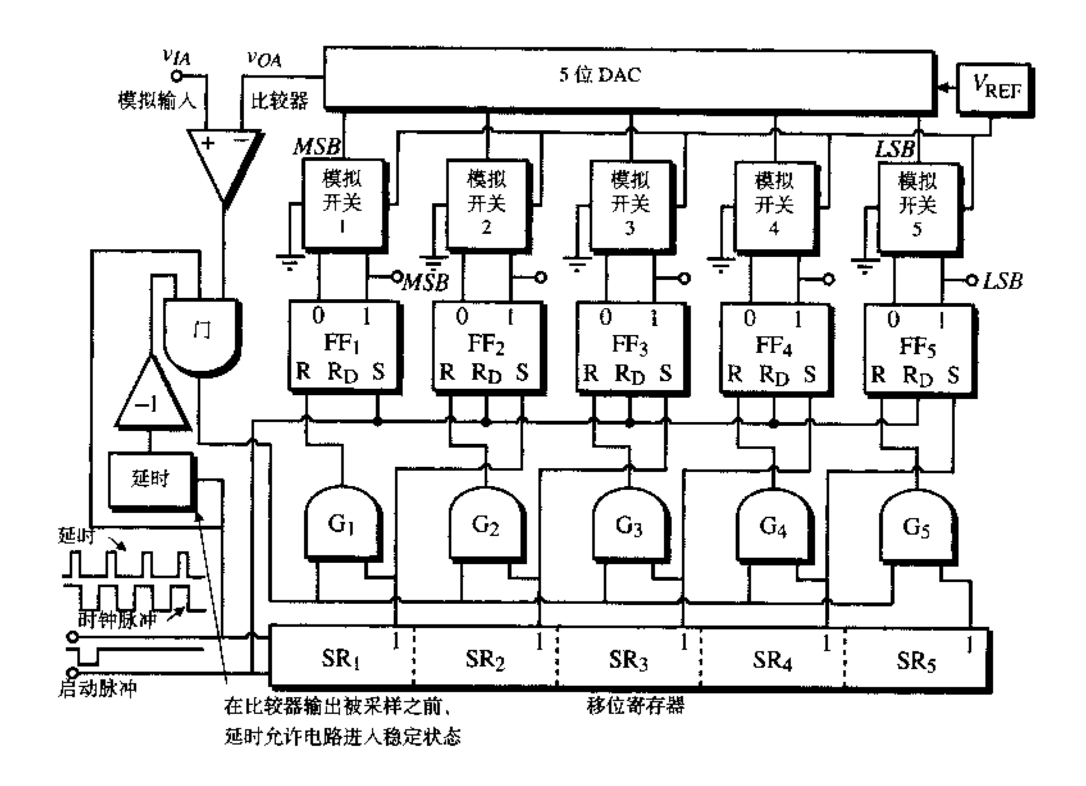


图 10.7-3　带有移位寄存器控制的 5 位逐次逼近 ADC（选自 E.R.Hnatek, *A User's Handbook of D/A and A/D Converters*. New York：Wiley，1976）

图 10.7-4 给出了一个逐次逼近 ADC 的例子，它采用了图 10.3-7 中的电压按比例缩放和电荷按比例缩放 DAC。除了 DAC 以外，还包括一个比较器和一个 SAR。从第 8 章中我们知道比较器应该有一个大于（$V_L 2^{M+K}/V_{REF}$）的增益。这里，V_L 是比较器为了驱动逻辑电路需要的最小输出幅度。例如，如果 $M+K=12$ 且 $V_L=V_{REF}$，那么比较器的电压增益至少为 4096，这里 M 等于电压按比例缩放的位数，K 等于电荷按比例缩放的位数。

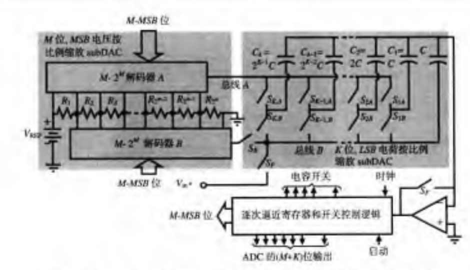


图 10.7-4 一个 M 位电压按比例缩放、K 位电荷按比例缩放逐次逼近 ADC

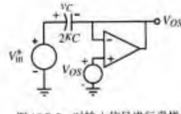


图 10.7-5 对输入信号进行采样时的图 10.7-4 模型

转换操作描述如下。随着两个 S_F 开关闭合，电容器的底极板经过开关组 $S_{K,B}$ 到 S_{1B} 被连到 V_{in}^*。在采样周期结束时，存储在电容器组中的电压实际上是 V_{in}^* 减电容器的阈值电压，这就将阈值当做一个失调误差源而被消除。注意，比较器必须像一个单位增益结构的运算放大器那样工作并保持稳定。图 10.7-5 给出一个模型，它解释了自动清零的工作原理。可以看出所有并联的电容器组 2^KC 两端的电压为：

$$v_C = V_{in}^* - V_{OS} \tag{10.7-1}$$

每当比较器比较一次输入信号，储存在电容器中的失调电压将抵消比较器的失调。

S_F 开关打开后，在电阻串的接点间对总线 B 进行逐次逼近搜索，以找出存储的采样信号所在的区域。图 10.7-6（a）解释了图 10.7-4 是如何完成这一步的。注意，比较器的输入电压为：

$$v_{comp} = V_{Ri} - (V_{in}^* - V_{OS}) - V_{OS} = V_{Ri} - V_{in}^* \tag{10.7-2}$$

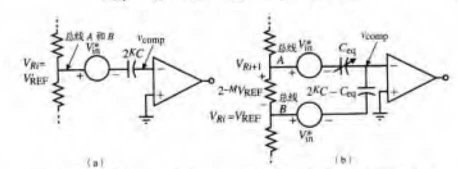


图 10.7-6 逐次逼近搜索的等效电路。（a）MSB 子 DAC；（b）LSB 子 DAC

这里，V_{Ri} 是在任意一点与总线 B 相连的电阻阶梯的电压。如果 $v_{comp} > 0$，则 $V_{Ri} > V_{in}^*$。M 个 MSB 位的目标是找到 $V_{Ri} < V_{in}^*$ 时梯形串的最大电压。一旦找到这个电压，总线 B 被连到这一点，总线 A

被连到下一个最高电压 V_{Ri+1}。V_{in}^*可能位于电压 V_{Ri+1}和 V_{Ri}之间，或者等于它们中的一个。

接着，电容器的底部极板被切换到一个逐次逼近序列，直到比较器的输入电压收敛到阈值电压。图 10.7-6（b）给出了这个操作的一个简化模型，它来自于图 10.3-8 中所用的模型。比较器的输入为：

$$v_{comp} = (V_{Ri+1} - V_{in}^*)\frac{C_{eq}}{2^K C} + (V_{Ri} - V_{in}^*)\frac{2^K C - C_{eq}}{2^K C} \tag{10.7-3}$$

而

$$V_{Ri+1} = V_{Ri} + 2^{-M}V_{REF} \tag{10.7-4}$$

将式（10.7-4）带入式（10.7-3）得：

$$\begin{aligned} v_{comp} &= (V_{Ri} + 2^{-M}V_{REF} - V_{in}^*)\frac{C_{eq}}{2^K C} + (V_{Ri} - V_{in}^*)\frac{2^K C - C_{eq}}{2^K C} \\ &= V_{Ri} - V_{in}^* + 2^{-M}V_{REF}\frac{C_{eq}}{2^K C} \end{aligned} \tag{10.7-5}$$

当 *LSB* 逐次逼近进行时，$C_{eq}/2^K C$ 的值被选择以获得一个尽可能接近 0 V 的 v_{comp}。

比较器的输出序列是一个对应未知的模拟输入信号的数字编码。用 MOS 开关直接驱动电容器阵列时，如果建立开关瞬态过渡的时间足够长，就不会产生失调误差。同样，除了 S_F外所有开关的寄生电容都不会引起误差，因为在开关瞬态建立后每个节点都被驱动到一个与电容寄生效应无关的最终电压。图10.7-4 中的 ADC 能够进行 12 位单调转换，它的微分非线性小于±0.5*LSB*，转换时间为 50 μs[6]。

图10.7-7 给出了一个使用图 10.4-1 所示 DAC 的逐次逼近型 ADC。此转换器首先转换 *MSB* a_{N-1}（在数模转换中第 *i* 位记为 d_i，在模数转换中记为 a_i）。由于在转换中任意点的数模输入字符串刚好是上一个从 *LSB* 开始的已编码字，因此，控制逻辑的形式非常简单。例如，分析模数转换中前 *K* 个 *MSB* 已被确定的那个点。为了确定第$(K+1)$个 *MSB*，将数据存储寄存器中已编码的 *K* 位码字加上一个 1 作为 *LSB*，从而在数模控制寄存器中形成一个 $K+1$ 位码字。然后 $K+1$ 位码字经数模转换产生的电压通过与未知电压V_{in}^*比较确定 a_{N-K-1}的值。之后将此位存入数据寄存器，对下一次串行数模转换初始化。表 10.7-1 详细列出了转换顺序。图 10.7-8 给出了一个 4 位模数转换电路，其中$V_{in}^* = (3/16)\ V_{REF}$。使用图 10.7-7 结构的 *N* 位 ADC 总共需要 $N(N+1)$个时钟周期完成一次转换。

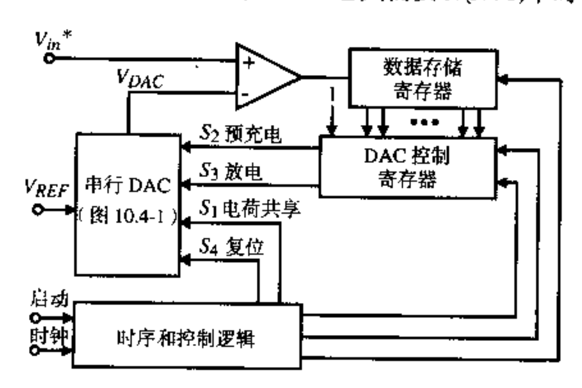


图 10.7-7　采用图 10.4-1 串行 DAC 的逐次逼近型 ADC

表 10.7-1 图 10.7-7 的串行 DAC 的转换顺序

数模转换序号	数字-模拟输入字						比较器输出	充电台阶数
	d_0	d_1	d_2	…	d_{N-2}	d_{N-1}		
1	1	—	—		—	—	a_{N-1}	2
2	1	a_{N-1}	—		—	—	a_{N-2}	4
3	1	a_{N-2}	a_{N-1}	d_0	—	—	a_{N-3}	6
.	.	.	.		.	.	.	.
.	.	.	.		.	.	.	.
.	.	.	.		.	.	.	.
N	1	a_1	a_2	…	a_{N-2}	a_{N-1}	a_0	$2N$
充电台阶总数 $=N(N+1)$								

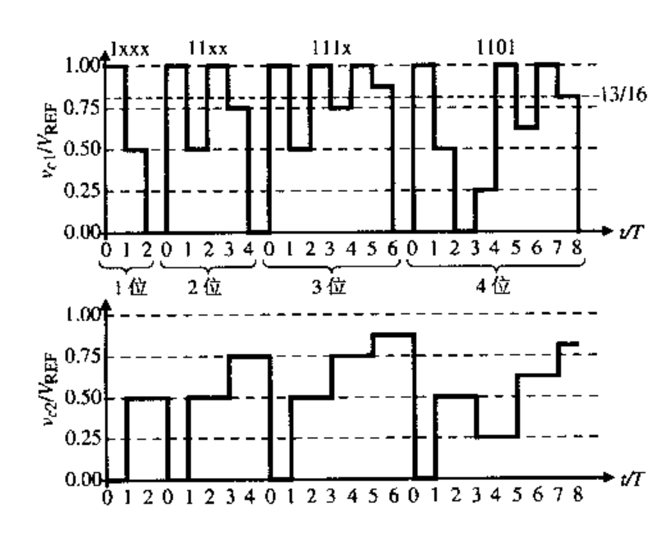


图 10.7-8 图 10.7-7 逐次逼近型 ADC 转换采样模拟输入电压(3/16) V_{REF} 的过程示意图

流水式运算 ADC

图 10.7-9 给出了一个模仿 10.4 节中运算 DAC 的运算 ADC。这种 N 位 ADC 由 N 级构成，含 N 个比较器，以确定 N 位输出的符号。将每级输入乘 2，再根据上一级输出的符号加上或减去基准电压。比较器的输出构成第一级双极性模拟输入的 N 位数字表示。

流水式运算 ADC 的每一级都是相同的。第 i 级的输入为前一级的输出 V_{i-1}，在下一时钟周期它将此电压与接地电压比较从而输出第 i 位。此外，电压 V_{i-1} 乘 2 再根据比较器的输出是低或高分别加上或减去基准电压 V_{REF}。其数学表示为：

$$V_i = 2V_{i-1} - b_{i-1}V_{REF} \tag{10.7-6}$$

其中 b_{i-1} 定义为：

$$b_{i-1} = \begin{cases} +1 & 若\ V_{i-1} > 0 \\ -1 & 若\ V_{i-1} < 0 \end{cases} \tag{10.7-7}$$

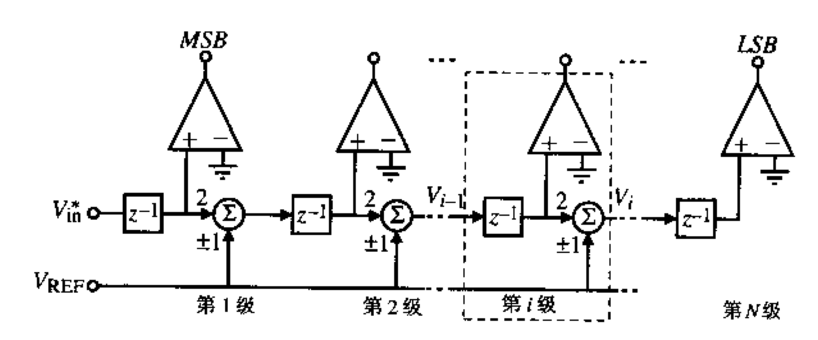


图 10.7-9　运算 ADC 的流水式实现

第 i 级的工作过程描绘在图 10.7-10 中，这里第 i 级的输入和输出是以 V_{REF} 归一化的。

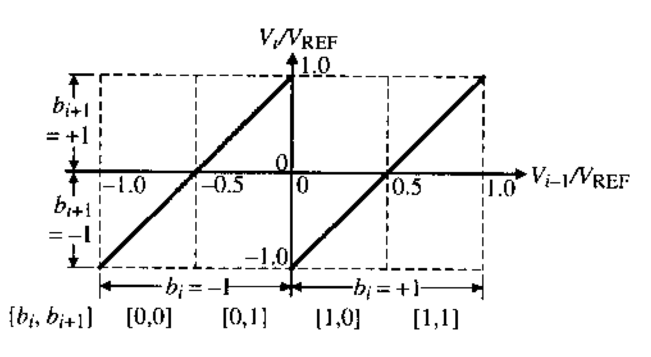


图 10.7-10　第 i 级的输出输入特性曲线

例 10.7-1　流水式运算 ADC 的工作过程

假设一个 4 位流水式运算 ADC 的采样模拟输入信号为 2.00 V。如果 V_{REF} 等于 5 V，求数字输出字和模拟等效电压。

解：

由于V_{in}^*(= 2.00 V)为正电压，第 1 级比较器的输出为高，对应数字 1。然后将这个电压乘 2 得 4 V，之后减去 V_{REF} 得到输出为−1.00 V。由于第 2 级输入为负值，使得该级比较器输出为低，对应数字 0。接着将第 2 级的−1.00 V 乘 2 再加上 5.0 V 的基准电压，得到输出为 3.00 V。因为第 2 级的输出为正，第 3 级比较器输出为高，因此 3.00 V 乘 2 再减去 5.00 V，得到第 3 级输出为+1.00 V。因为来自第 3 级的输入电压为正，第 4 级比较器输出为高，转换结束。

本例中的数字输出码字为 1011。为了验证其是否正确，可采用下面的公式：

$$V_{analog} = V_{REF}\left[b_0 2^{-1} + b_1 2^{-2} + b_2 2^{-3} + \cdots + b_{N-1} 2^{-N}\right]$$

这里，如果第 i 位为 1，则 b_i 为+1；如果第 i 位为 0，则 b_i 为−1。在本例中：

$$V_{analog} = 5\left(\frac{1}{2} - \frac{1}{4} + \frac{1}{8} + \frac{1}{16}\right) = 5(0.4375) = 2.1875$$

因此可以看出 V_{analog} 的值最终将收敛于 2.00。

将本例结果画在类似于图10.7-10 的特性曲线上可以更加直观，这里各级输出被表示为采样输入电压V_{in}^*的函数，如图10.7-11所示。注意，在归一化输入电压等于 0.4 处，向上的垂线给出每一级归一化的输出电压。

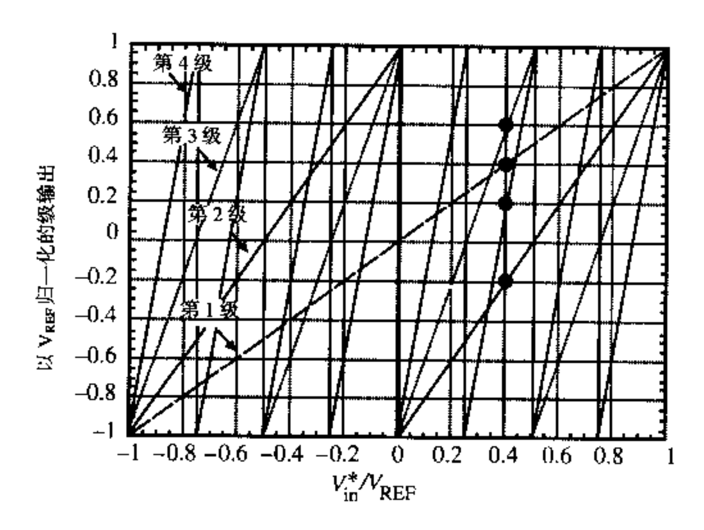


图 10.7-11 例 10.7-2 中各级输出电压与 V_{in}^*的函数关系

图 10.7-9 所示流水式运算 ADC 的缺点是转换一个采样值需要 N 个时钟周期，但是在延迟 NT 后每个时钟周期都可以完成一次转换。任何一级的输出电压都可表示为输入电压和基准电压的函数。将式（10.7-6）的每一级的输出-输入电压表达式合并，得：

$$V_4 = 2^4 \cdot V_{in} - (2^3 \cdot b_0 + 2^2 \cdot b_2 + 2^1 \cdot b_2 + 2^0 \cdot b_3)V_{REF} \qquad (10.7\text{-}8)$$

通常，我们可以将第 N 级输出电压写为：

$$V_N = \prod_{N}^{i=1} A_i V_{in} - \left[\sum_{i=1}^{N-1}\left(\prod_{j=i+1}^{N} A_j\right) b_{i-1} + b_{N-1}\right] V_{REF} \qquad (10.7\text{-}9)$$

其中，$A_i(A_j)$是第 i (j)级实际增益的 2 倍。

流水式运算 ADC 的精度取决于图 10.7-10 的电压传输特性曲线所能达到的程度，可能出现的误差包括增益误差和失调误差。增益误差来源于乘法操作，例如与图 10.7-9 中求和节点相关的常数。失调误差来源于比较器或求和节点可能出现一个与输入信号幅度无关的固定偏移。我们将式（10.7-6）和式（10.7-7）改写为包含这些误差的形式，即：

$$V_i = A_i V_{i-1} + V_{OSi} - b_i A_{si} V_{REF} \qquad (10.7\text{-}10)$$

和

$$b_i = \begin{cases} = +1 \text{ 若 } V_{i-1} > V_{OCi} \\ = -1 \text{ 若 } V_{i-1} < V_{OCi} \end{cases} \qquad (10.7\text{-}11)$$

其中，A_i是第 i 级对“2”的增益，V_{OSi} 是第 i 级的系统失调误差，A_{si}是求和器对“1”的增益，V_{OCi}是比较器失调电压。不过，因为 V_{REF}是常数，求和器增益误差可以并入系统失调误差中。图 10.7-12 显示了这些误差。图 10.7-12（a）显示了由于 2(A_i)增益引起的第 i 级的误差。可以看出，随着输入增大，误差会增大。图 10.7-12（b）显示了系统失调误差的影响，它等于图 10.7-9 中特性曲线的纵向平移。最后，图 10.7-12（c）显示了比较器失调的影响。正如我们从图 10.7-11 中所看到的，这些误差与 V_{in}的值有关，所以它们对流水式运算 ADC 的影响很复杂。

下面讨论如何用式（10.7-8）给出的 4 位的例子来进行误差分析。我们将分析用 A_i 表示的 2 倍乘法器的精度要求。假设第 1 级的倍增因数为 $A_1 = 2 + \Delta A_1$，其他每级都相同。实际的 V_4' 与理想的 V_4 之差可以表示为：

$$|V_4' - V_4| = 2^3 \cdot \Delta A_1 V_{in} \qquad (10.7\text{-}12)$$

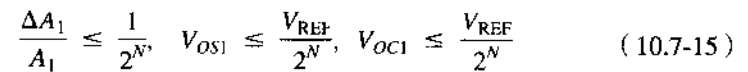
如果 $|V'_4 - V_4|$ 大于 V_{REF}，则第 4 级的输出会出现误差。在此情况下，第 4 位是错误的。我们可以将此表示为：

$$\Delta A_1 \le \frac{V_{REF}}{2^3 V_{in}} \qquad (10.7\text{-}13)$$

当 $V_{in} = V_{REF}$ 时，ΔA_1 有最小值，可得：

$$\frac{\Delta A_1}{A_1} \le \frac{1}{2^4} \qquad (10.7\text{-}14)$$

由此可以看出，A_2 的容差是 A_1 的 2 倍，后面依次类推。最后一级增益的容差为 1/2。因此，我们发现第一级容差最小，最后一级最大。这一趋势在系统失调误差和比较器误差中也成立。一般而言，流水式运算 ADC 的第一级必须满足下面的限制条件。V_{in} 的值对这些关系式有很大影响。



$$\frac{\Delta A_1}{A_1} \le \frac{1}{2^N},\quad V_{OS1} \le \frac{V_{REF}}{2^N},\quad V_{OC1} \le \frac{V_{REF}}{2^N} \qquad (10.7\text{-}15)$$

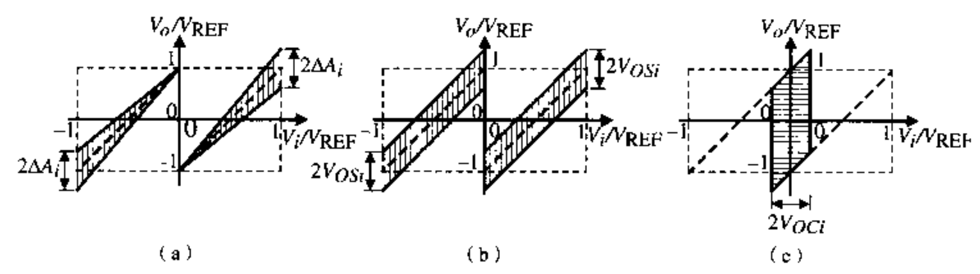


图 10.7-12　（a）增益误差 A_i；（b）系统失调误差 V_{OSi}；（c）比较器失调误差 V_{OCi}

例 10.7-2　5 位流水式运算 ADC 的精度要求

如果流水式运算 ADC 的 $V_{in} = V_{REF}$，第一级增益为 1.875，则由式（10.7-14）可知其第 5 位将出现错误。将 V_{in} 值改为 0.65 V_{REF} 和 0.22 V_{REF} 重复这个例题，分析 V_{in} 对结果的影响。

解：

由于 $V_{in} = V_{REF}$，我们可得表 10.7-2 所列的结果。第 5 级的输入为 0 V，这意味着该位不确定。如果 A_1 略小于 1.875，则第 5 位为 0，这是错误的。这些结果的得出是假设除第一级外，其余各级均是理想的。

表 10.7-2　$V_{in} = V_{REF}$ 时 5 位流水式运算 ADC 的性能

i	$V_i(A_1 = 2.0)$	第 i 位$(A_1 = 2.0)$	$V_i(A_1 = 1.875)$	第 i 位$(A_1 = 1.875)$
1	1	1	1	1
2	1	1	0.875	1
3	1	1	0.750	1
4	1	1	0.500	1
5	1	1	0.000	?

现在，在 $V_{in}=0.65V_{REF}$ 的条件下重复上述过程。结果列于表 10.7-3 中。可以看到现在误差出现在第 4 位。

表 10.7-3 $V_{in}=0.65V_{REF}$ 时 5 位流水式运算 ADC 的性能

i	$V_i(A_1=2.0)$	第 i 位($A_1=2.0$)	$V_i(A_1=1.875)$	第 i 位($A_1=1.875$)
1	+0.65	1	0.65	1
2	+0.30	1	0.21875	1
3	−0.40	0	−0.5625	0
4	+0.20	1	−0.1250	0
5	−0.60	0	0.7500	1

接着，令 $V_{in}=0.22V_{REF}$ 重复上述过程，结果见表 10.7-4。可以看到此时没有出现误差。

表 10.7-4 $V_{in}=0.22V_{REF}$ 时 5 位流水式运算 ADC 的性能

i	$V_i(A_1=2.0)$	第 i 位($A_1=2.0$)	$V_i(A_1=1.875)$	第 i 位($A_1=1.875$)
1	+0.22	1	0.20	1
2	−0.56	0	−0.5875	0
3	−0.12	0	−0.1750	0
4	+0.76	1	0.6500	1
5	+0.52	1	0.3000	1

我们注意到：当 $A_1=1.875$ 时，在 $V_{in}=0.65V_{REF}$ 时 5 位流水式运算 ADC 会出现误差，而 $V_{in}=0.22V_{REF}$ 时则没有。由此验证了输入电压对流水式运算 ADC 精度的影响。由图 10.7-11 可以清楚地看出这种差异的原因。当输入为 $0.65V_{REF}$ 时，第 4 级（最陡峭的斜率）近似为 0 V。任何误差都可能引发问题。当输入为 $0.22V_{REF}$ 时，第 4 级为 0.65 V 的归一化电压，对误差不太敏感。由此可知，V_{in}/V_{REF} 最稳定的值应该接近−1、0 和 1。

迭代运算 ADC

采用类似于对流水式运算 DAC 的处理方法，图10.7-9的迭代简化也可应用于 ADC。第 i 级模拟输出可以表示为：

$$V_{oi}=[2V_{o,i-1}-b_iV_{REF}]z^{-1} \tag{10.7-16}$$

这里，若第 i 位为 1，则 b_i 为+1；若第 i 位为 0，则 b_i 为−1。此等式可用图 10.7-13（a）中的电路来实现。然后加上转换开始时对模拟输入电压进行采样的功能，如图10.7-13（b）所示[16]。在这个电路中，为了简化，用地代替了$-V_{REF}$。这种迭代运算形式的 ADC 包括一个采样保持电路、一个增益为 2 的放大器、一个比较器和一个参考比较电路。

转换操作包括首先将开关 $S1$ 连到V_{in}^*对输入信号进行采样，接着将V_{in}^*送到增益为 2 的放大器中。为了从输入信号中提取数字信息，将 V_a 表示的合成信号与基准电压相比较。如果 V_a 大于 V_{REF}，则对应位置 1，并且在 V_a 中减去基准电压；如果 V_a 小于 V_{REF}，对应位置 0，V_a 不变。然后标记为 V_b 的合成信号被 $S1$ 传送回模拟回路进行另一次迭代。这个过程持续进行，直至得到所需位数，于是，就产生了一个新的输入信号采样值。码字以串行方式产生，第一位是 MSB。下面举例说明这个过程。

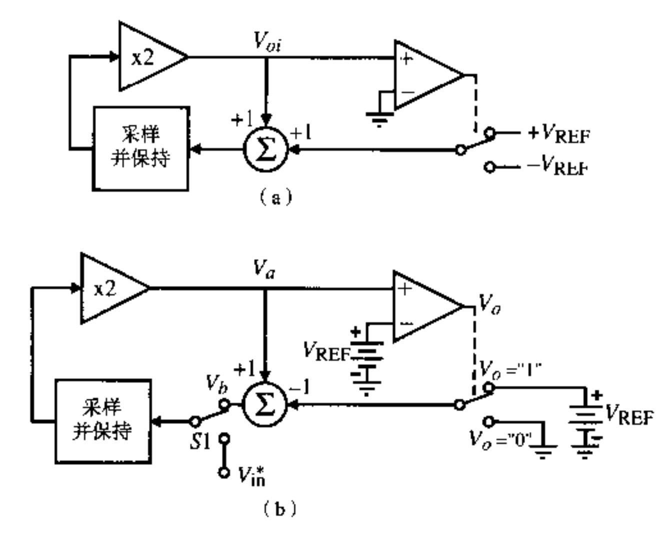


图 10.7-13　(a) 式 (10.7-16) 的实现；(b) 迭代运算 ADC 的实现

例 10.7-3　迭代运算 ADC 的转换过程

用图10.7-13 (b) 中的迭代运算 ADC 转换 $0.8V_{REF}$ 的模拟信号。图10.7-14给出了过程中 V_a 和 V_b 的波形图。T 是一个迭代周期。

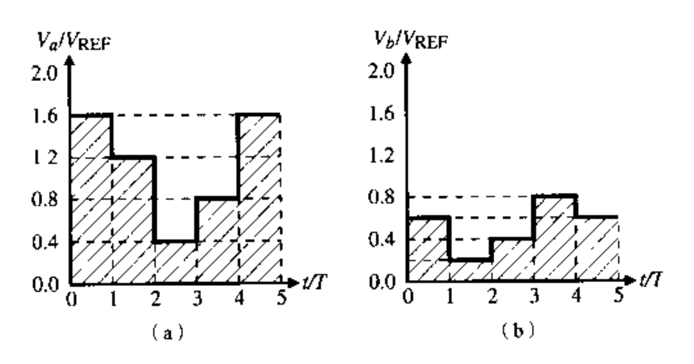


图 10.7-14　例 10.7-3 的波形。(a) 图 10.7-13(b)中的 V_a；(b) 图 10.7-13(b)中的 V_b

解：

第 1 次迭代，$0.8V_{REF}$ 的模拟输入由开关 $S1$ 输入，得到 V_a 的值为 $1.6V_{REF}$，对应的 V_b 的值为 $0.6V_{REF}$，则 MSB 为 1。第 2 次迭代，V_b 乘 2 得 $1.2V_{REF}$ 并反馈给 V_a。因此，下一位仍是 1，且 V_b 为 $0.2V_{REF}$。第 3 次迭代 V_a 为 $0.4V_{REF}$，因此下一位为 0，V_b 为 $0.4V_{REF}$。第 4 次迭代 V_a 为 $0.8V_{REF}$，得 $V_b=0.8V_{REF}$，第 4 位为 0。第 5 次迭代，$V_a=1.6V_{REF}$，$V_b=0.6V_{REF}$，第 5 位为 1。此进程一直进行到满足要求为止。第 5 次迭代后码字为 11001，等价于 $0.78125V_{REF}$ 的模拟电压。

迭代运算 ADC 比流水式运算 ADC 需要的硬件精度更低，因此在单片技术中它的实现电路的面积效率更高。相对于流水式结构，它的一个显著优点是：由于在迭代中只用到一个放大器，所以增益为 2 的放大器完全相同。因此，只需要一个精密的增益为 2 的放大器。这种 ADC 的误差来源包括运算放大器的低增益、运算放大器和比较器的有限输入失调电压、MOS 开关的电荷注入

以及电容的电压相关性。

一个采用了图 10.7-13（b）方式的 12 位 ADC 的微分非线性和积分非线性分别为 0.019%（0.8*LSB*）和 0.034%（1.5*LSB*），采样率为 4 kHz。当采样率为 8 kHz 时，这些值增加到 0.022%（0.9*LSB*）和 0.081%（3.2*LSB*）[16]。

自校准 ADC

ADC 的分辨率可以用自校准方法进行扩展。这种方法在逐次逼近型 ADC 中很常用，解释如下。自校准在 ADC 的校准周期完成，它可能出现在起始阶段或工作过程中的任一时刻。自校准的目的是确定每一位引起的误差并将这些误差以数字格式储存，当转换过程中指定位被使用时，允许在正常工作中自动纠错。

图 10.7-15 给出了一个采用 *M* 位电荷按比例缩放 DAC 做 *MSB*、*K* 位电压按比例缩放 DAC 做 *LSB* 的逐次逼近型 ADC 的高级原理图。此外，一个 *M*+2 位电压按比例缩放校准 DAC 通过电容 *C* 进行纠错。

校准过程以 *MSB* 开始，将 *MSB* 电容 C_1 连到 V_{REF}，而标记为 $\overline{C_1}$ 的其余电容接地。$\overline{C_1}$ 可写为：

$$\overline{C_1} = C_2 + C_3 + \cdots + C_M + C \tag{10.7-17}$$

图10.7-16（a）显示了校准 C_1 的第一步。图10.7-15中的 *S*1 闭合。此时，自动清零过程使 C_1 两端的电压为 $V_{REF} - V_{OS}$。为简化起见，假设 V_{OS} 为 0。接着，将 *S*1 打开，C_1 被接地，$\overline{C_1}$ 与 V_{REF} 相连。图10.7-16（b）给出了这一步的等效电路。电压 V_{x1} 可表示为：

$$V_{x1} = \left(\frac{\overline{C_1} - C_1}{C_1 + \overline{C_1}}\right) V_{REF} \tag{10.7-18}$$

如果 C_1 等于 $\overline{C_1}$，则 V_{x1} 为零。但是，如果 V_{x1} 不为零，则比较器输出非高即低。根据比较器的输出，校准电路通过校准 DAC 进行纠错直至比较器的输出发生改变。此时，*MSB* 被校准，*MSB* 纠错电压 $V_{\varepsilon 1}$ 以数字方式存入数据寄存器。

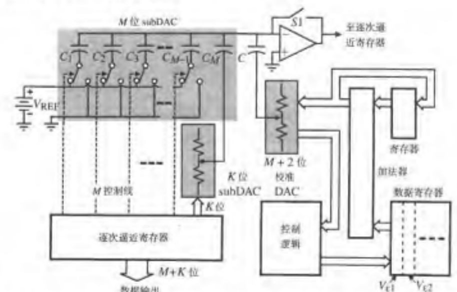


图 10.7-15　采用 *M* 位电荷按比例缩放、*K* 位电压按比例缩放逐次逼近型 ADC 的自校准结构

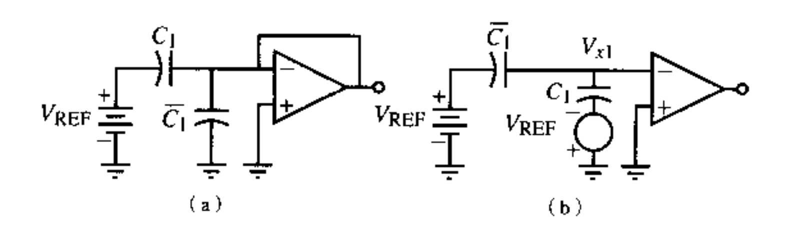


图 10.7-16　（a）C_1 与 V_{REF} 相连；（b）$\overline{C_1}$ 与 V_{REF} 相连

接下来把 C_1 移出阵列，余下的 M 位用同样方式每次校准一位。例如，C_2 与 V_{REF} 相连而 $\overline{C_2}$ 接地，与图 10.7-16（a）所示方式类似，$\overline{C_2}$ 定义为：

$$\overline{C_2} = C_3 + C_4 + \cdots + C_M + C \tag{10.7-19}$$

然后，类似图10.7-16（b），$\overline{C_2}$ 与 V_{REF} 相连，C_2 接地。V_{x2} 由式（10.7-18）给出，只是下标 1 被换为 2。和前面一样，此位的纠错电压以数字方式存入数据寄存器，即 V_{e2}。在 C_2 校准后，C_1 和 C_2 都被移出阵列，继续对 C_3 进行校准。此过程持续到所有的 M 位均被校准。

在后续的正常转换周期，校准逻辑空闲。转换器和普通逐次逼近式转换器一样工作，只是根据校准 DAC 的数字输入码进行了调节，即加上或减去纠错电压。当第 n 位被使用时，相应的数字纠错项被加到从第 1 位到第（$M-1$）位的累积纠错项。如该位判决为 1，则累积结果存入累加器。否则，数字纠错项被丢弃，累加器中仍然留下以前的结果。累加器的内容通过校准 DAC 转换为模拟电压，然后通过电容 C 加到主 DAC 的输出电压上。通过从主 DAC 中减去误差电压 V_{xi}，整个过程精确地消除了电容失配导致的非线性。在一个正常转换周期中惟一的额外工作是做一次 2 的补码加法。注意，本例中 LSB 的子 DAC 并未被校准。

在中速 ADC 中列举了逐次逼近式和运算式 ADC 的例子。逐次逼近式 ADC 是中速 ADC 的非常基本的实现方法。它能够利用前面介绍的任何一种 DAC。如果使用串行 DAC，逐次逼近式转换器的转换时间会增大而所需面积减小。一般而言，中速 ADC 的转换速率介于每秒 10^4~10^5 转换之间。它们未经处理的精度能达到 8~12 位。如果进行调整或者采用自校准，位数可以增加。

10.8　高速模数转换器

在很多应用中，需要比前面介绍的 ADC 更少的转换时间。这导致了高速 ADC 的发展，它采用并行技术以获得较短的转换时间。极限的转换速度是用一个时钟周期，它通常分为建立阶段和转换阶段。一些高速结构在速度和面积之间进行折中，需要不止一个时钟周期，但少于中速 ADC 结构所需的 N 个时钟周期。另一种提高转换器速度的方法是提高各个元件的速度。通常由采样保持电路和/或比较器决定的采样时间限制了速度的提高。本节将分析采用多位/多级数字纠错、折叠和内插方法的并行流水线实现的高速 ADC。

并行或快闪 ADC

最高速的 ADC 是并行或快闪 ADC。图10.8-1 给出了此种转换器的一个例子，它是一个 3 位并行 ADC。如图所示，V_{REF} 被划分为 8 个值。每个值都连到一个比较器的同相端。比较器的输出被送至一个数字编码网络，确定数字输出码。例如，如果 V_{in}^* 为 $0.7V_{REF}$，则上面两个比较器的输出为 1，下面 5 个为 0。数字编码网络识别出 101 为对应的数字码。目前，此类基本的并行 ADC

有多种实现形式。例如，人们可能希望分接头的电压是 $V_{REF}/16$ 的倍数，而分接头之间的差值为 $V_{REF}/8$。同样，电阻串也可连在 $+V_{REF}$ 和 $-V_{REF}$ 之间，以实现双极性转换。

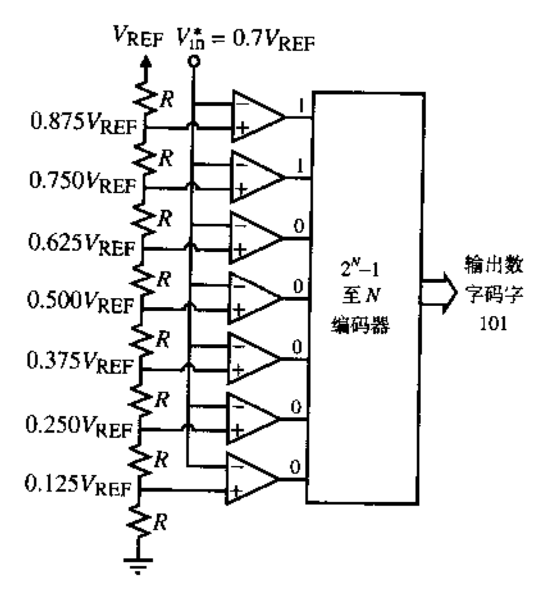


图 10.8-1 3 位并行 ADC

图 10.8-1 中的并行或快闪 ADC 将一个模拟信号转换为码字需要一个时钟周期，它分为两个相位阶段。第一阶段，模拟输入电压被采样并输入到比较器。第二阶段，数字编码网络判定正确的输出码字，并将其存入寄存器/缓存中。因此，转换时间受到事件发生序列快慢程度的限制。通常，采用亚微米 CMOS 工艺时，6 位分辨率的 ADC 采样频率可高达 400 MHz[17, 18]。

并行 ADC 的性能取决于对输入进行无抖动采样的水平。有两种方法被用于并行或快闪 ADC 中。第一种是在输入时进行采样保持。这种方法的缺点是采样保持电路的采样时间可能不够小。第二种方法是使用钟控比较器。这些比较器在第 8 章的高速比较器部分已经讨论过。非常重要的是所有的比较器都要受到时钟的同步控制以避免抖动，这降低了高速时的分辨率。

如果位数等于或超过 6 位，比较器的失调电压会产生严重影响。下面举例说明比较器对快闪 ADC 的影响。

例 10.8-1 比较器失调对 ADC 性能的影响

图 10.8-2 显示了 N 位快闪 ADC 中的两个比较器。比较器 1 和比较器 2 的失调电压分别记为 V_{OS1} 和 V_{OS2}。图中还给出了转换器的部分理想转换函数。问题是：(a) 比较器失调何时会引起误码？用 V_{OS1}、V_{OS2}、N 和 V_{REF} 来表示这个条件；(b) 假设所有失调完全相同，用 V_{OS1} ($=V_{OS2}$)、N 和 V_{REF} 表示 INL 的值；(c) 用 V_{OS1}、V_{OS2}、N 和 V_{REF} 表示 DNL。

解：

(a) 我们注意到：当 $V_{in}(2) > V_{R2} - V_{OS2}$ 时，比较器 1 由 0 变为 1；当 $V_{in}(1) > V_{R1} - V_{OS1}$ 时，比较器 2 由 0 变为 1。如果 $V_{in}(2) < V_{in}(1)$，那么将出现误码，因此，

$$V_{R2} - V_{OS2} < V_{R1} - V_{OS1} \quad \rightarrow \quad V_{R2} - V_{R1} < V_{OS2} - V_{OS1}$$

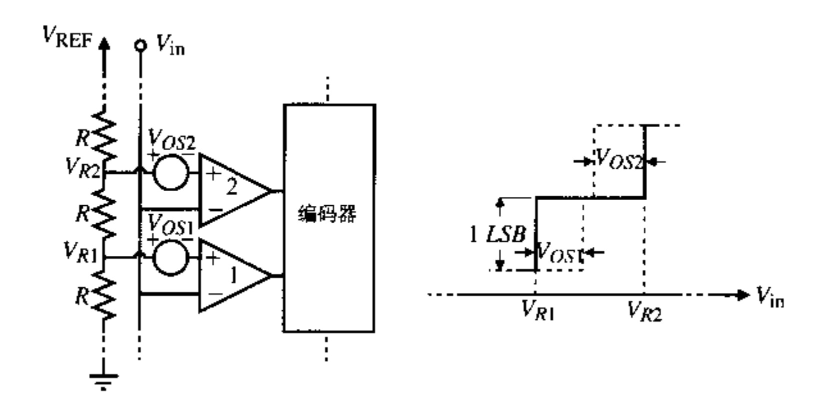


图 10.8-2　例 10.8-1 的快闪 ADC

但是，

$$V_{R2}-V_{R1}=\frac{V_{REF}}{2^N}\rightarrow|V_{OS2}-V_{OS1}|<\frac{V_{REF}}{2^N}$$

（b）如果所有失调都相等并且等于 V_{OS}，可以写出对于每个 V_{Ri} 最坏偏离情况下的 INL 为：

$$INL=\frac{|V_{OS}|}{V_{LSB}}=\frac{|V_{OS}|}{V_{REF}/2^N}=\frac{2^N|V_{OS}|}{V_{REF}}$$

（c）DNL 可以表示为失调偏移之差：

$$DNL=\frac{(V_{R2}-V_{OS2})-(V_{R1}-V_{OS1})-V_{LSB}}{V_{LSB}}=\frac{V_{LSB}-V_{OS2}+V_{OS1}-V_{LSB}}{V_{LSB}}$$

$$=\frac{|V_{OS1}-V_{OS2}|}{V_{LSB}}=\frac{2^N|V_{OS1}-V_{OS2}|}{V_{REF}}$$

并行 ADC 有几个重要的限制因素必须加以考虑：首先，一个 N 位快闪 ADC 需要 2^N-1 个比较器。例如，一个 6 位闪存 ADC 需要 63 个比较器。随着分辨率的提高，并行 ADC 的面积与功耗都成为问题；另一个问题是输入带宽。因为有2^N-1个比较器与输入相连，输入电容变大。由于输入带宽由源电阻和输入电容乘积的倒数确定，输入电容变大就导致模拟输入带宽变小。带宽限制可以通过采样保持电路来解决。如果使用了多个采样保持电路或钟控比较器，就必须注意要避免抖动。由于速度很高，还需要考虑从时钟源到目的地的路由的物理实现。例如，假设在 ADC 上加上一个 200 MHz、峰-峰值为 V_{REF} 的正弦信号，对于 2 V 的基准电压和 6 位 ADC，时钟必须精确到：

$$\Delta t\leq\frac{\Delta V}{\omega V_p}=\frac{V_{REF}/2^{N+1}}{2\pi f(0.5V_{REF})}=\frac{1}{2^7\cdot\pi f}=12.4\text{ ps}\qquad(10.8\text{-}1)$$

考虑到电信号以接近1 μm/ps 的速度通过金属连线，因此必须采用树形路由（在概念上类似图10.7-2 的逐次逼近结构）之类的技术以确保高速 ADC 中的路径长度相同。

例 10.8-2 快闪 ADC 中比较器带宽的限制

一个6位快闪 ADC 的比较器的主极点在 10^3 rad/s 处，直流增益为 10^4、电压变化速度为 3 V/μs，二进制输出电压为 1 V 和 0 V。假设转换时间是比较器由初始状态到最终状态所需时间的一半。如果 $V_{REF}=5$ V，此 ADC 的最大转换速率是多少？假设电阻阶梯是理想的。

解：

对第 i 个比较器的输出电压表达式：

$$V_{out}(s)=\left(\frac{A_o}{(s/10^3)+1}\right)\left(\frac{V_{in}^*-V_{Ri}}{s}\right)$$

进行拉普拉斯逆变换，得到：

$$v_{out}(t)=A_o(1-e^{-10^3t})(V_{in}^*-V_{Ri})$$

最坏情况发生在以下时刻：

$$V_{in}^*-V_{Ri}=0.5\ V_{LSB}=\frac{V_{REF}}{2^7}=\frac{5}{128}$$

$$\therefore\ 0.5\text{ V}=10^4(1-e^{-10^3T})(5/128)\quad\rightarrow\quad\frac{64}{5\cdot10^4}=1-e^{-10^3T}$$

或

$$e^{-10^3T}=1-\frac{64}{50\,000}=0.998\,72\quad\rightarrow\quad T=10^{-3}\ln(1.001\,28)=1.281\ \mu\text{s}$$

$$\text{所以，最大转换率}=\frac{1}{1.281\ \mu\text{s}}=0.781\times10^6\ \text{采样/秒}$$

现在，检验这个答案中转换速率的影响：

$$SR=3\text{ V}/\mu\text{s}\quad\rightarrow\quad\frac{\Delta V}{\Delta T}=3\text{ V}/\mu\text{s}\quad\rightarrow\quad\Delta V=3\text{ V}/\mu\text{s}\,(1.281\ \mu\text{s})=3.84\text{ V}>1\text{ V}$$

因此，电压变化速度不会影响到最大转换速率。

其他的误差来源于电阻串。只要有电流从抽头处流出，ADC 特性曲线上都会产生一个弯曲。消除这种弯曲有两种办法：一是将正确电压加到电阻串的各个点上，或者以增大功耗为代价增加流过电阻串的电流。快闪结构的设计难点是要防止输入共模范围影响比较器。关键是要使电阻串顶部的比较器延时与底部的比较器延时相同。这很难实现，除非采用 $2V_{REF}$ 或更大的电源。但是这种解决办法会减小模拟输入信号的动态范围。

大多数高速比较器存在被称为回扫（kickback）或回闪（flashback）的问题。回扫是在比较器输入端的比较器高速转换时出现的影响。通过在比较器之前使用一个前置放大器或缓冲器，可以将回扫与其他的比较器输入实现隔离。另一个必须解决的问题是比较器输出的不确定性。这种不确定性被称为亚稳定性，它来自于噪声、串扰、带宽限制等。后果是温度计式输出码的过渡区不清晰：不是从全“0”到某一点再到全“1”，而是在“0”和“1”之间振荡。通常，不确定度只存在于比较器转换点附近。有几种方法可以消除不准确度：例如，采用简单的逻辑电路，将相邻比较器的输出作为它们的输入[19, 20]。

内插式 ADC

对并行 ADC 首先进行改进的方法是使用内插法以减少与输入端相连的比较器或放大器的个数。图 10.8-3 给出了一个内插因子为 4 的 3 位内插式 ADC。这里，放大器在中频段是线性的，在两端饱和（类似于一个差分放大器）。注意，放大器的电源是 V_{DD}，假设它大于 V_{REF}。为了简化，图 10.8-4 中的两个放大器的输出是理想化的。注意，比较器都被偏置到相同的阈值电压 V_{th} 上。由于放大器的放大作用且只有一个阈值，比较器非常简单，常常可以用锁存器来代替。

惟一的要求是：每个比较器（锁存器）的阈值电压等距地分布在 0、V_1 和 V_2 之间。这些点在图 10.8-4 中用编号为 1 至 8 的点来表示，这些编号与图 10.8-3 中的比较器相对应，如果这些点不是均匀分布的，就会产生 *INL* 和 *DNL*。内插法使输入端的电容减小，提高了模拟输入信号的带宽并允许使用更简单的比较器。因此，内插式 ADC 的速度应该达到或超过非内插式 ADC 的速度。

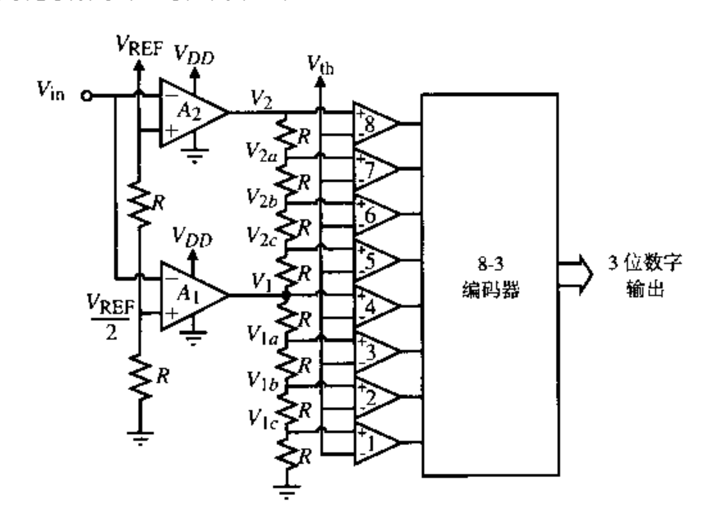


图 10.8-3 内插因数为 4 的 3 位内插式 ADC

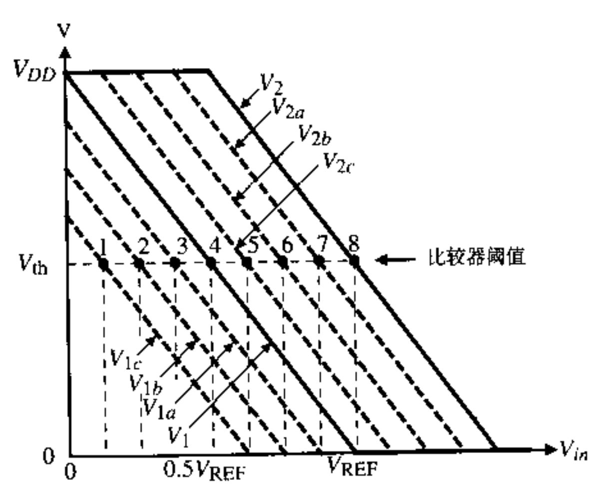


图 10.8-4 图 10.8-3 的内插示意图

内插既可通过电流也可通过电压实现。图 10.8-5 显示了出采用电流镜在电流 I_1 和 I_2 之间实现的内插[21]。这种内插有时被称为有源内插。

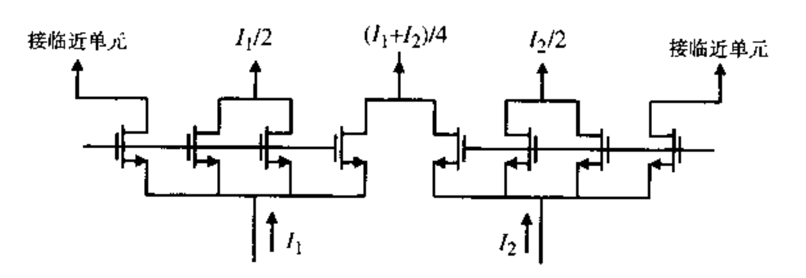


图 10.8-5 使用电流镜的电流（有源）内插法

图 10.8-3 中的电压（无源）内插的问题之一是由于电阻值不同，从放大器输出端到每个比较器的延时可能不同。因为此延时主要源于放大器输出端与比较器输入端之间的串联电阻和比较器的输入电容，通过在某些比较器的输入端增加串联电阻可以使延时近似相等，如图 10.8-6 所示。

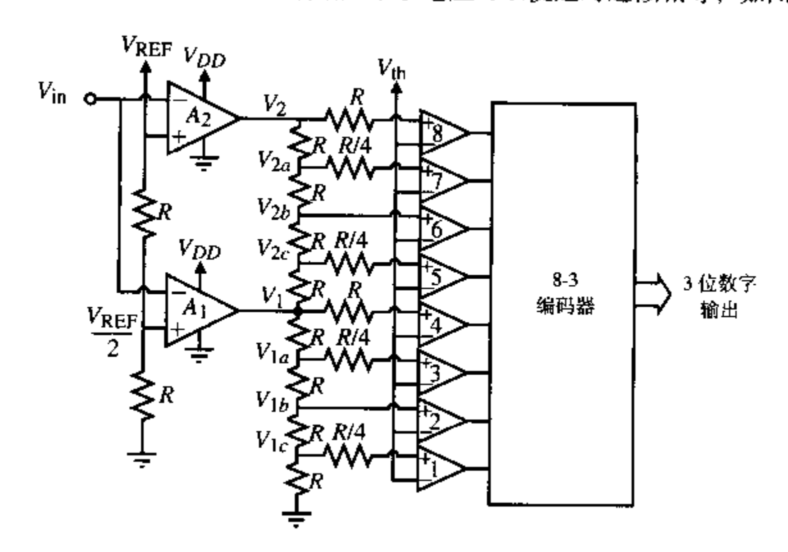


图 10.8-6 比较器延时近似相等的 3 位内插式 ADC

当内插式 ADC 的输入信号是正弦信号时会出现一个问题。两个信号 V_1 和 V_2 被用于内插信号 V_{2a}、V_{2b} 和 V_{2c}。可以看出当中间的内插信号 V_{2b} 没有误差，而信号 V_{2a} 和 V_{2c} 有 0.45°的相位误差时，结果会导致大约 1%的相对相位误差。这个相位误差会增加 *INL*。采用一个两级内插网络可以使放大器输出之间的差别减到最小，从而得到更好的结果[22]。内插式 ADC 的分辨率受到内插精度的限制。最大采样率取决于相干路径延时的平均值。当采样率接近最大值时，分辨率将减小。目前的 CMOS 内插式 ADC 在采样率较低时可以达到 8 位分辨率，而达到100 MHz 的最高采样率时分辨率约为 6 位[19]。

折叠式 ADC

折叠式（Folding）ADC 的比较器数目小于典型并行快闪 ADC 的 2^N-1。图 10.8-7 给出了折叠式 ADC 的结构。输入被分为两条并行路径。第一条路径是一个粗量化器，将输入信号量化为 2^{N1} 个值。第二条路径对获取的输入通过一个折叠电路进行预处理，将2^{N1} 个子区间全部映射到一个子区间上，然后将此模拟信号送到一个有 2^{N2} 个子区间的细量化器中。比较器的总数为 $2^{N1}-1$ 加 $2^{N2}-1$，

而具有同等分辨率的并行 ADC 需要 $2^{N1+N2}-1$ 个比较器。换言之，如果 $N1 = 2$，$N2 = 4$，折叠式 ADC 需要 18 个比较器，而 6 位并行 ADC 需要 63 个比较器。

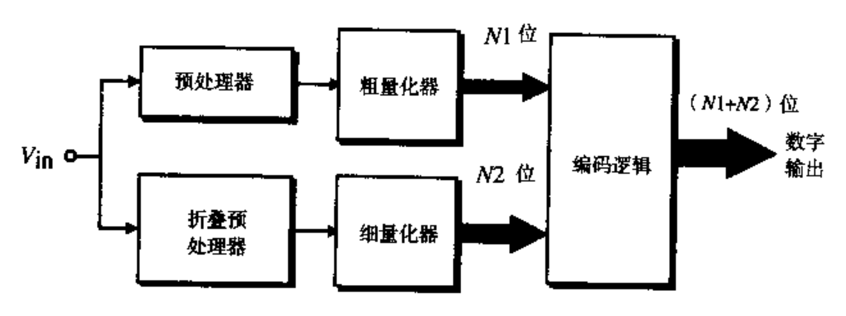


图 10.8-7　折叠式 ADC 的结构

图10.8-8解释了折叠过程。折叠将整个尺度范围划分为 F 个子区间，这里 $F = 2^{N1}$，$N1$ 是整数。每个子区间都映射到同一个子区间中。一个$N2$ 位的细量化器在此区间确定适当精确的位。所有过程同时或并行进行，因此转换过程只需要一个时钟周期。后面我们将看到，使用这一技术在第二个时钟周期进行细量化时将构成两级 ADC，它的转换过程需要两个时钟周期。

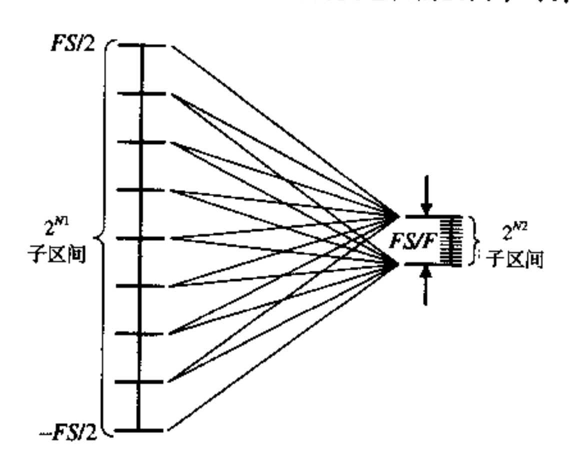


图 10.8-8　折叠过程示意图

图 10.8-9 给出了一个 $F = 4$（$N1 = 2$）和 $N2 = 3$ 的折叠预处理器。输入输出特性曲线显示了预处理器的模拟输出与折叠和未折叠的模拟输入之间的函数关系。可以看到，在折叠的情况下，整个输入范围被映射到一个从 0~$0.25V_{REF}$ 的子区间。折叠式 ADC 的优点是功耗和面积都小于并行或快闪 ADC。假设细量化器和粗量化器都采用快闪 ADC，则它与快闪 ADC 具有相同的转换速度。折叠式 ADC 的缺点是：因为没有采样保持，折叠输出的带宽是模拟输入带宽的 F 倍。

图 10.8-9 给出的折叠特性曲线存在两个严重问题：首先，在特性曲线的 $V_{in} = 0.25V_{REF}$、$0.5V_{REF}$ 和 $0.75V_{REF}$ 处出现了严重的不连续性；其次，细量化器需要工作在 0~$0.25V_{REF}$ 的电压范围内。第一个问题可以通过采用图10.8-10（a）的折叠曲线来缓解；第二个问题可以通过采用多个折叠器在幅度上进行适当的平移来消除，如图10.8-10（b）所示。注意，在这种情况下，需要一个简单的量化器（即一个比较器），其阈值可以是中间值。

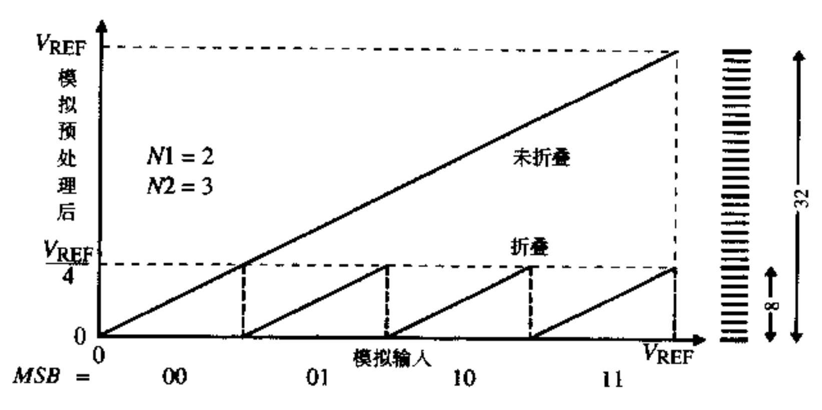


图 10.8-9　N1 = 2、N2 = 3 时的折叠特性曲线

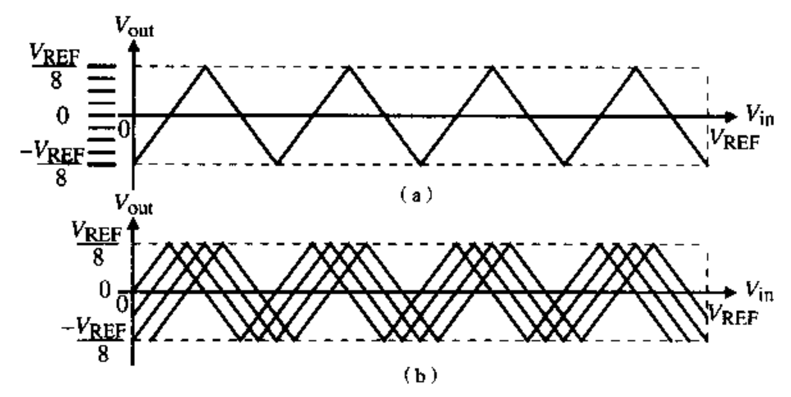


图 10.8-10　（a）消除了不连续问题的折叠器；（b）可使用单值量化器（比较器）的多重折叠器

图 10.8-11 给出了一个采用一位量化器的折叠器，N1 = 2，N2 = 3。我们看到，对于这种 5 位 ADC 需要 11 个比较器，而快闪 ADC 则需要31个比较器。重要的是，和内插式 ADC 一样，所有的量化器阈值电压的交叉点[图10.8-10（b）中为零的点]必须是等间隔的。折叠器后面可以采用内插方法来进一步减少比较器的数目或简化设计。这种 ADC 被称为折叠内插式 ADC[21, 23, 24]。

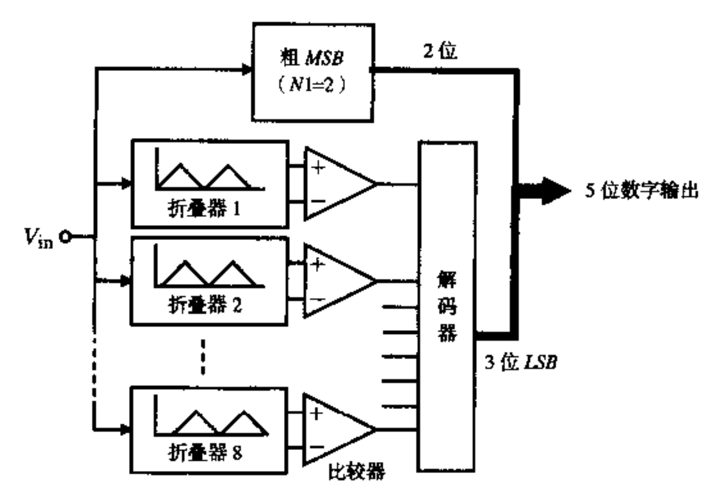


图 10.8-11　使用 1 位量化器（比较器）的 5 位折叠式 ADC

折叠电路可以很容易地采用并联差分放大器来实现。图10.8-12 给出了一种典型的折叠器及其

折叠特性曲线。注意，理想的三角波是无法实现的，但是如果采用单一的幅值作为门限点，如图10.8-10（b）中那样，这就不重要了。差分放大器的数目和输出的连接方式将决定折叠特性曲线的开始和结束。在图10.8-12 中，采用一个 $I/2$ 的电流漏作为特性曲线的开始和结束点。假设有偶数个差分放大器，负的最小输出电压为$-0.5IR_L$。图10.8-12中折叠特性曲线的水平平移可以通过调整 V_{REF} 与地之间电阻串中最顶端和最底部的电阻来实现，如图中阴影部分的折叠特性曲线所示。

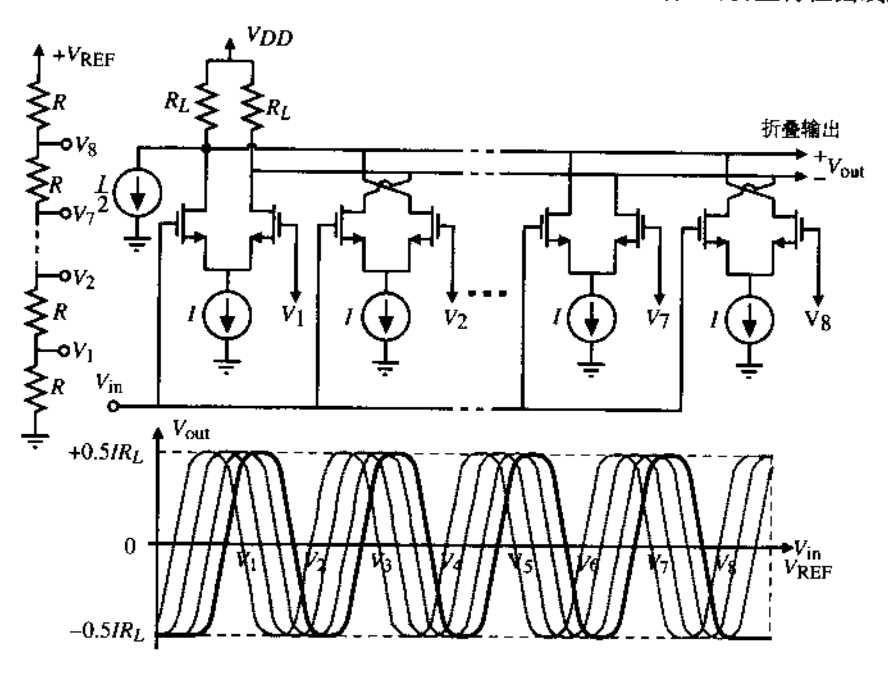


图 10.8-12　4 次折叠器的实现

折叠内插式 ADC 结构是现有 ADC 结构中能以很高速度提供最大分辨率的结构。折叠和内插的结合对于分辨率在 8 位左右、最大采样速率为 100~400 MHz 的 CMOS ADC 的实现非常有用。这些 ADC 不存在诸如粗、细量化器输出的同步失调和需要采用高速采样保持电路以减轻对最大频率带宽的要求之类的问题。在没有采样保持的情况下，折叠电路类似一个幅度与频率相关的乘法器。如果有采样保持，折叠电路的所有输入同时到达，ADC 的带宽受到采样保持电路的带宽和折叠内插预处理电路的建立时间的限制。也可以使用多个分散的采样保持电路，从而减小对每个采样保持电路的动态范围的要求。

多位流水式 ADC

内插式和折叠式 ADC 的优势是能在一个时钟周期内完成转换。但是，若愿意用多个时钟周期进行转换，那么每级使用多位的流水式 ADC 的方法就很有用。图 10.8-13 给出了一个每级 K 位流水式 ADC 的第 i 级电路结构。注意，这级的输入电压 V_{i-1} 被采样保持然后经过一个 K 位 ADC-DAC 处理。K 位 ADC 的输出是该级被转换的位。从输入中减去 K 位 DAC 的输出，形成所谓的剩余电压。剩余电压被放大 2^K 倍后供下一级使用。

图10.8-14 给出了采用图10.8-13所示电路构成的多位流水式 ADC 的工作过程。这个例子是一个每级3位的3级 ADC。假设此例中已转换的数字输出码是 011111001。注意，这个9位 ADC 只需要 21 个比较器，转换过程需 3 个时钟周期，同时还需要两个增益为 8 的放大器。

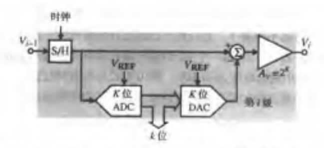


图 10.8-13 带有剩余放大、每级 K 位流水式 ADC 的第 i 级电路

采用剩余放大的多位流水式 ADC 的缺点之一是放大器的带宽限制。假设图 10.8-14 中的 ADC 使用的运算放大器的单位增益带宽为 50 MHz，则−3 dB 频率约为 6 MHz。这个缺点可以通过使用 10.3 节中的子区间概念来避免。假设这级有 K 位，将 DAC 的基准电压除以 2^K 而不是放大剩余电压。这个方法可以通过图10.8-15 中模拟输入为 $0.4V_{REF}$ 的两级 2 位流水式 ADC 得到解释。注意，第 2 级比较器的分辨率减小了 2^K 倍。幸运的是，这可以通过每增加一级就将流水式结构后面几级的容差减小 2^K 倍来补偿。

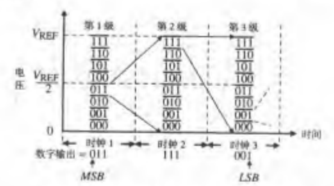


图 10.8-14 3 位 3 级流水式 ADC 的工作过程示意图

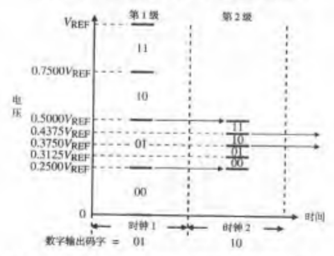


图 10.8-15 一个 2 级、每级 2 位的流水式 ADC 的子区间化过程图解，数字输出码字为 0110

图10.8-13 中的 ADC 和 DAC 的实现比开始看上去的更简单。如果使用快闪或并行 ADC，在比较器输出端增加一个简单的逻辑电路就很容易实现 DAC。图10.8-16 给出了直接实现的方法。2 输入异或门位于连续的比较器输出之间。当两个比较器的输出不同时，异或门输出逻辑“1”。这个逻辑“1”用来将一个开关或传输门连到两个比较器之间的电阻串抽头上，因而可以得到采用与 ADC 同比例的电路重建的模拟输出。如果在温度计码过渡点出现误差，这种方法会出错，这时需要使用检测和纠错电路。但是如果每级的位数较小，错误未必会发生。

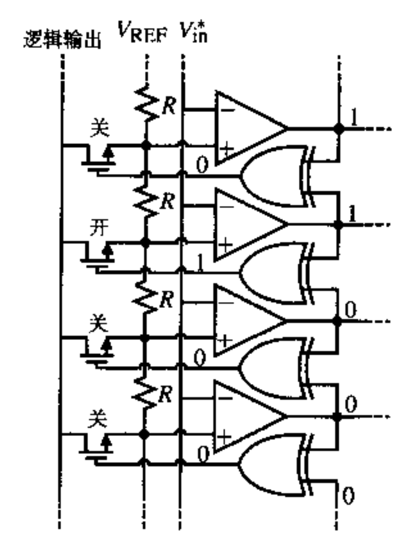


图 10.8-16　流水式 DAC 的实现

多位流水式 ADC 很好地协调了面积与速度之间的矛盾。这类 ADC 通常能达到 10 位精度下每秒 40 M 采样[25]和 14 位精度下每秒 10 M 采样[26]。虽然大多数多位流水式结构使用的 ADC 是快闪或并行的，然而如果速度不是很重要，也可以采用其他类型。

例 10.8-3　一个 2 级、每级 2 位的流水式 ADC 子区间化的误差分析

图 10.8-17 所示的 2 级、每级 2 位的流水式 ADC 是理想的。但是第 2 级 V_{REF} 除以 2 而非 4，求这个 ADC 的±*INL* 和±*DNL*。

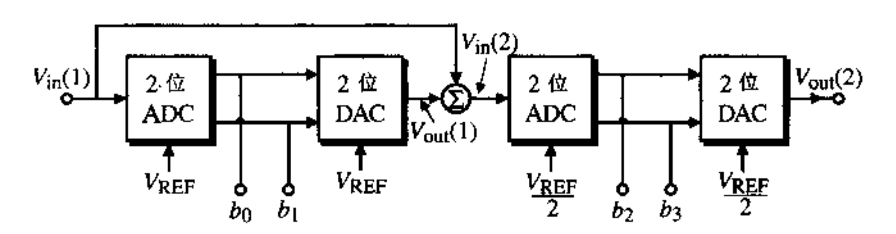


图 10.8-17　例 10.8-3 中的流水式 ADC

解：

第 1 级的分析显示它的输出 $V_{out}(1)$在下列输入时改变：

$$\frac{V_{in}(1)}{V_{REF}}=\frac{1}{4},\frac{2}{4},\frac{3}{4},\frac{4}{4}$$

第 1 级输出为：

$$\frac{V_{out}(1)}{V_{REF}}=\frac{b_0}{2}+\frac{b_1}{4}$$

第 2 级在下列输入时改变：

$$\frac{V_{in}(2)}{V_{REF}}=\frac{1}{8},\frac{2}{8},\frac{3}{8},\frac{4}{8}$$

这里：

$$V_{in}(2)=V_{in}(1)-V_{out}(1)$$

上述关系式得到的信息列于表10.8-1中。

表10.8-1　例10.8-3中的输出码字

$\frac{V_{in}(1)}{V_{REF}}$	b_0	b_1	$\frac{V_{out}(1)}{V_{REF}}$	$\frac{V_{in}(2)}{V_{REF}}$	b_2	b_3	理想输出码字 b_0	b_1	b_2	b_3
0	0	0	0	0	0	0	0	0	0	0
1/16	0	0	0	1/16	0	0	0	0	0	1
2/16	0	0	0	2/16	0	1	0	0	1	0
3/16	0	0	0	3/16	0	1	0	0	1	1
4/16	0	1	4/16	0	0	0	0	1	0	0
5/16	0	1	4/16	1/16	0	0	0	1	0	1
6/16	0	1	4/16	2/16	0	1	0	1	1	0
7/16	0	1	4/16	3/16	0	1	0	1	1	1
8/16	1	0	8/16	0	0	0	1	0	0	0
9/16	1	0	8/16	1/16	0	0	1	0	0	1
10/16	1	0	8/16	2/16	0	1	1	0	1	0
11/16	1	0	8/16	3/16	0	1	1	0	1	1
12/16	1	1	12/16	0	0	0	1	1	0	0
13/16	1	1	12/16	1/16	0	0	1	1	0	1
14/16	1	1	12/16	2/16	0	1	1	1	1	0
15/16	1	1	12/16	3/16	0	1	1	1	1	1

比较实际输出码字和理想输出码字可以得到以下结果：

$+INL=2LSB$，$-INL=0LSB$

$+DNL=(1000-0101)-1LSB=+2LSB$

$-DNL=(0101-0100)-1LSB=0LSB$

例10.8-4　一个2级、每级2位流水式ADC对放大器的精度要求

图10.8-18给出了一个由两个2位级构成的4位ADC。假设2位ADC和2位DAC是理想的，同时假设$V_{REF}=1$ V，比例因子k的理想值为4。求不会在4位ADC中引起误差的k的最大值和最小值。用正的和负的百分比表示k的容差。

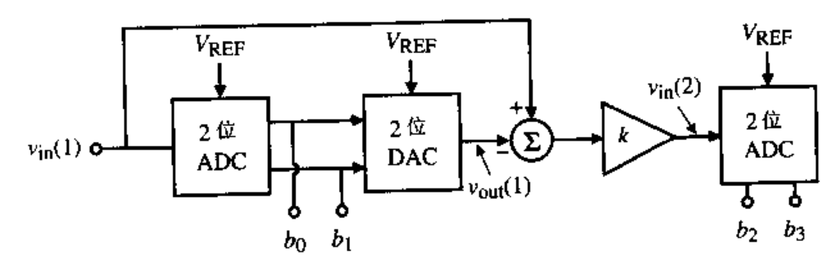


图10.8-18　例10.8-4中的2级、每级2位ADC

解：

第二个 ADC 的输入是：

$$v_{in}(2) = k\left[v_{in}(1) - \left(\frac{b_0}{2} + \frac{b_1}{4}\right)\right]$$

如果将该电压在 $k = 4$ 时记为 $v'_{in}(2)$，则 $v_{in}(2)$和 $v'_{in}(2)$之差必须小于±1/8，否则 *LSB* 将产生误差。

因此，

$$|v_{in}(2) - v'_{in}(2)| = \left|k\ v_{in}(1) - k\left(\frac{b_0}{2} + \frac{b_1}{4}\right) - 4\ v_{in}(1) + 4\left(\frac{b_0}{2} + \frac{b_1}{4}\right)\right| \le \frac{1}{8}$$

如果 $k = 4 + \Delta k$，那么，

$$\left|4\ v_{in}(1) + \Delta k\ v_{in}(1) - 4\left(\frac{b_0}{2} + \frac{b_1}{4}\right) - \Delta k\left(\frac{b_0}{2} + \frac{b_1}{4}\right) - 4\ v_{in}(1) + 4\left(\frac{b_0}{2} + \frac{b_1}{4}\right)\right| \le \frac{1}{8}$$

或

$$\Delta k\left|v_{in}(1) - \left(\frac{b_0}{2} + \frac{b_1}{4}\right)\right| \le \frac{1}{8}$$

对于 $v_{in}(1)$在 0~V_{REF} 间的任意值，$|v_{in}(1) - (b_0/2 + b_1/4)|$ 的最大值是 1/4。

因此，

$$\frac{\Delta k}{4} \le \frac{1}{8} \quad \Rightarrow \quad \Delta k \le \frac{1}{2}$$

k 的容差范围是：

$$\frac{\Delta k}{k} = \frac{\pm 1}{2 \cdot 4} = \frac{\pm 1}{8} \quad \Rightarrow \quad \pm 12.5\%$$

数字纠错

多位流水式 ADC 结构提供一种非常有用的纠错技术，称为数字纠错（Digital Error Correction）。在数字纠错中，比较器的误差可通过增加第 1 级后每级的位数来消除，并使用该位确定这级的转换是否正确。我们来分析一下在图 10.8-15 中共含 2 级、每级 2 位的流水式 ADC 的转换过程中怎样可能引起一个错误。假设此 ADC 的模拟输入电压是 $0.4V_{REF}$。这个每级 2 位的 2 级 ADC 的正确码字应该是 0110。第 1 级的比较器应选择从 $0.25V_{REF}$ 到 $0.50V_{REF}$ 的子区间，给出前 2 位为 01。然而，假设比较器的失调非常大，它选择了上面或下面的子区间，图 10.8-19（a）显示了如果选择了上面的子区间会出现什么情况。第 2 级将转换后两位为 00，得到的输出是 1000 而不是 0110。

图 10.8-19（b）显示了在图 10.8-15 的第 2 级中增加的附加位怎样纠正图 10.8-19（a）中的误差。尽管第2级现在有 3 位，我们仍然将 V_{REF} 除以 4。结果如图 10.8-19（b）所示。注意，尽管第 1 级比较器选择了10，第 2 级仍能恢复。通常这些位是向下排列的，所以 00、01、10、11 对应被选的子区间。如果第2级选择了这些值中的一个，则不需要纠错。但是如果值为负数、100 或 101，前 2 位的选择必须加以纠正。纠错可在流水式 ADC 的所有级转换完成后进行，或每级转换后进行。数字纠错的结果是极大地降低了对多位流水式 ADC 中比较器失调电压的要求。其他不同的数字纠错的实现方法可以参见参考文献[27, 28]。

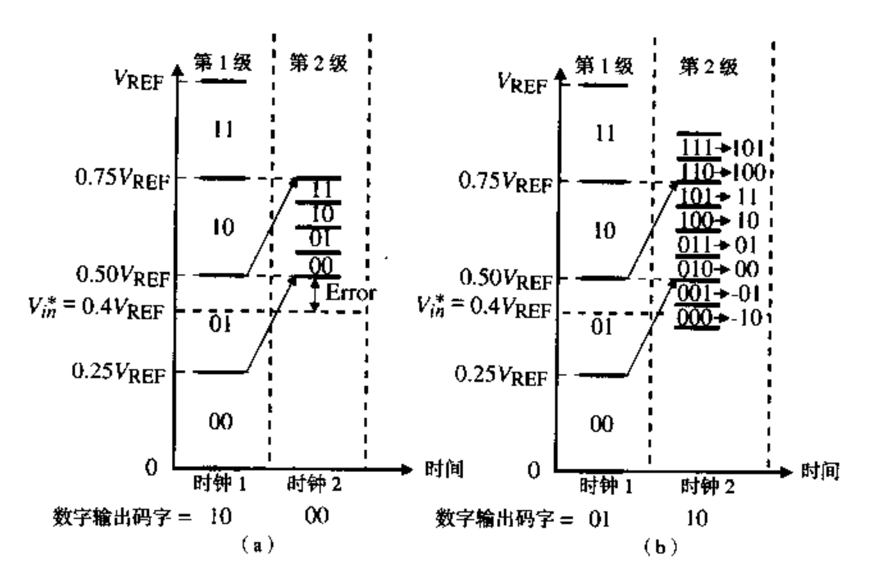


图 10.8-19 (a)图 10.8-15 中由第 1 级比较器错误引起的误码；
(b)图 10.8-15 中使用附加位进行数字纠错的示意图

时间交叉存取 ADC

获得更小的系统转换次数的方法之一是并行地使用更慢的 ADC。这种方法被称为时间交叉存取 ADC（如图10.8-20所示）。这里，M 个逐次逼近式 ADC 并行使用来完成每个时钟周期对一个模拟信号的 N 位转换。采样保持电路连续采样，并将输入模拟信号加到它们各自的ADC 上。N 个时钟周期以后，ADC 输出一个数字码。如果 $M=N$，则每个周期转换一个码字。如果对并行 ADC 结构和 $M=N$ 的时间交叉存取方法所占的芯片面积加以比较，最小面积很可能在这两个极值之间。

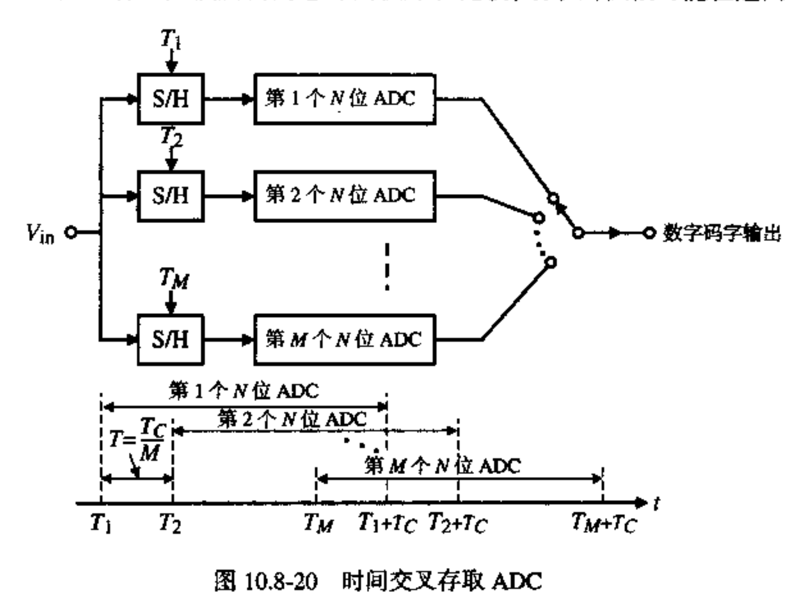


图 10.8-20 时间交叉存取 ADC

本节分析了与 CMOS 工艺兼容的高速 ADC。可达到的最快转换时间是一个时钟周期。对于亚微米 CMOS 工艺，最小转换时间或最大采样频率在每秒 200~600 兆次的采样范围内。遗憾的是，

这些 ADC 的分辨率比较低，在 6~8 位之间。这是在采样速率小于最大采样速率的情况下得到的。通常，在最大采样速率下，分辨率还要减小 1~2 位。

10.9　过采样转换器

本节的开始部分首先简要地介绍过采样 ADC，然后详细讨论一种特殊的过采样 ADC，即ΔΣ ADC。第二部分主要讨论过采样 DAC。在本节末尾将对目前已有的过采样数据转换器进行比较。

ΔΣ ADC

本章迄今为止介绍的 ADC 都是基于对信号幅度直接量化的原理。因为它们的转换速率等于奈奎斯特（奈氏）速率，所以被称为奈氏速率 ADC。虽然奈氏速率 ADC 的速度可以很快，但在目前的数字驱动处理技术中，由于元件匹配和电路的非理想性，它们的分辨率被限制在 10~12 位之间。

本节我们将讨论一种不同类型的 ADC，它不要求严格的元件匹配，因此更适合主流处理方式中的高精度（16 位或更高）实现。过采样和噪声整形（noise shaping）是此类 ADC 采用的两个关键技术。和奈氏速率转换器一样，近几年也出现了几种不同的形式。广义上讲，它们通常都被称为过采样或噪声整形 ADC。过采样 ADC 是基于幅度的精度与时间的精度之间的折中关系[29]。换言之，在奈氏速率转换器中，每个码字来自于对单个输入信号采样的精确量化，与奈氏速率转换器不同，在过采样转换器中，每个输出来自于一系列经过粗量化的输入采样信号。因此，在过采样 ADC 中，采样可以在一个比奈氏速率高得多的速率下完成。采样速率与奈氏速率之比被称为过采样率（over sampling ratio），记为 M。过采样转换器利用目前的 VLSI 技术，目的是提供高速/高密度数字电路而不是精确的模拟电路，因为大部分转换处理是在数字域进行的[30]。与奈氏速率转换器不同，这类转换器的模拟部分相对简单，占用的芯片面积也较小。大部分实现采用开关电容技术。在目前的工艺水平下，过采样 ADC 的过采样率通常在 8~256 之间[29~79]。

图 10.9-1 比较了传统奈氏 ADC 和过采样 ADC 的频谱。加到 ADC 上的信号带宽用有斜线的矩形表示。ADC 的频率上限用 f_B 表示。在图10.9-1（a）中，采样率等于奈氏速率。为了达到最大信号带宽，f_B 要尽可能接近 $0.5f_N$。在图 10.9-1（b）中，奈氏速率远小于采样速率。过采样 ADC 对抗混叠滤波器的要求比奈氏速率转换器更低。原因在于过采样转换器的采样频率比奈氏速率高得多；同时，过渡带从信号带的边缘延伸到最小频带，信号在信号带里的混叠相当宽，过渡很平滑。通常，简单的一阶或二阶模拟滤波器就足以满足宽松的抗混淆要求，而不会在信号带内引起任何相位失真[31]。对于过采样 ADC，采样也不是主要问题。通常不需要专门的 S/H 电路，因为进行量化的电路本身就要进行采样。

过采样 ADC 可以分为 3 个主要类别：直接过采样型、预测型和噪声整形 ADC。直接过采样 ADC 利用了这样一个事实：假设量化噪声均匀地分布于从直流到半采样速率的整个频率范围。这表明采样频率越高，单位频率的量化噪声功率就越低。如果采样速率超过奈氏速率，带外噪声就可以用一个数字滤波器消除，因此总体分辨率可能有所提高。事实上，如果假设量化噪声是均匀分布的白噪声，过采样率每翻一倍分辨率可以提高 0.5 位。例如，采用一个 12 位 10 M/s 采样率的 ADC 和一个数字抽取器，对 20 kHz 的信号可以达到 16 位的分辨率。由此也可明显看出，直接采样型的主要缺点是精度-速度折中后的效率不高。为了提高 4 位分辨率，过采样率必须增加到 256 倍。

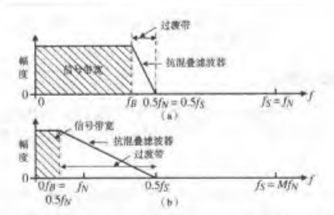


图 10.9-1 （a）传统 ADC，$f_B = 0.5f_N = 0.5f_S$；（b）过采样 ADC，$f_B = 0.5f_N << f_S$

预测型和噪声整形两种 ADC 除了过采样还使用了噪声整形技术，因此精度-速度折中后的效率更高。噪声整形是通过将量化器放入反馈环路中与环路滤波器结合使用来实现的，如图 10.9-2（a）所示。在预测型 ADC 中，环路滤波器位于反馈支路中，如图 10.9-2（b）所示。信号和量化噪声频谱都得到整形。预测型 ADC 的一个典型例子是基于 ADC 的Δ调制器[32]。在噪声整形 ADC 中，环路滤波器被置于前馈支路中。只有量化噪声频谱被整形，而信号频谱保持不变。使用粗量化器的噪声整形 ADC 时有一个专用名词是ΔΣ ADC，即本节的标题。

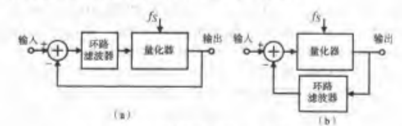


图 10.9-2 （a）噪声整形 ADC；（b）预测型 ADC

ΔΣ调制器

ΔΣ ADC 最早出现于 1962 年[33]，是使用最广泛的过采样 ADC。这是因为，在前面简要提到的 3 种不同的过采样 ADC 中，它是抗电路非理想性的最稳定的 ADC。ΔΣ ADC 在目前大多数字混合系统中占有重要地位，例如模拟电路与强大的数字处理环境之间的接口电路。它们最适于慢速和中速转换，例如检测装置、数字语音和音频应用。但是目前随着处理速度的提高，转换速率也进入了 MHz 范围，而分辨率高达 15 位 [34, 35]。另外，带通ΔΣ ADC 已经开始进入无线通信领域，它可以将载波频率附近的窄带信号直接数字化[36~38]。

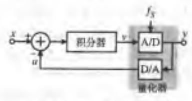


图 10.9-3 一阶ΔΣ调制器结构图

一个ΔΣ ADC 由两个主要部件构成：一个模拟ΔΣ调制器和一个数字抽取器，后者通常占据了大部分 ADC 芯片的面积，且比调制器消耗更多的功率。ΔΣ调制器的工作原理可以通过分析图 10.9-3 所示的一个最简单的一阶ΔΣ调制器来解释。它包括一个积分器和一个位于反馈环路中的粗量化器（通常是一个 2 级量化器）。之所以称为一阶是因为电

路中只有一个积分器，它位于前馈支路中。对于一个2级量化器，图10.9-3中的ADC和DAC简化为一个简单的比较器，分别与调制器的输出和减法器节点直接相连。

当积分器输出为正时，为了使积分器的输出为负，量化器反馈一个正的参考信号并将其从输入信号中减去。同样，当积分器输出为负时，量化器反馈一个负的参考信号并加到输入信号上。因此积分器积累了输入信号和量化输出信号之差，并试图保持积分器输出在零附近。积分器输出为零表明输入信号与量化输出之差为零。事实上，积分器和量化器构成的反馈迫使量化输出的局部平均值跟踪输入信号的局部平均值。图10.9-4给出了输入为正弦波时的调制过程。正弦波幅值为0.9，量化器电平为±1。当输入接近0.9时，调制器输出主要为正脉冲。相反，当输入在–0.9附近时，输出几乎没有正脉冲，主要由负脉冲构成。对于在零附近的输入信号，输出在两个电平之间振荡。输出的局部平均值可用一个抽取器来计算。注意，输入信号范围必须保持在两个量化电平之间。超过这个范围，调制器的输出饱和，从而不能精确地表示输入信号的平均值。图10.9-4也显示，如果计算平均值时包含的采样值越多，输入信号的近似值就越好。

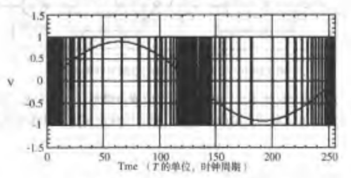


图10.9-4　正弦输入时的一阶调制器的输出

图10.9-5描述了一阶调制器的线性化采样数据等效电路。图中，量化用一个附加的误差q表示，q定义为调制器输出y与量化器输入v之差。假设量化误差的统计特性与输入信号的统计特性无关，它可以被认为是白噪声。具有等间隔Δ的电平的标量量化器产生的噪声是不相关的，在±Δ/2间任何位置出现的概率相等。在这种情况下，功率可以表示为[30, 39]：

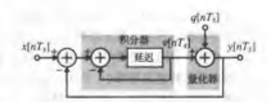


图10.9-5　一阶ΔΣ调制器的采样数据模型

$$S_Q = \frac{1}{\Delta}\int_{\Delta/2}^{-\Delta/2} q^2\,dq = \frac{1}{12}\Delta^2 \tag{10.9-1}$$

因为量化器非常粗略的性质以及调制器输入和量化误差之间存在相关性，量化噪声的均匀分布白噪声模型并不能很好地近似ΔΣ调制器。调制器的实际性能和线性模型预测值之间的差异证明了这点，尤其是在一阶调制器中。然而，这种模型对于更高阶的调制器十分有效，已经证实在设计多级ΔΣ调制器时非常有用。图10.9-5给出的调制器的输入输出关系可以用差分方程来表示：

$$y[nT_s] = x[(n-1)T_s] + q[nT_s] - q[(n-1)T_s] \tag{10.9-2}$$

输出包括调制器延迟后的输入和量化误差的一阶差分。式（10.9-2）的 z 域表达式为：

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})Q(z) \qquad (10.9\text{-}3)$$

其中，$X(z)$、$Y(z)$和 $Q(z)$分别是调制器输入、输出和量化误差的 z 变换。相乘因子 $X(z)$称为信号传输函数(STF)，而 $Q(z)$称为噪声传输函数（NTF）。注意，在上述方程中，z^{-1} 代表一个单位延迟。另一方面，$(1 - z^{-1})$具有高通特性，可将噪声限制在低频段内。

通过在调制器的前馈支路中增加一个积分器，可以将一阶ΔΣ调制器扩展成二阶调制器，如图10.9-6所示。其输出可表示为：

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})^2Q(z) \qquad (10.9\text{-}4)$$

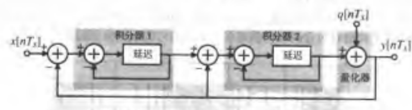


图 10.9-6 二阶ΔΣ调制器的数据采样模型

噪声传输函数$(1 - z^{-1})^2$有两个直流零点，从而产生二阶噪声整形。一般来说，在ΔΣ调制器的前馈支路中插入 L 个积分器就可以得到 L 阶噪声整形。对 L 阶噪声整形，其传输函数可表示为：

$$NTF_Q(z) = (1 - z^{-1})^L \qquad (10.9\text{-}5)$$

在频域里噪声传输函数的幅值可表示为：

$$|NTF_Q(f)| = |1 - e^{-j2\pi fT_s}|^L = (2\sin\pi fT_s)^L \qquad (10.9\text{-}6)$$

图10.9-7绘出了对应于不同阶数调制器式（10.9-6）与频率的函数关系曲线。这里认为调制器后续的数字抽取滤波器（截止频率为 f_b 的矩形低通滤波器）的幅频响应是理想的。抽取滤波器定义了信号带宽，并对通频带外的量化噪声进行衰减。注意，在信号带宽内，量化噪声可以通过调制器的噪声整形特性显著减小。同时，随着调制器阶数和/或过采样速率的提高，落在信号带宽内的量化噪声的比例在减小。在实际应用中，以$(1 - z^{-1})^L$形式表示的具有噪声整形特性的单环调制器在 $L > 2$ 时是不稳定的，除非采用一个 L 位量化器[35, 40]。

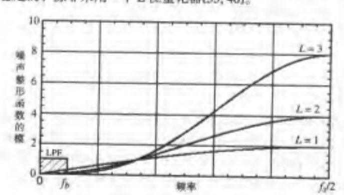


图 10.9-7 噪声整形函数的幅频函数——$(1 - z^{-1})^L$

通过对落在信号带宽内的量化噪声频谱密度进行积分，可以根据调制器阶数和过采样速率来确定ΔΣ调制器的噪声功率。ΔΣ调制器的功率谱密度 $S_E(f)$是噪声传输函数幅值的平方和量化器频谱密度的乘积：

$$S_E(f) = |NTF_Q(f)|^2\frac{|S_Q(f)|}{f_s} \tag{10.9-7}$$

将式（10.9-1）和式（10.9-6）带人上述方程，在$[-f_b, f_b]$区间内，总的信号带噪声功率为：

$$S_B = \frac{1}{f_s}\int_{-f_b}^{f_b}(2\sin\pi f T_s)^{2L}\frac{\Delta^2}{12}df \approx \left(\frac{\pi^{2L}}{2L+1}\right)\left(\frac{1}{M^{2L+1}}\right)\left(\frac{\Delta^2}{12}\right) \tag{10.9-8}$$

上述方程假设 $\sin\pi f T_s$ 在 M >>1 时可以近似为$\pi f T_s$。根据式（10.9-8），量化噪声显然以 M 的 $2L+1$ 次方的速度衰减。

由于ΔΣ调制器的量化过程完全不同，它不能像奈奎斯特速率 ADC 那样用积分非线性和微分非线性来度量这些 ADC 的性能，而可以用信噪比（*SNR*）、动态范围（*DR*）等性能参数来估计有效位数。信噪比定义为信号功率与基带噪声功率的比值。而动态范围是满刻度时的正弦输入信号功率与信噪比为 1 时的正弦输入信号功率之比。动态范围也被称为有用信号范围[41]。对于一个电平间隔为Δ的单位量化器，动态范围可以很容易地由下式给出：

$$DR^2 = \frac{\text{最大信号功率}}{S_B} = \frac{\left(\frac{\Delta}{2\sqrt{2}}\right)^2}{\left(\frac{\pi^{2L}}{2L+1}\right)\left(\frac{1}{M^{2L+1}}\right)\left(\frac{\Delta^2}{12}\right)} = \frac{3}{2}\frac{2L+1}{\pi^{2L}}M^{2L+1} \tag{10.9-9}$$

另一方面，B 位奈奎斯特速率 ADC 的动态范围为：

$$DR^2 = 3\times 2^{2B-1} \tag{10.9-10}$$

如果用分贝（dB）表示动态范围，改写上述等式可以得到一个 ADC 分辨率有效位数的表达式。这个式子是以 *DR* 为单位的动态范围（DR_{dB}）的函数：

$$B = \frac{DR_{\text{dB}} - 1.76}{6.02} \tag{10.9-11}$$

利用式（10.9-9）~式（10.9-11），很容易得到指定分辨率下需要的调制器阶数与过采样速率。例如，对一个分辨率为 16 位的ΔΣ ADC，从式（10.9-10）可以得到需要的动态范围为 98 dB。对于一个二阶调制器，这意味着过采样速率至少为 153。通常，过采样速率选为 2 的幂，因为 256 是大于 153 的最小的 2 的幂，所以采用它作为二阶调制器的过采样速率。若进一步假设需要量化的信号带宽为 20 kHz，时钟信号应为 10.24 MHz。

从式（10.9-9）可以看出动态范围与过采样速率之间的折中关系，因此调制器阶数的提高对过采样速率更有利。对于一个一阶ΔΣ ADC，M 每增加一倍，动态范围增加 9 dB，分辨率增加 1.5 位。另一方面，对于二阶、三阶ΔΣ ADC，相应的动态范围分别增加 15 dB（2.5 位）和 21 dB（3.5 位）。从式（10.9-9）也可看出，调制器阶数从 L 增加到 $L+1$ 引起的动态范围的增大在过采样速率较大时更显著。例如，$M = 16$ 时 L 由 2 增加到 3，动态范围仅增大 16 dB，而当 $M = 256$ 时同样的阶数变化可以增加 40 dB。然而，在许多信号带宽较大的应用中，需要较低的 M 以避免采样速率超过技术上可实现的极限。但是，如果要求的分辨率很高，较小的 M 意味着较大的 L。另一种实现高

速高精度ΔΣ ADC的方法是在调制器环路中采用多位量化器而非一位量化器。可以看出内部量化器每增加一位，动态范围就增加6 dB。对于多位调制器，式（10.9-9）可以采用更通用的形式[42]，即：

$$DR^2 = \frac{3}{2}\frac{2L+1}{\pi^{2L}}M^{2L+1}2^B - 1 \qquad (10.9\text{-}12)$$

其中，B 是调制器内部量化器的位数。

例 10.9-1　ΔΣ ADC 的信号带宽与精度之间的折中关系

求一个16位过采样ADC的最小过采样率 M。它采用（1）1位量化器和二阶环路；（2）2位量化器和三阶环路；（3）3位量化器和二阶环路。

解：

从式（10.9-11）可以看出16位ADC对应的动态范围约为98 dB。（a）由式（10.9-12）解出 M 为：

$$M = \left(\frac{2}{3}\frac{DR^2}{2L+1}\frac{\pi^{2L}}{2^B-1}\right)^{1/(2L+1)}$$

将动态范围转换为79433，带入上式得出最小过采样率 $M = 48.03$，对应的过采样速率为64。（b）和（c）的最小过采样率分别为 $M = 32.53$ 与 96.48。对应的过采样速率分别为32和128。

其他调制器结构

上面给出的简单线性模型表明，对一个 L 阶的1位ΔΣ调制器，通带内的噪声功率可由式（10.9-8）给出，这意味着噪声功率可降至要求的水平以下。方法是只需在图10.9-6所示的调制器的前馈支路上插入更多的积分器和/或提高过采样率。实际上，ΔΣ调制器是一个高度非线性的电路。当环路滤波器中有两个以上的积分器级联时，图10.9-8（a）中的调制器容易变得不稳定。当有大信号激励三阶或更高的调制器时，两级量化器会过载，这意味着增大了量化噪声。然后在调制器的前馈支路上，此量化噪声被放大，导致较大的不受控制的低频振荡[42]。即使调制器无信号输入，积分器的初始条件也可能导致不稳定[43]。

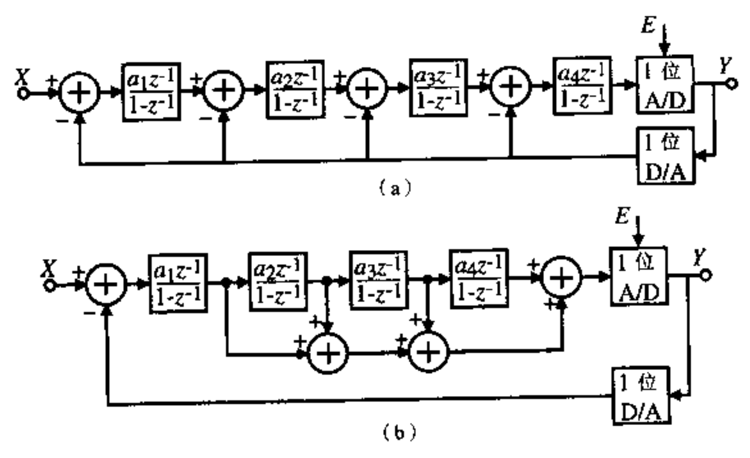


图 10.9-8　（a）四阶分布式反馈调制器；（b）四阶分布式前馈调制器

不过，高阶（$L>2$）单环 1 位ΔΣ调制器可以通过增加一个更基本的环路滤波器来使其稳定，而不需要采用级联积分器和内部反馈支路。在环路滤波器中引入适当的零点可以在一定输入范围内稳定调制器，代价是增加了电路复杂度。在高分辨率和电路复杂度变得重要时[44]，高阶单环滤波器更有吸引力。它的两个主要缺点是实际的动态范围比式（10.9-9）预测的低，并且有潜在的稳定性问题。目前已经提出了稳定高阶单环滤波器的方法[43~48, 59]，几种环路滤波器以及调制器也已设计出来。使用最广泛的高阶调制器是图 10.9-8（b）所示的分布式反馈调制器（DFB）[44, 49~52]和分布式前馈调制器（DFF）[53~58]，但是也有一些不同的调制器结构，例如[48]中介绍的内插式调制器。在文献里已有成功实现的应用于音频的单环七阶ΔΣ调制器[56]（动态范围达到 118 dB）和应用于仪器的单环五阶调制器[54]，分辨率达到 20 位。

另一种实现高阶ΔΣ调制器的方法是将几个低阶调制器进行级联，每一级都处理前一级的量化噪声。在级联调制器（有时称为 MASH 或多级调制器）中，每级的输出进入一个数字纠错逻辑，这样除了最后一级外，所有级的量化噪声都得到消除，剩下一级的量化噪声用噪声传输函数为 $(1-z^{-1})^L$ 的滤波器进行高通滤波，这里 L 是整个ΔΣ调制器的阶数[30]。一种广泛应用的ΔΣ调制器是由三个一阶调制器级联而成[59]。图10.9-9所示的在二阶调制器的后面级联一阶调制器的方法较为常用。因为相对于大部分其他的级联方式，它对电路的非理想性更不敏感[60~64]。四阶级联调制器可由两个二阶调制器级联而成[65~67]，也可由一个二阶调制器后跟两个一阶调制器级联得到[34, 68, 69]。近来又出现了一种用三个二阶调制器级联实现的六阶调制器[70]，级联结构的稳定性有保证，最大输入范围约等于基准电压，可以获得给定过采样速率下的高信噪比。缺点是其性能对第一级调制器的非理想性比较敏感，而且调制器的输出是多位的，这意味着需要更复杂的数字抽取器[30]。

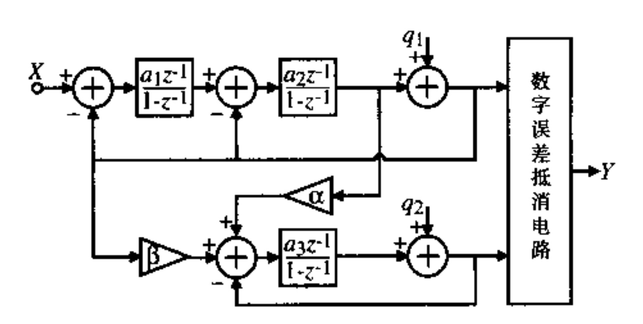


图 10.9-9　二阶调制器与一阶调制器的级联

另一类ΔΣ调制器使用多位内部 ADC 和 DAC。使用多位量化器具有减小量化噪声的优点，每增加一位量化噪声减小 6 dB。不仅如此，多位ΔΣ调制器比对应的一位调制器更稳定。如果量化级数足够大，可以实现具有$(1-z^{-1})^L$噪声整形函数的稳定单环调制器[40]。更进一步说，可以在单环多位ΔΣ调制器中使用噪声抑制能力更强的滤波器而不是一位滤波器，从而可以更多地减少带内量化噪声[71]。多位ΔΣ调制器还具有内部信号抖动更低、输入范围更高的优点。基于多位ΔΣ调制器的 ADC 最适合低过采样速率下的高速度、高精度应用，或者需要高的输入动态范围和低的积分输出幅度情况下的低电压、低功率应用。多位ΔΣ调制器的应用之所以有限，是因为它具有一个与优点同样显著的缺点：位于反馈回路中的 DAC 在要求的输出分辨率的 $\frac{1}{2}LSB$ 内必须具有一定的线性度。这是因为反馈 DAC 的任何非线性都会输入到调制器且不经过任何噪声整形。在目前的工艺条件下，不经过调整是不可能实现高度线性的 DAC 的，因此，文献中给出了各种克服 DAC

线性度问题的方法。这些方法包括数字纠错[72, 73]、模拟纠错[71]、基于随机选择的动态元素匹配技术[74, 75]、时钟平均[76]、单独电平平均[77]、数字加权平均[35, 78]以及使用双量化器[79]。

抽样滤波器

至此，代表ΔΣ ADC模拟前端的ΔΣ调制器已经全部讨论完。这一部分的主题是其数字部分，即抽样滤波器。通常，ΔΣ调制器的模拟部分决定了其整体精度，而抽样滤波器占用大部分芯片面积和功耗[80]，但是随着工艺的进步和电源电压的降低，数字部分的面积和功耗比模拟部分等比例减小得更快。

抽样滤波器包括一个低通滤波器和一个压缩采样器（downsampler）。它的功能是衰减基带以上的量化噪声，限制输入信号的带宽，抑制带外的杂散信号和电路噪声。除了滤波，输出信号以奈奎斯特速率被重新采样。为了减小硬件复杂度和功耗，滤波和速率降低通常使用几级电路完成[30, 31, 80]。大部分ΔΣ调制器的应用要求抽样滤波器具有线性相位特性。因此，在抽样滤波器的实现方面，广泛使用对称的有限脉冲响应滤波器（FIR）[81]。在FIR滤波器中，对于给定的波纹和衰减，滤波器系数的个数正比于输入速率f_s和过渡带宽f_t之比[31, 42]。因此，对于诸如ΔΣ调制器抽样滤波器一类的窄带滤波器，滤波器的系数可能非常多。采用分级实现抽样滤波器的方法可以减小每一级的f_s/f_t，从而使总的滤波器系数更少，因此降低了硬件复杂度和功耗。

图10.9-10给出了一个用于当今先进的ΔΣ ADC中的典型多级抽样滤波器。对于噪声整形函数为$(1-z^{-1})^L$的ΔΣ调制器来说，采用级联梳状滤波器实现抽样滤波器的第一级非常有效[30]。梳状滤波器适于将采样速率减至4倍奈奎斯特速率。其余的滤波根据抽样滤波的要求用一级或两级FIR或无限脉冲响应（IIR）滤波器实现。根据ADC的参数要求，可能需要一个垂度校正（droop correction）滤波器。梳状滤波器用来抑制量化噪声，否则它会在以中速f_{s1}采样时在信号带内产生混叠。带外的信号分量可在以奈奎斯特频率对信号重新采样之前被后继的滤波器衰减。当量化噪声以f_{s1}被采样时，它在f_{s1}谐波附近的分量会向后折叠进入信号频段。因此，为了抑制量化噪声，需要将梳状滤波器的零点设置在这些频率附近。因为在f_b与$f_{s1}-f_b$频率范围内的噪声分量折叠到本身而不会影响信号频段，所以在通带边缘f_b处不需要陡峭的截止。

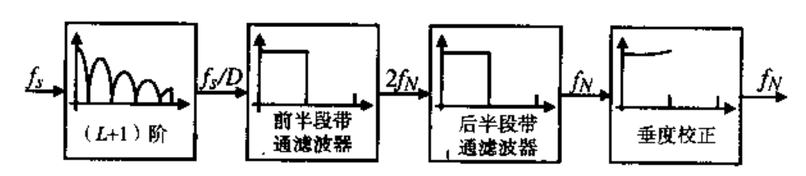


图10.9-10 多级抽样滤波器

梳状滤波器可以计算最近D个输入采样的流动平均值（running average），即：

$$y[n]=\frac{1}{D}\sum_{i=0}^{D-1}x[n-i] \tag{10.9-13}$$

这里，D是抽样因子（即f_s/f_{s1}），相应的z域表达式为：

$$H_D(z)=\sum_{i=1}^{D}z^{-i}=\frac{1}{D}\frac{1-z^{-D}}{1-z^{-1}} \tag{10.9-14}$$

令$z=e^{j2\pi fT_s}$，估算$H_D(z)$可以得到频率响应为：

$$H_D(f)=\frac{1}{D}\frac{\sin \pi fDT_s}{\sin \pi fT_s}e^{-j2\pi fT_s/D} \tag{10.9-15}$$

其中，T_s为输入采样周期。注意，$H_D(f)$的相频特性是线性的。单个梳状滤波器不能对噪声进行足够的抑制以阻止基带噪声电平的显著增加。为了达到足够的衰减，必须采用几个梳状滤波器的级联。可以看出，对于噪声整形函数为$(1-z^{-1})^L$的 L 阶调制器，需要 $L+1$ 个梳状滤波器[30]。这种滤波器的幅频响应为：

$$|H_D(f)|=\left(\frac{1}{D}\frac{\sin \pi fDT_s}{\sin \pi fT_s}\right)^K \tag{10.9-16}$$

其中，K 是级数。图10.9-11 绘出了上述等式在 $K=1$、2、3 时的情况。梳状滤波器的有效实现不需要乘法器或系数存储单元[42, 80]。图10.9-12给出了一种基于式（10.9-14）的级联梳状滤波器的实现电路。该滤波器被分成两部分。工作在输入速率 f_s 的积分器实现分子部分。它们后接输出速率为 f_{s1}（$=f_s/D$）的采样器。最后，分母部分由 $L+1$ 个微分器实现。

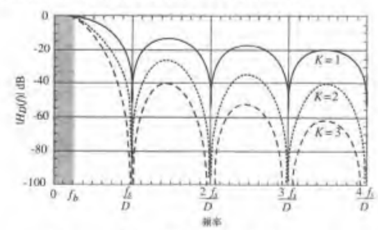


图 10.9-11 级联梳状滤波器的频率响应，$K=1$、2、3

注意，在图10.9-12中，积分器延时位于前馈支路中，而不是反馈支路中。这种调整所引入的流水线形式使关键路径上的延时由 $L+1$ 个加法器延时减小到一个加法器延时。

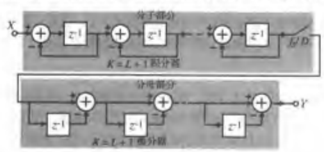


图 10.9-12 级联梳状滤波器的实现

抽样滤波器的剩余部分的参数要求取决于ΔΣ ADC 的应用。当允许相位非线性时，硬件效率高的 IIR 滤波器更适合应用。否则，需要采用线性相位的 FIR 滤波器。通带波纹、过渡带宽以及阻带衰减是正确选择滤波器的其他一些指标。采用多相结构可以有效地实现线性相位 FIR 滤波器[30]。

在一些应用中，第二级抽样滤波器采用两个有效的硬件半边带滤波器来实现。

ΔΣ调制器的实现

目前的ΔΣ调制器绝大多数采用全差分开关电容方法实现。全差分结构使信号幅度增大一倍，动态范围增加 6 dB。而且，可滤除通过电源和衬底耦合到信号端的共模信号，由开关注入的电荷被基本抵消。因为可以更精确地控制积分器增益，环路滤波器的开关电容实现方法通常比以有源 RC 或 g_m-C 为基础的设计更合适。图10.9-13（a）和（b）分别给出了一种广泛应用的二阶ΔΣ调制器及其开关电容实现方案。两个积分器的增益均为 0.5。从时钟相位可以明显看出，此调制器通过用一个采样延时实现两个积分器，从而完全实现了流水操作。这避免了两次建立，即两个串联的运算放大器不得不在同一个时钟周期内建立电压的问题。这种情况要求有更快的运算放大器，从而导致了更高的功耗。

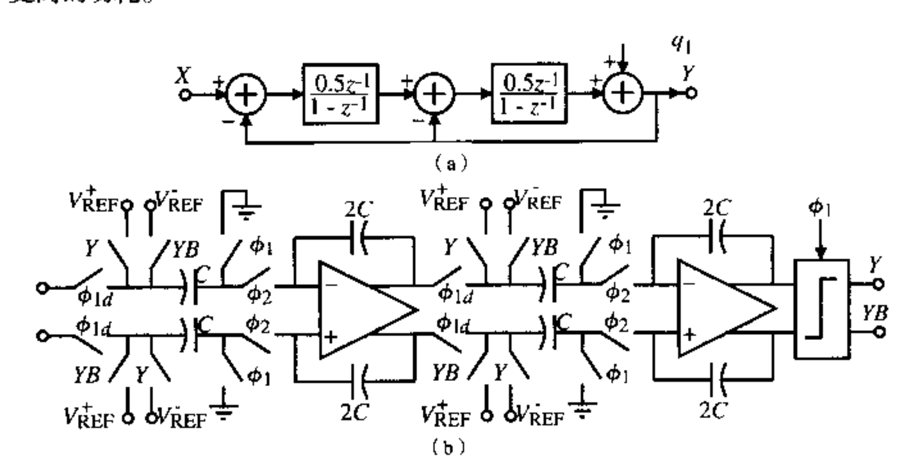


图 10.9-13 （a）二阶ΔΣ调制器结构图；（b）图（a）的全差分开关电容实现电路

在ΔΣ调制器的实现中，最重要的模块是第一个积分器。第一个积分器运算放大器的线性度、噪声和建立时间都是最重要的电路参数。第 7 章讨论的全差分折叠共源共栅式或共源共栅式（伸缩式）放大器常用来实现此类运算放大器。对ΔΣ调制器中的比较器没有严格的设计要求。比较器的非理想性可通过环路滤波器加以噪声整形。因此，一个不包括前置放大器或失调抵消电路的简单比较器就可以满足要求。8.5 节所述的锁存比较器是惟一适合这种应用的比较器。一旦确定了积分器的增益，根据热噪声及匹配要求就可以选择电容尺寸了。通常，在高精度应用中，第一级积分器的电容由热噪声决定，而其余积分器的电容值由匹配要求决定。

ΔΣ DAC

至此，本节的讨论仅仅集中于ΔΣ ADC。在ΔΣ DAC 的实现中，过采样和噪声整形原理也得到广泛应用。与 ADC 类似，由于对元件失配和电路非理想性更不敏感，ΔΣ DAC 比奈奎斯特速率的 DAC 更适合于高精度的应用。ΔΣ DAC 大部分由数字元件构成，因此更适合现代的数字工艺技术。尽管ΔΣ DAC 的模拟部分相对较小，但设计上并不比ΔΣ ADC 中使用的模拟噪声整形环路简单。在高精度ΔΣ DAC 中，将电路噪声控制在允许范围内并满足线性度要求是巨大的挑战。

图 10.9-14 给出了一个ΔΣ DAC 的简化框图[31]。一个由 N 位数码组成的速率为 f_N 的数字信号以 M 倍 f_N 的速率被一个内插器重新采样。插值的过程是在速率为 Mf_N 的输入字之间插入 0，然后用一个数字低通滤波器进行滤波。



图 10.9-14　ΔΣ DAC 的简化结构图

图 10.9-15 是图 10.9-14 更详细的解释。数字ΔΣ DAC 的一位脉冲密度调制通过在两个基准电压之间切换被转换成模拟信号，然后经过一个模拟低通滤波器以消除高频噪声，产生需要的模拟输出信号。ΔΣ DAC 的误差来源于器件失配引起的谐波失真而不是来源于ΔΣ调制器的 *DNL* 或 *INL*、元件噪声、器件非线性、时钟抖动敏感度和带内量化噪声。

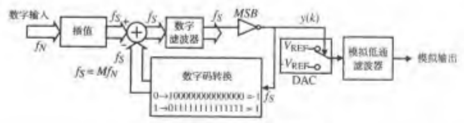


图 10.9-15　ΔΣ DAC 的详细结构图

图 10.9-15 中的 DAC 可以用电压或电流方案实现。关键是正负基准电压或电流必须匹配。以 $y(k)$ 表示数字滤波器 *MSB* 的输出，图 10.9-16（a）和图 10.9-16（b）分别给出了图 10.9-15 中 DAC 可能的电压和电流实现方法。ϕ_1 和 ϕ_2 是一个频率为 f_s 的时钟的两个非重叠相位。

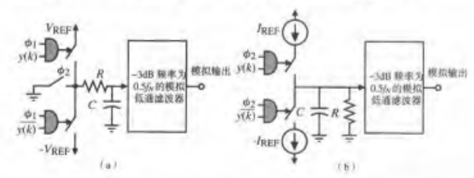


图 10.9-16　（a）带有无源低通滤波器的电压驱动 DAC；（b）带有无源低通滤波器的电流驱动 DAC

图 10.9-17 的上面两幅图给出了输入信号和插值后信号的频谱。插值滤波器的输出信号被一个ΔΣ调制器截短成位数较少的字（通常是 1 位），而且使产生的量化噪声（截断噪声）在信号频带之外。最后，数据经过 DAC 低通滤波器的组合转换成模拟信号。通常，DAC 与第一级低通滤波器采用类似于图 10.9-18 所示的开关电容滤波器结构来实现。该电路在 ϕ_1 期间通过 C_1 对 $y(k)$ 进行采样，然后在 ϕ_2 期间将其送至 R 和 C_2 组成的低通滤波器。开关电容低通滤波器之后是一个连续时间低通滤波器，用来对量化噪声进行必要的衰减。图 10.9-17 的下面两幅图给出了模拟部分输入输出的频谱。数字与模拟ΔΣ调制器具有相同的特性。在给定的过采样速率下，具有同样拓扑

结构的环路有相同的稳定性条件和相同的量化噪声大小。因此，这里不再讨论数字ΔΣ调制器。与ΔΣ ADC 类似，ΔΣ DAC 中也使用单环或多环拓扑结构与 1 位或多位量化器[39, 82, 83]。

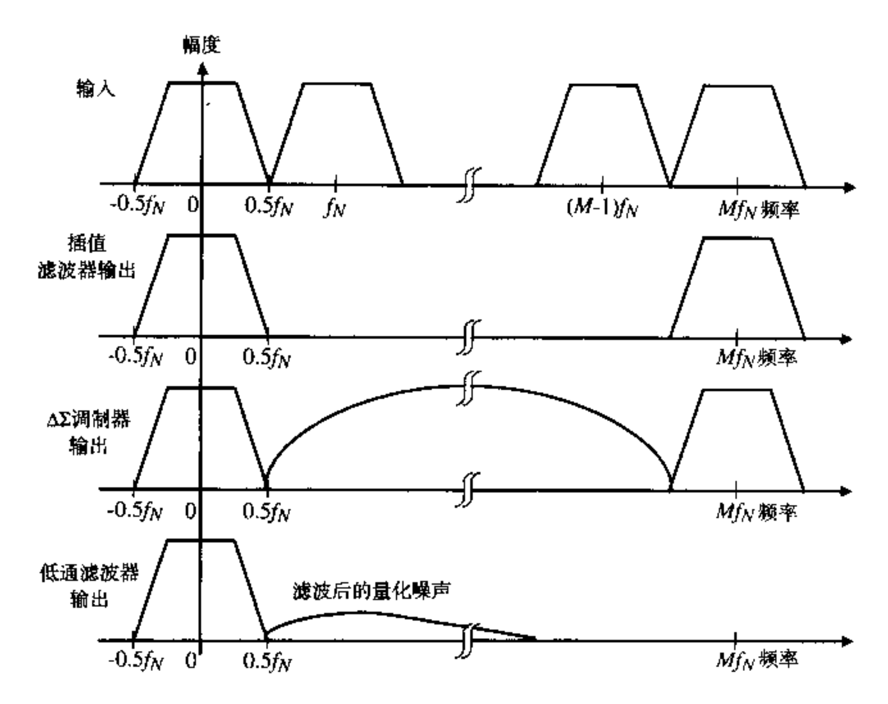


图 10.9-17 ΔΣ DAC 不同点处的频谱

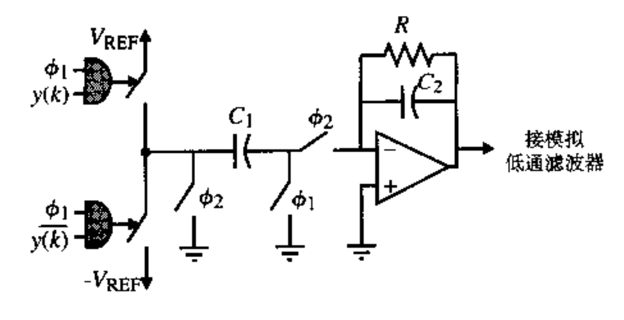


图 10.9-18 开关电容 DAC 的实现方式

ΔΣ数据转换器的比较

ΔΣ数据转换器是一类具有巨大潜力的转换器，它在转换器性能的各个方面实现平衡。有许多报道的实例证实了这个观点。用开关电容技术实现的ΔΣ ADC 能达到的极限是：在 2.5 MHz 的转换速率下可达 15 位精度[35]，在音频带宽中可达 20 位精度[56]；在低电压/低功率情况下的极限是：一个 1.5 V、1.0 mW 的音频ΔΣ调制器具有 98 dB 的动态范围[84]。已经证实，工作电压 0.9 V、电流消耗仅 40 μA、16 kHz 带宽内可实现 77 dB 动态范围的设计[85]。环路拓扑结构从简单的二阶环[86]变化到更复杂的 2-2-2 级联[70]再到七阶单环[56]。大部分高性能ΔΣ DAC 都是用于音频的。采用几个多位ΔΣ DAC 可以获得超过 110 dB 的动态范围[82, 83]。

10.10 小结

本章介绍了CMOS数模和模数转换器的性能特点、分析和设计。DAC与ADC正从独立的单芯片元件迅速发展为大的片上系统的一部分。从这一角度讲，在指定参数下对转换器的优化非常重要。DAC和ADC的主要指标包括转换速率、分辨率和功耗。作为一个大系统的一部分，尽量使功耗最小是非常重要的。

奈奎斯特DAC分为并行和串行两类。串行转换器速度较慢，但功耗较小且分辨率相当高。DAC的分辨率可以通过采用DAC子系统组成的流水线结构来提高。这种技术采用两种方法缩放参考值。一种是缩放DAC子系统的模拟输出（除法器方法），另一种是缩放DAC子系统的参考值（子区间法）。因为减小了最大最小元件范围，所以流水式方法可以提高元件精度。同时也说明了DAC子系统可以采用不同的缩放方法（电压、电流或电荷）。推导出的关系式有助于选择采用何种缩放方法的DAC子系统以及应该使用的位数。一般来说，DAC比ADC具有更高的转换速度和分辨率。DAC静态性能的基本限制与无源元件的比例精度有关，而动态性能的基本限制与运算放大器的带宽和电压变化速率有关。一般来说，奈奎斯特DAC在每秒20~400兆采样的速率下精度能达到12~14位。ΔΣ DAC的精度更高但转换速度更低。

一个对所有转换器都成立的原理是：*MSB*级的精度必须最大而*LSB*级的精度最小。这经常导致用迭代实现，即精度高的级被重复使用。遗憾的是，重复使用高精度级会使转换器变慢。如果所有级是从*MSB*到*LSB*分别实现的，将获得一个较高的转换速度，然而这是以执行时间为代价的。

奈奎斯特ADC分为三类：串行、逐次逼近和快速。快速ADC包括快闪式、多位流水式、折叠式和内插式。由于ADC必须进行采样，所以需要一个合适的抗混叠滤波器。通常，ADC的带限性能具有抗混叠滤波器的功效。采样可以通过采样保持电路或时钟控制的比较器来实现。在ADC中，静态性能与无源器件的比例精度密切相关，动态性能与比较器或采样保持电路的性能有关。流水式ADC具有数字纠错能力，这减小了比较器性能对转换器的影响。最快的ADC是快闪和折叠/内插式ADC。遗憾的是，速率越高，功耗越大。当快速比较器的转换速度接近每秒十万或百万采样时，功耗接近1 W，这在很多情况下都太大了。

ΔΣ ADC在速度和分辨率之间进行了有效的折中。一个典型的ΔΣ ADC具有12~16位分辨率，信号带宽为20 kHz~5 MHz。一种有吸引力的ΔΣ ADC是带通ΔΣ ADC。这种ADC应用于射频接收器的中频到基带的转换。过采样率位于ADC的带宽和采样频率之间，但是中心频率非常接近采样频率。因此，带通ΔΣ ADC的中心频率可达到几十兆赫。

图10.10-1给出了1997年至1999年间CMOS ADC的发展水平，显示了不同类型的CMOS ADC的分辨率与转换速度之间的关系。可见，ΔΣ ADC分辨率最高，而快闪或折叠内插式ADC速度最快。带通ΔΣ ADC可以在高达80 MHz的频率下达到略高于11位的分辨率。

图10.10-2给出了图10.10-1中所有转换器（除了双斜率和算法式）的功耗与转换速度的关系。高转换速度和高精度的转换器具有最高的功耗。流水式、折叠式和内插式ADC消耗的功耗最大，其次是快闪ADC，ΔΣ ADC的功耗最小。如果包括串行转换器，它们将是ADC中功耗最小的。值得注意的是，当考虑功耗时，ΔΣ ADC提供了最宽松的折中。通常，ΔΣ ADC的功耗与级数和信号带宽成正比。

DAC和ADC的发展趋势是继续在转换速度、分辨率和功耗之间进行折中。一个明显的趋势是根据指定的应用要求进行折中优化。随着DAC和ADC成为更大的系统的一部分，它们的性能

将从系统需求的角度进行提高。在未来的许多年里，DAC 和 ADC 仍将是摆在模拟 IC 设计者面前富有挑战性的研究课题。

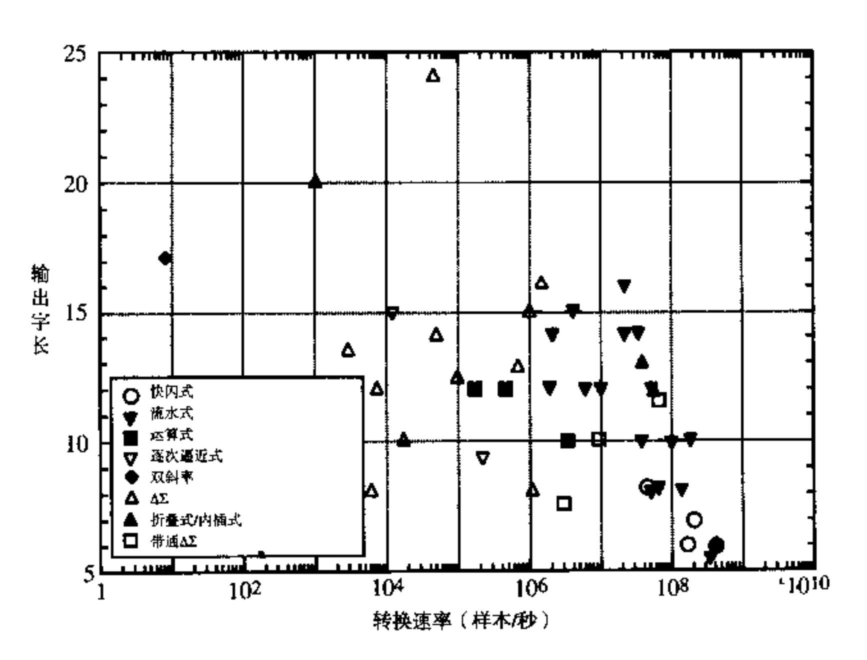


图 10.10-1 现有的 ADC 在分辨率和转换速度上的比较

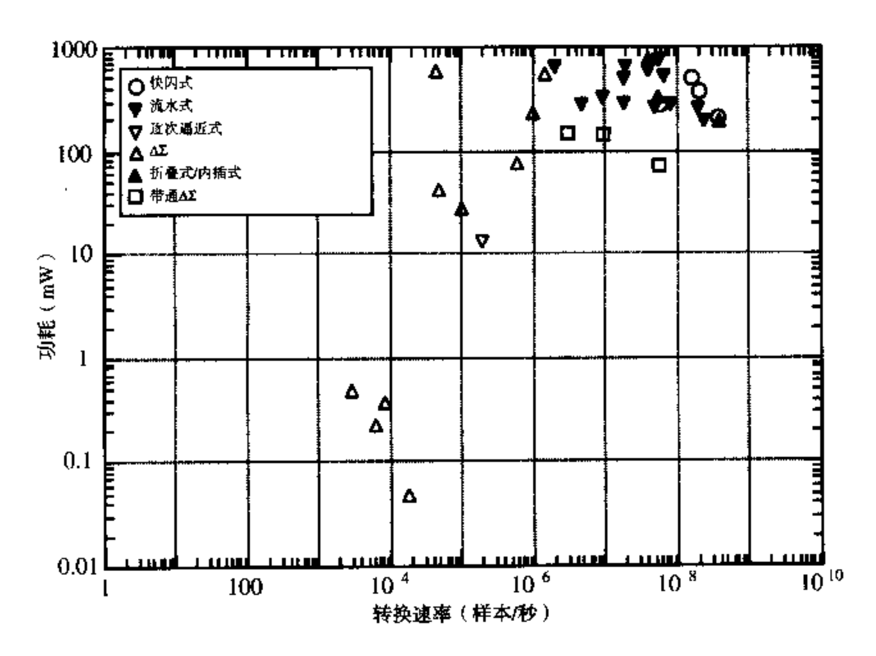


图 10.10-2 现有的 ADC 在功耗和转换速度上的比较

习题

10.1-1 绘出一个 3 位 DAC 的模拟输出-数码输入曲线，它具有±1*LSB* 的微分线性度和±1*LSB* 的积分线性度。假设一个任意的模拟满刻度值。

10.1-2　假设微分线性度和积分线性度分别为±1.5*LSB* 和±0.5*LSB*，重复习题 10.1-1。

10.1-3　假设微分线性度和积分线性度分别为±0.5*LSB* 和±1.5*LSB*，重复习题 10.1-1。

10.1-4　图 P10.1-4 给出了理想的和实际的 4 位 DAC 的转换特性。求±*INL* 和±*DNL*，用 *LSB* 表示。此转换是否为单调的？

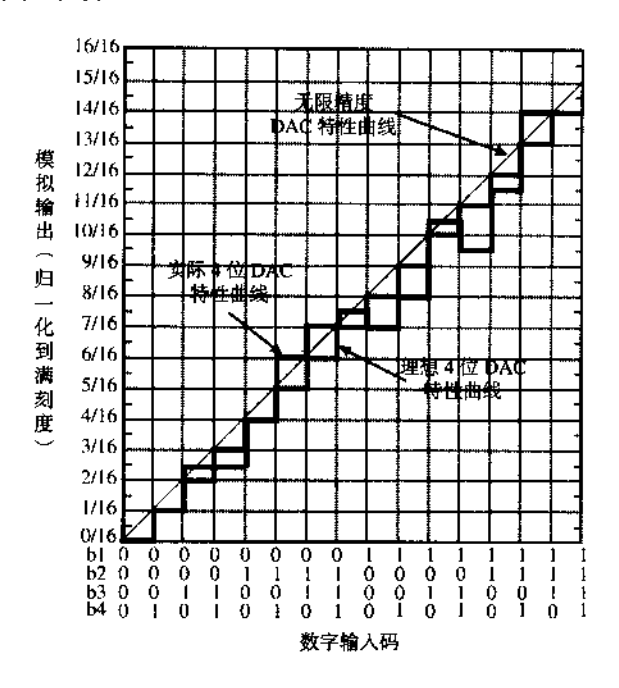


图 P10.1-4

10.1-5　在一个基准电压 V_{REF} 为 5 V 的理想 10 位 DAC 输入端加上一个峰–峰值为 1 V 的正弦信号，求数字化模拟输出信号的最大信噪比 *SNR*。

10.1-6　在一个 14 位 DAC 中，基准电压为 1 V 时，多大的噪声电压均方根值不会引起错误？在 0~100℃的温度范围内，这个 DAC 的基准电压的温度系数应为多少？

10.1-7　若一个 ADC 的量化电平为Δ，证明其量化噪声的均方根值为 $\Delta/\sqrt{12}$。

10.2-1　对于图 P10.2-1 给出的电路，用 I_0、I_1、I_2 和 I_3 表示 I_{OUT}。

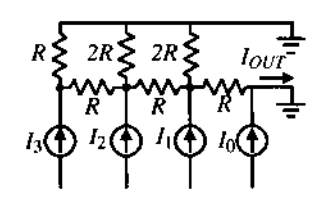


图 P10.2-1

10.2-2　图 P10.2-2 给出了一个用二进制加权电流实现的 DAC。b_0 是最高位，b_{N-1} 为最低位。(a) 对于每个单独的电流漏，求输入为 *N* 位时使 INL 在±0.5LSB 范围内的容差，用正负百分比表示，假设所有的其他位都是理想的。(b) 分析所有电流漏的影响，每个电流漏最坏情况容差是多少（用正负百分比表示）？

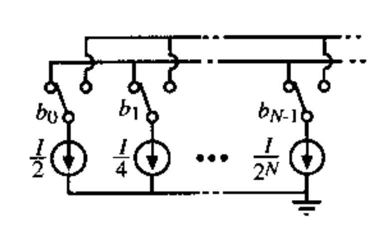


图 P10.2-2

10.2-3　图 P10.2-3 给出了一个 4 位二进制加权电压比例缩放 DAC。(a) 如果 $R_0 = 7R/8$，$R_1 = 2R$，$R_2 = 4R$，$R_3 = 8R$，$R_4 = 16R$，$V_{os} = 0$ V，请绘出数字–模拟转换曲线图。(b) 如果 $R_0 = R$，$R_1 = 2R$，$R_2 = 4R$，$R_3 = 8R$，$R_4 = 16R$，$V_{os} = 0.0645V_{REF}$，绘出数字–模拟转换曲线图。(c) 假设 $R_0 = R$，$R_1 = 2R$，$R_2 = 16R/3$，$R_3 = 32R/5$，$R_4 = 16R$，

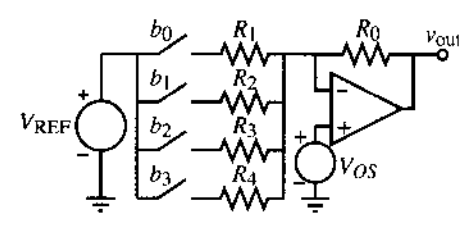


图 P10.2-3

$V_{os}=0$ V，在前面的转换曲线图上绘出数字–模拟转换曲线图。在这种情况下 *DNL* 和 *INL* 是多少？此 DAC 是否单调？

10.2-4 图 P10.2-4 中给出了采用图 P10.2-3 中 DAC 的 4 位 DAC 特性曲线。（a）求此转换器的 *DNL* 与 *INL*。（b）求对应此输入–输出特性的 R_1 至 R_4 的值，用 R_0 表示。

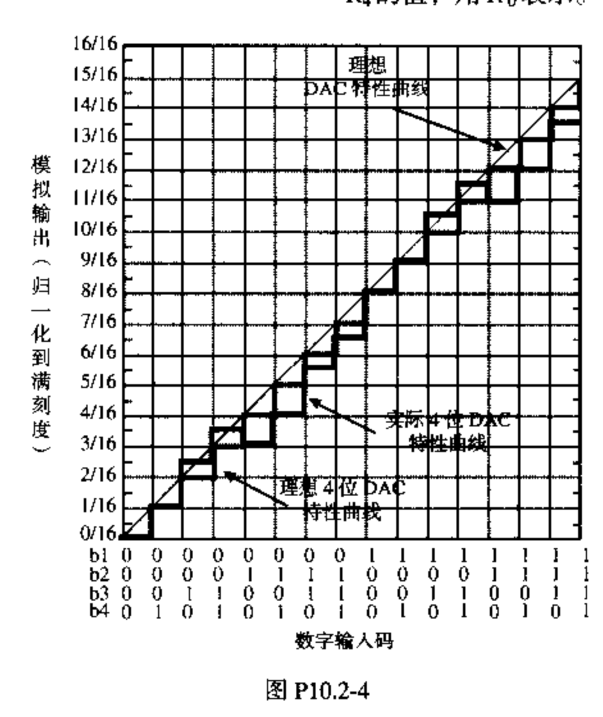


图 P10.2-4

10.2-5 对图 P10.2-3 中的 DAC，设计 R_1 至 R_4 的值以得到一个 4 位理想滤波器，用 R_0 表示。对 V_{REF} 进行归一化，多大的输入失调电压 V_{os} 会导致错误？如果运算放大器的差模电压增益为：

$$A_{vd}(s)=\frac{10^6}{s+100}$$

在什么转换速率或频率上，运算放大器的频率响应将导致转换发生错误？假设数码的转换速率等于正弦信号的等效频率。

10.2-6 图 P10.2-6 给出了一个 8 位电流 DAC。假设满量程为 1 V。（a）若 $R=1\,\text{k}\Omega$，求电流 I。（b）假设 DAC 除了运算放大器外所有部分均理想。如果运算放大器的差模电压增益的频率响应为单极点且直流增益为 10^5，求使最坏情况的转换时间为 2 μs 的以 Hz 为单位的单位增益带宽 *GB*。（c）仍假设除运算放大器外所有部分均为理想的，且运算放大器除了有限的电压变化速率外其余均理想，求运算放大器的最小电压变化速率 *SR*（以 V/μs 为单位），使得最坏情况下的转换时间为 2 μs。

10.2-7 若一个电压按比例缩放 DAC 具有 8 位分辨率，求需要达到的电阻比值的相对精度。

10.2-8 如果图 P10.2-3 中的二进制控制开关 b_0 在 $t=0$ 时闭合，求输出达到最终状态（$-V_{REF}/2$）所需的时间，假设此时间是电路时间常数的 4 倍。运算放大器的差模电压增益为：

$$A_{vd}(s) = \frac{10^6}{s + 10}$$

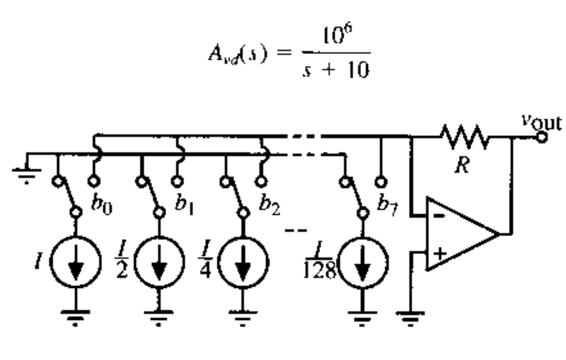


图 P10.2-6

10.2-9　若一个电荷按比例缩放 DAC 要达到 11 位分辨率，电容比例的相对精度需要达到多少？

10.2-10 对图 10.2-10 中的电荷按比例缩放 DAC，分析与终端电容并联的负载电容 C_L 的影响。（a）用 C、C_L、V_{REF} 和数字位 b_i 表示 v_{OUT}。（b）C_L 引入了哪种静态误差？（c）求不会在此 DAC 中引入误差的 C_L/C 的最大值。

10.2-11 用数字位 b_i、电容和基准电压表示图 P10.2-11 中的 DAC 在 ϕ_2 期间的输出。如果运算放大器的失调电压为 V_{os}，求改变后的输出表达式。运算放大器失调将引起哪种误差？

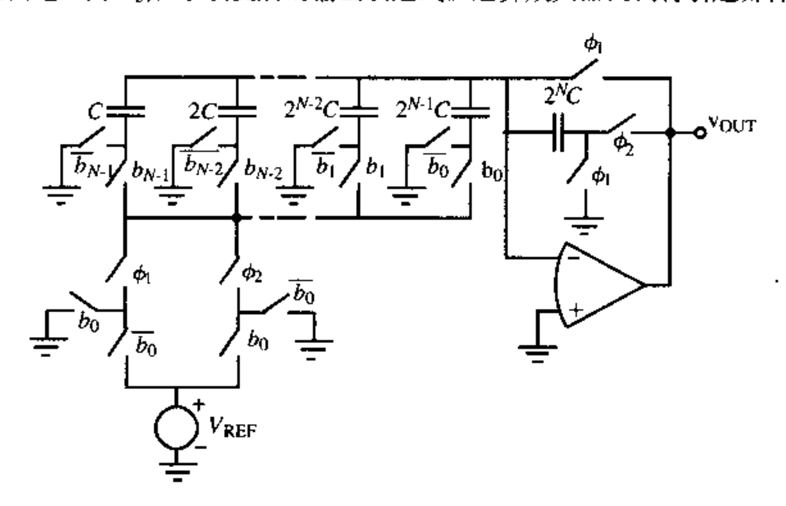


图 P10.2-11

10.2-12 由图 10.2-10 推导出图 10.2-11 的等效电路。

10.2-13 如果图 P10.2-13 中的 8 位二进制加权阵列中的电容容差为±0.5%，求以 *LSB* 为单位的最坏情况下的 *DNL*，以及它发生在什么转换中。

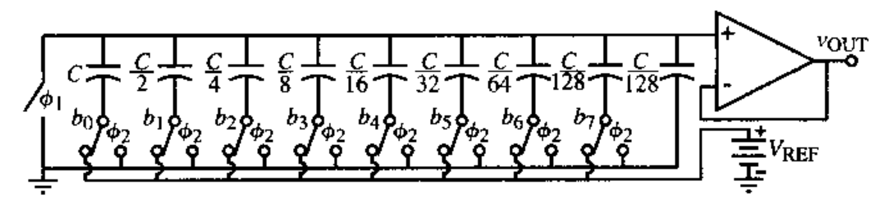


图 P10.2-13

10.2-14 图 P10.2-14 给出了一个使用电荷放大器的二进制加权 DAC。在数模转换的开始，所有的电

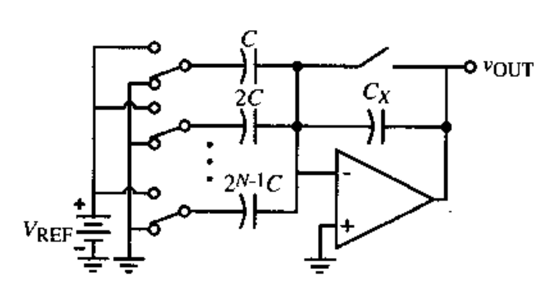


图 P10.2-14

容都被放电。若某位为 1，则电容与 V_{REF} 相连；若该位为 0 则电容接地。（a）确定 C_X，使得：

$$V_{OUT}=\left(\frac{b_0}{2}+\frac{b_1}{4}+\cdots+\frac{b_{N-1}}{2^N}\right)V_{REF}$$

（b）识别出每个 b_i 控制的开关，$i=0$ 对应最高位，$i=N-1$ 对应最低位。（c）电容器的最大元件范围是多少？（d）该 DAC 是快速的还是慢速的？为什么？（e）此 DAC 可能出现非单调吗？（f）如果电容匹配为 0.2%（不考虑电容器尺寸），理想工作的最大 N 值是多少？

10.2-15 图 P10.2-15 所示电路等效于一个 DAC。运算放大器的差模电压增益 $A_{vd}(s)$ 为：

$$A_{vd}(s)=\frac{A_{vd}(0)\omega_a}{s+\omega_a}=\frac{GB}{s+\omega_a}$$

（a）如果 ω_a 趋向于无穷大使得 $A_{vd}(s)\approx A_{vd}(0)$，求造成 8 位 DAC 产生 ±0.5$LSB$ 错误的 $A_{vd}(0)$ 的最小值是多少。

（b）若 $A_{vd}(0)$ 远大于（a）中求出的值，求 $GB=1$ MHz 时 8 位 DAC 发生 ±0.5LSB 错误时的最小转换时间是多少。

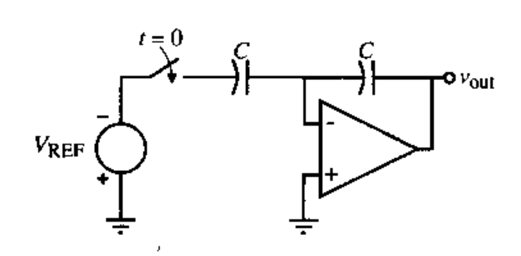


图 P10.2-15

10.2-16 图 P10.2-16 给出了一个采用 C–$2C$ 梯形电路实现的电荷按比例缩放 DAC。在 ϕ_1 期间所有电容被放电。

（a）为使该 DAC 正确工作，C_F 的值必须是多少？

（b）用 b_i 和基准电压 V_{REF} 表示 ϕ_2 期间的输出电压 v_{OUT}。

（c）与其他 DAC 比较，至少列举该 DAC 的两个优点和缺点。

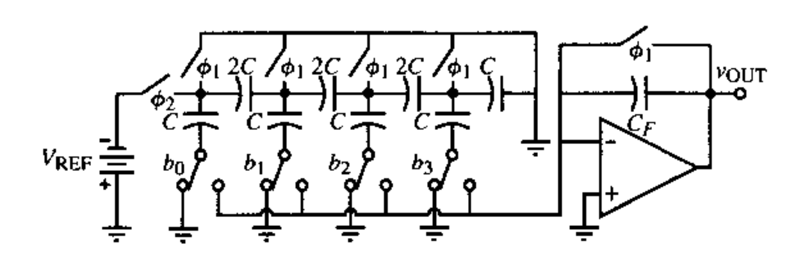


图 P10.2-16

10.3-1 图 10.3-1 所示的 DAC 中 $M=2$，$K=2$。如除数值误为 2，用 LSB 表示 ±INL 和 ±DNL。并确定该 DAC 是否单调。若除数值为 6 呢？

10.3-2 如果除数为 3 和 6，重复习题 10.3-1。

10.3-3 如果除数是正确的（为 4），最高位 DAC 子系统的 V_{REF} 为 $0.75V_{REF}$，最低位 DAC 子系统的 V_{REF} 为 $1.25V_{REF}$，重复习题 10.3-1。

10.3-4 求图 10.3-1 所示 DAC 的除数 x 在最坏情况下的容差（±%），已知 $M=3$，$K=3$。假设子 DAC 除了除数外其余部分均理想。

10.3-5 图10.3-2的DAC中，$M=3$，$K=3$。

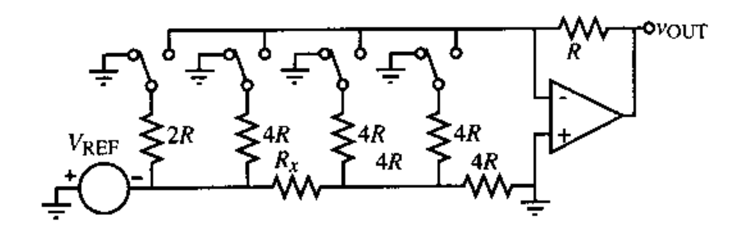
(a) 当V_{REF}为x时求除数的理想值；

(b) 求造成1*LSB DNL*的最大x值；

(c) 求造成2*LSB DNL*的最小x值。

10.3-6 利用例10.3-2的结果，证明其*INL*和*DNL*小于等于±0.5*LSB*。

10.3-7 图P10.3-7给出了一个4位DAC。若某位为1，则对应该位的开关连接到运算放大器的反相输入端；否则，开关接地。找出与b_0、b_1、b_2、b_3一一对应的开关，这里b_i为第i位，其中b_0为最高位，b_3为最低位。求出使DAC获得适当性能的R_x值。



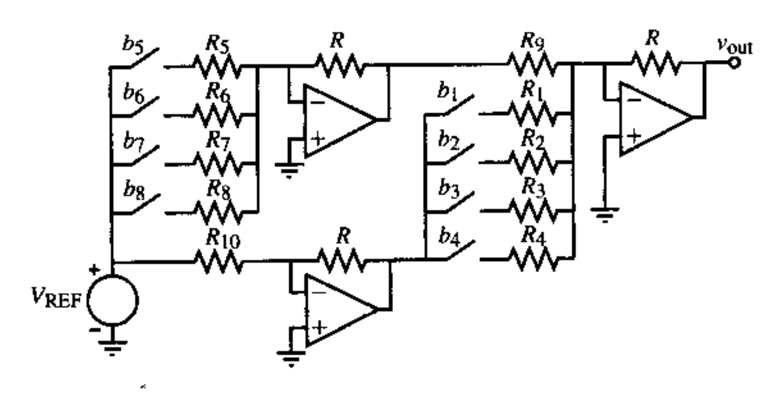
图P10.3-7

10.3-8 假设在图P10.3-8中，$R_1=R_5=2R$，$R_2=R_6=4R$，$R_3=R_7=8R$，$R_4=R_8=16R$，运算放大器是理想的。

(a) 若这是一个理想8位DAC，求R_9、R_{10}的值（用R表示）；

(b) 求使$INL \le \pm 0.5LSB$的R_9范围，用R表示。假设R_{10}是理想的；

(c) 求使转换器单调的R_{10}的范围，用R表示。假设R_9是理想的。



图P10.3-8

10.3-9 设计一个类似于图10.3-4的10位两级电荷按比例缩放DAC，采用两个5位的部分和一个位于两级之间的电容衰减器，用设计中的最小电容C表示所有的电容值。

10.3-10 图P10.3-10给出了一个两级电荷按比例缩放DAC。

(a) 确定C_x的值（用单位电容C表示），以实现一个6位两级电荷按比例缩放DAC；

(b) 若C_x误差为ΔC_x，求v_{OUT}的表达式，用C_x、ΔC_x、b_{i-1}和V_{REF}表示；

(c) 若(b)中的v_{OUT}表达式如下：

$$v_{OUT}=\frac{V_{REF}}{8}\left(1-\frac{17\Delta C_x}{100C_x}\right)\left[\sum_{i=1}^{3}b_{i-1}\cdot 2^{3-i}+\left(1+\frac{8\Delta C_x}{10C_x}\right)\sum_{i=4}^{6}\frac{b_{i-1}\cdot 2^{6-i}}{8}\right]$$

则在最坏情况下不会引起误差的C_x的精度是多少？

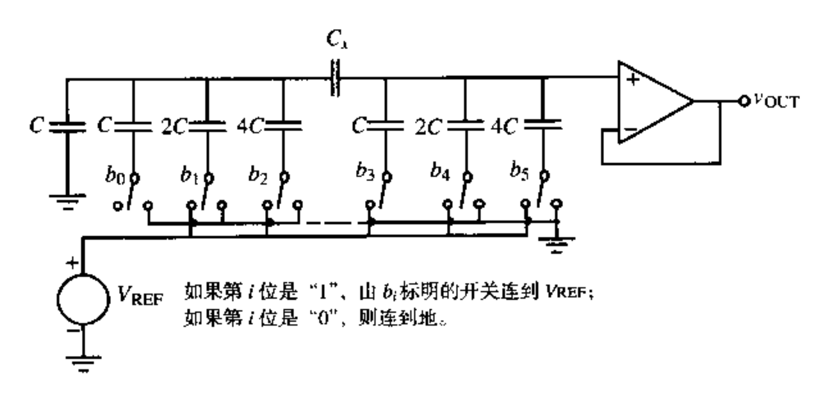


图 P10.3-10

10.3-11 若图 P10.3-11 电路中使用的运算放大器直流增益为10^4，主极点在 100 Hz 处，当时钟频率为多少时有效位数（*ENOB*）等于 7 位？假设电容和开关都是理想的。采用最坏情况分析方法，假设 *LSB* 和 *MSB* 级的时间响应加起来得到整个转换时间。

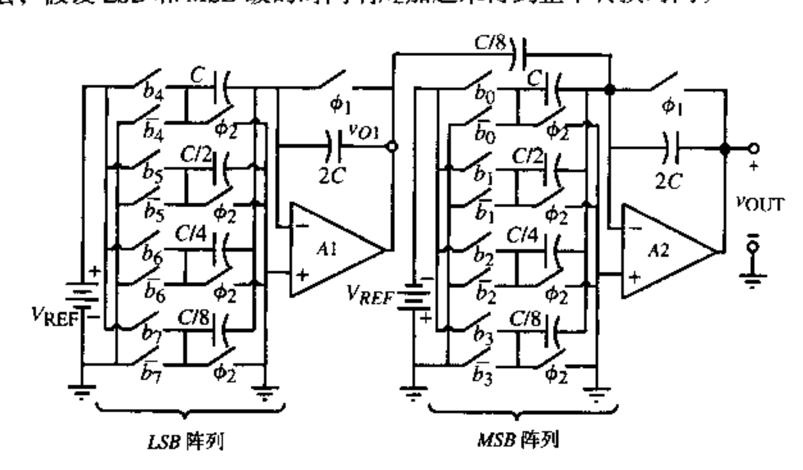


图 P10.3-11

10.3-12 图 P10.3-12 中的 4 位 DAC 是由两个相同的 2 位 DAC 组成的，用 V_{REF}、b_0、b_1、b_2、b_3表示ϕ_2期间的v_{OUT}。在ϕ_2期间，如果该位为 1 则相应的开关闭合，为 0 则打开。若 $k=2$，求 *INL* 和 *DNL* 的表达式（用± *LSB* 表示），并确定该转换器是否单调。

10.3-13 一个 *N* 位 DAC 由一个 *M* 位电压按比例缩放 DAC 和一个 *K* 位电荷按比例缩放 DAC 组成（$N=M+K$）。*M* 位电压 DAC 中的电阻精度为$\pm\Delta R/R$，电荷 DAC 中的二进制权电容精度为$\Delta C/C$。设本题中的 *INL* 和 *DNL* 可表示如下：

$$INL=（元件精度）\times（最大加权因子）$$

$$DNL=（最大元件精度）\times（相应的加权因子）$$

其中，第 *i* 位的加权因子为 2^{N-i-1}。

（a）若 *MSB* 位采用 *M* 位电压 DAC，*LSB* 位采用 *K* 位电荷 DAC，用 *M*、*N*、*K*、$\Delta C/C$ 和 $\Delta R/R$ 表示 *N* 位 DAC 的 *INL* 和 *DNL*。

（b）若 *MSB* 位采用 K 位电荷 DAC，*LSB* 位采用 M 位电压 DAC，用 M、N、K、$\Delta C/C$ 和 $\Delta R/R$ 表示 N 位 DAC 的 *INL* 和 *DNL*。

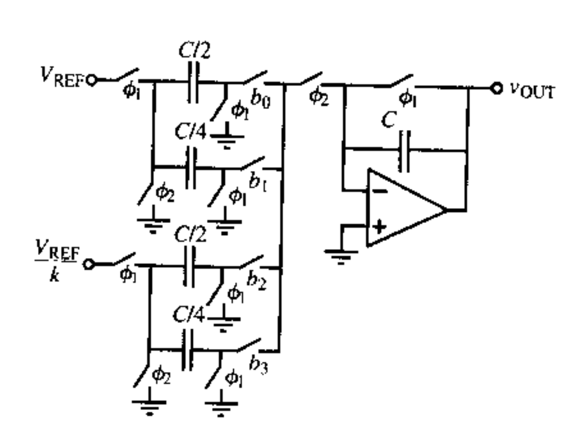


图 P10.3-12

10.3-14 表 P10.3.14 给出了当 DAC 的 *MSB* 阵列和 *LSB* 阵列为权电压或权电荷方案时 *INL* 和 *DNL* 的表达式。$N = M + K$，M 为 *MSB* 阵列的位数，K 为 *LSB* 阵列的位数，N 是总位数。若 $\Delta R/R = 1\%$、$\Delta C/C = 0.1\%$，总的 *INL* 和 *DNL* 均不超过 1*LSB*。求 N、M、K 的值，并指出这是哪种 DAC（电压 *MSB* 和电荷 *LSB* 或电荷 *MSB* 和电压 *LSB*）。

表 P10.3.14

DAC 排列	*INL*(*LSB*)	DNL(*LSB*)
MSB 电压(M 位) *LSB* 电荷(K 位)	$2^{N-1}\frac{\Delta R}{R}+2^{K-1}\frac{\Delta C}{C}$	$2^{K}\frac{\Delta R}{R}+(2^{K}-1)\frac{\Delta C}{C}$
MSB 电荷(M 位) *LSB* 电压(K 位)	$2^{M-1}\frac{\Delta R}{R}+2^{N-1}\frac{\Delta C}{C}$	$\frac{\Delta R}{R}+(2^{N}-1)\frac{\Delta C}{C}$

10.3-15 图 P10.3-15 所示电路是一个双解码 DAC。当开关 ϕ_2 闭合时，用 V_1、V_2 和 V_{REF} 表示 v_X。若 $A=1$，$B=0$，$C=1$，$D=1$，当 $V_{analog}=0.8V_{REF}$ 时比较器的输出是高还是低？

10.3-16 图 P10.3-16 给出了一个 4 位 ADC。详细说明此转换器完成一次转换的工作过程。ϕ_1、ϕ_2 是周期为 T 的方波产生的非重叠时钟（即 ϕ_1 为 0~$T/2$、ϕ_2 为 $T/2$~T）。在此过程中何时可能出现错误？

10.4-1 图 10.4-1 中，若按如下顺序闭合开关：S_4、S_3、S_1、S_2、S_1、S_3、S_1、S_2、S_1，求得到的 v_{C1}。

10.4-2 如果 $C_1 = 1.05\ C_2$，重复习题 10.4-1。

10.4-3 在图 10.4-1 的串行 DAC 中，每次 S_2 打开时 C_1 上的电压减小 10%。假设 V_{REF} = 1 V，在最坏情况下，该 DAC 可转换多少位而不会发生错误？模拟输出为 C_2 上的电压。

10.4-4 在图 10.4-3 中的串行流水式 DAC 中，若 V_{REF} = 1 V，输入从高到低为 10100110，求理想模拟输出电压。如果衰减因子由 0.5 变为 0.55，哪一位会出现错误？该情况下的模拟输出为多少？

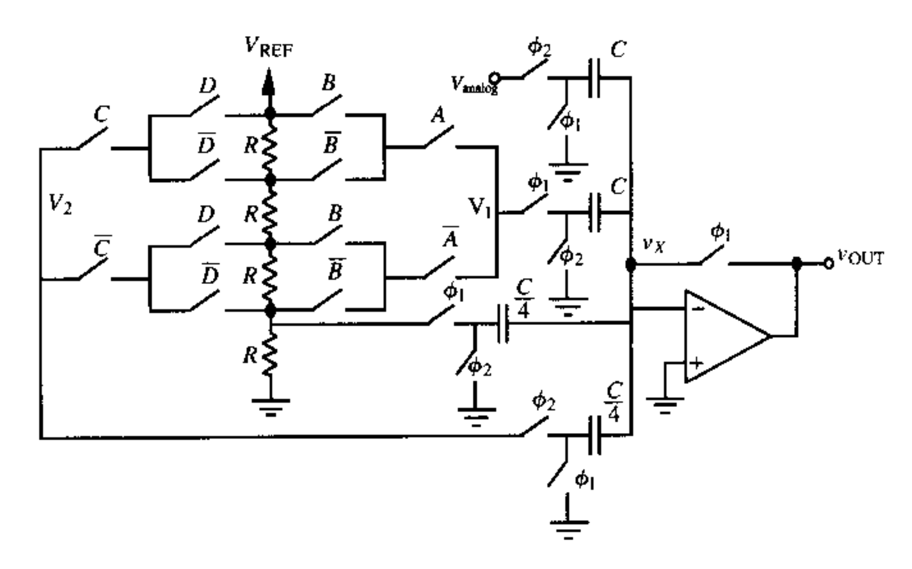


图 P10.3-15

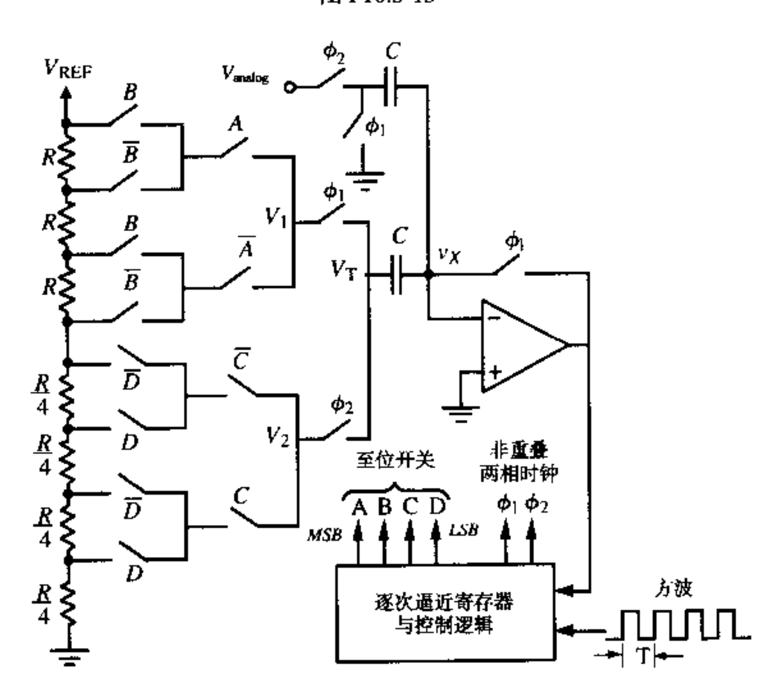


图 P10.3-16

10.4-5 给出一个采用双相电容开关电路实现图 10.4-3 的流水式 DAC 的方案。画出完整的结构图，标明电容比值及开关相位。

10.4-6 图 P10.4-6 给出了一个流水式 DAC。如果 $k_0=\frac{7}{16}$，$k_1=\frac{5}{7}$，$k_2=\frac{3}{5}$，用 b_i（$i=0$，1，2）和 V_{REF} 表示 v_{OUT}。绘出输入输出特性曲线，并在曲线上标明最大的±*INL* 和±*DNL*。该 DAC 是否单调?

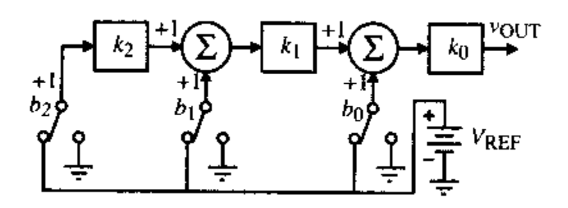


图 P10.4-6

10.4-7 图 P10.4-7 给出了一个流水式 ADC。若 b_i 为 1 则开关接 V_{REF}，否则接地。设两个增益为 0.5 的求和节点出错，仔细绘出得到的数字-模拟转换特性曲线，标出关于无穷精度特性曲线的 *INL* 和 *DNL*。*INL* 和 *DNL* 应该在模拟轴上测得。

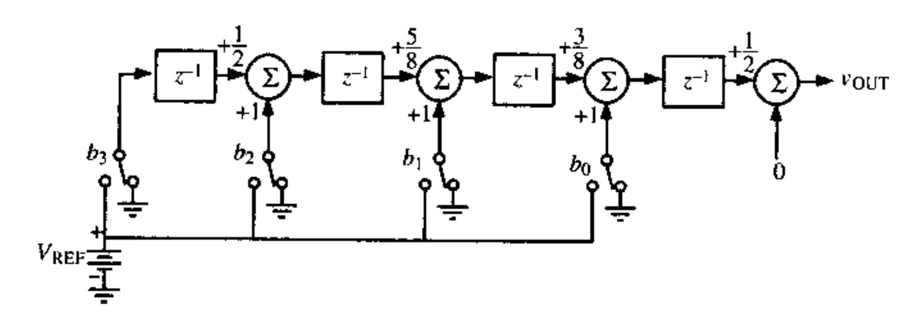


图 P10.4-7

10.4-8 给出从式（10.4-1）推出式（10.4-2）的推导过程。同时在图 10.4-4 的结构图中说明输出的初始归零是如何实现的。

10.4-9 假设图 10.4-4 中的放大器增益为 0.5，增益误差为ΔA。求例 10.4-2 中不会引起转换错误的最大ΔA。

10.4-10 设数字输入为 10101，重复例 10.4-2。

10.4-11 假设用图 10.4-4 中的迭代算法 DAC 对 11001 进行变换，如果 0.5 放大器的增益由 0.5 变为 0.7，哪一位转换会出错？

10.4-12 迭代算法 DAC 如图 P10.4-12 所示。假设需转换的数字码为 10011。若 $V_{REF1} = 0.9V_{REF}$，$V_{REF2} = -0.8V_{REF}$，在转换过程中哪一位会出错？

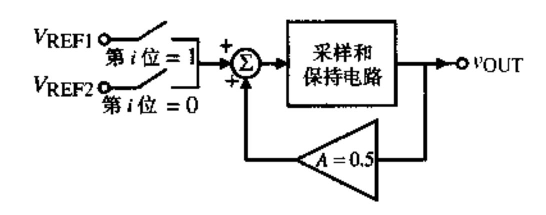


图 P10.4-12

10.5-1 若一个 3 位 ADC 的积分非线性限制在±1*LSB* 以内，微分非线性为可能的最大值，画出其传输特性曲线。这种情况下的最大微分非线性为多少？

10.5-2 一个 3 位 ADC 的特性曲线如图 P10.5-2 所示。

（a）求该 ADC 的± *INL* 和± *DNL*；

（b）该 ADC 是否单调？

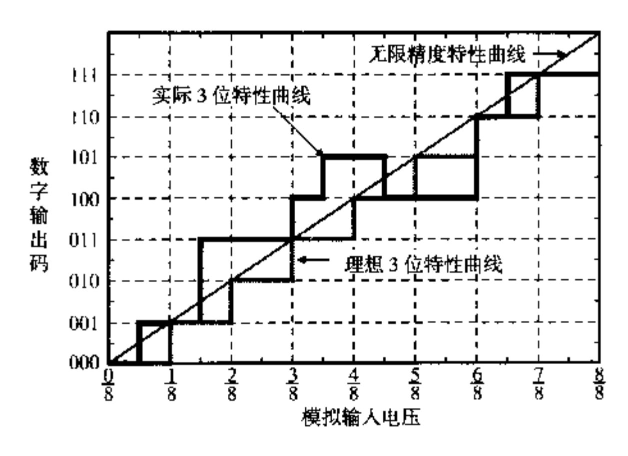


图 P10.5-2

10.5-3 假设一个采样保持电路的阶跃响应为 $v_{OUT}(t) = V_I(1 - e^{-tBW})$，$V_I$是输入阶跃信号的幅值，$BW$是采样保持电路的带宽，为 2π Mrad/s，若采样频率为 1 MHz，求最坏情况下该采样保持电路能分辨的最大位数。

10.5-4 如果一个 ADC 的时钟缝隙抖动为 200 ps，输入信号频率为 1 MHz，峰-峰值为 V_{REF} 的正弦信号，求该 ADC 能分辨的位数。

10.6-1 如果图 10.6-2 的输入为 $0.25V_{REF}$，转换时间为多少？当 $v_{in}^* = 0.7\ V_{REF}$ 时转换时间是多少？

10.6-2 给出一个同相积分器的开关电容实现方案。输入信号与基准电压通过开关 1 和开关 2 与其相连，采用双相时钟。

10.7-1 如果 8 位逐次逼近式 ADC 的采样模拟输入为 $0.7V_{REF}$，求输出数码字。

10.7-2 图 P10.7-2 给出了一个 4 位逐次逼近式 ADC，假设基准电压为 5 V。当输入电压为 3 V 时填写下表：

时钟周期	$B_0B_1B_2B_3$	猜测的 $D_0D_1D_2D_3$	V_{out}	比较器输出	实际的 $D_0D_1D_2D_3$

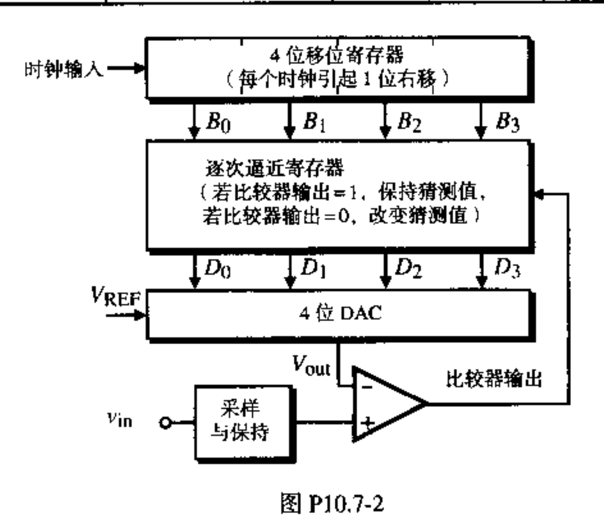


图 P10.7-2

10.7-3　对图 10.7-7 所示的逐次逼近式 ADC，若采样模拟输入为 $0.6V_{REF}$，求 $C_1(v_{C1})$和 $C_2(v_{C2})$两端的电压。假设 S_2和 S_3在一个时钟周期内闭合，S_1在下一个时钟周期内闭合。同时假设一个时钟周期位于连续迭代之间。输出数字是多少？

10.7-4　假设例 10.7-1 中的输入为 $0.8V_{REF}$，求 6 位数字输出码。

10.7-5　假设例 10.7-1 中的输入为 $0.3215V_{REF}$，求 8 位数字输出码。

10.7-6　如果例 10.7-1 中的两级放大器增益实际均为 2.1，重复例 10.7-1 为 8 位时的情况。

10.7-7　假设图 10.7-9 中的流水式算法 ADC 的 $v_{in}^* = 0.7\,V_{REF}$。除了第一级的 2 倍乘法器实际为 $2(1+\varepsilon)$，转换器的其余部分均理想。

(a) 假设比较器的失调电压 V_{os}均为 0，求造成错误的最小ε值。

(b) 接着，假设比较器的失调均相等但不为 0，设ε为 0，求造成错误的最小 V_{os}。

10.7-8　流水式 ADC 的输入为 1.5 V。若 ADC 是理想的，$V_{REF} = 5$ V，求从高到低排列的数字输出码。若 $V_{REF} = 5.2$ V，输入仍为 1.5 V，哪一位会出错？

10.7-9　一个理想 4 阶流水式 ADC 的输入为 $v_{in}^* = 0.1V_{REF}$，求数字输出。若每级比较器的失调均为 0.1 V 呢？设 $V_{REF} = 5$ V。

10.7-10 继续解例 10.7-3 至第 10 位输出，求等效模拟电压。

10.7-11 如果例 10.7-3 中增益为 2 的放大器的实际增益为 2.1，重复例 10.7-3。

10.7-12 算法 ADC 如图 P10.7-12 所示，ϕ_1、ϕ_2为非重叠时钟。注意，转换从ϕ_2时刻将输入 v_{in}^*加到采样保持电路的输入端开始。实际的转换从下一相位阶段ϕ_1 开始。每个连续的ϕ_2 时刻得到输出位。

(a) $v_{in}^* = 0.3\,V_{REF}$时的 8 位数字输出码是多少？

(b) 该数字输出码对应的等效模拟电压是多少？

(c) 求不会引起（a）出错的最大的比较器失调电压 V_{OS}。

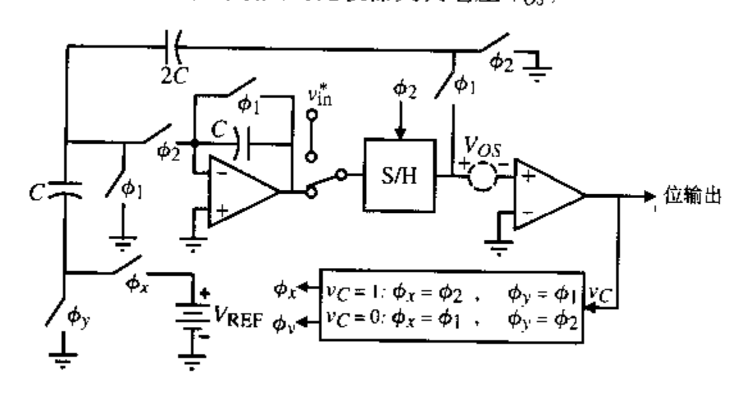


图 P10.7-12

10.8-1　为什么一个快闪式 ADC 只需要 $2^N - 1$ 个比较器？给出图 10.8-1 中提供正确数字输出码的数字译码网络的逻辑图。

10.8-2　当输入 v_{in}^*为 0.6 V_{REF}时图 10.8-1 中的 ADC 的比较器输出是多少？按自上至下的顺序。

10.8-3　图 P10.8-3 中左图是常规 2 位快闪式 ADC 的实现方案（数字译码电路没有画出），右图是另一种电路。求能够实现常规 2 位快闪式模数转换功能的 C_1、C_2和 C_3的值，用 C 表示。假设用于 CMOS 集成电路，从比较器的失调电压、转换速率、转换精度的角度比较这两种方案的性能。

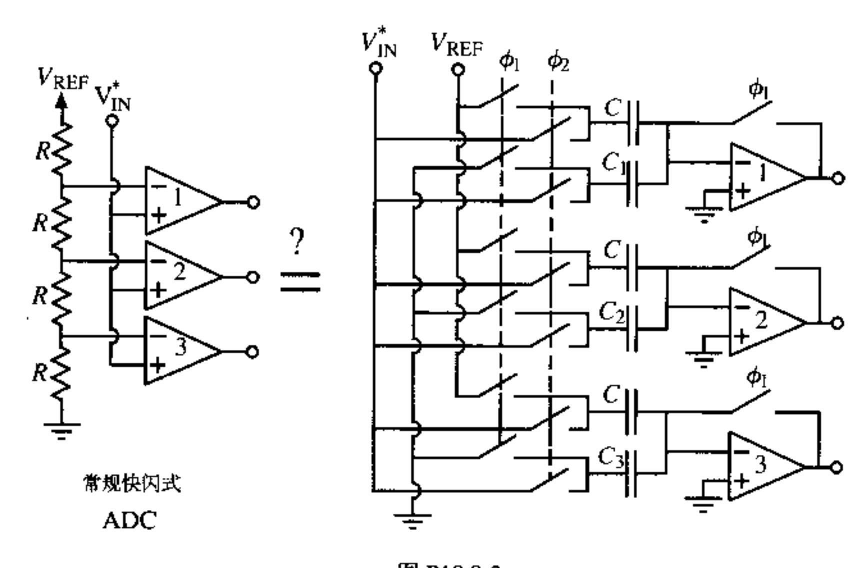


图 P10.8-3

10.8-4 图 P10.8-4 给出了两种 2 位快闪存式 ADC 的实现方案。确定 R_1、R_2 和 R_3 的值使右侧的方案等效于左侧的方案。比较二者性能的优缺点。

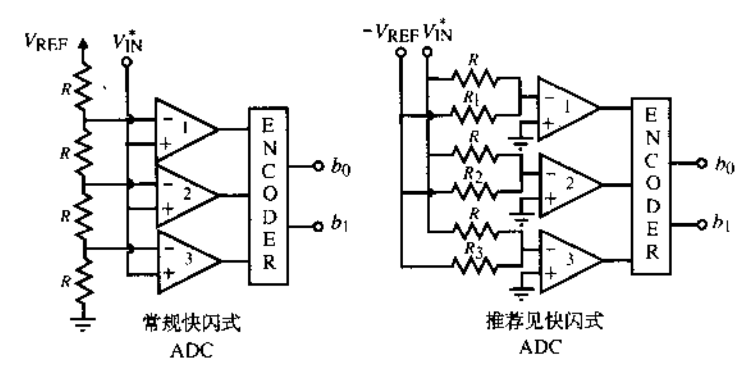


图 P10.8-4

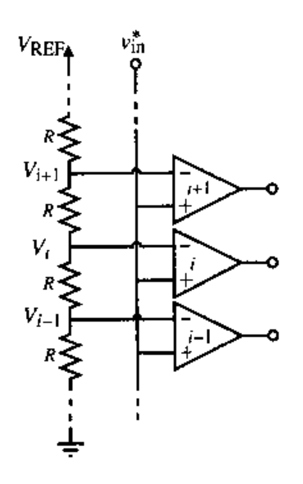


图 P10.8-5

10.8-5 图 P10.8-5 所示是一个 6 位快闪式 ADC 的一部分。比较器的主极点为 10^3 rad/s，直流增益为 10^4，电压变化速率为 3 V/μs，二进制输出电压为 1 V 和 0 V。假设转换时间定义为比较器的输出从其初始状态变化到最终状态一半时需要的时间。若 $V_{REF} = 5$ V，该 ADC 的最大转换速率是多少？假设电阻阶梯是理想的。

10.8-6 一个快闪式 ADC 采用运算放大器作为比较器。运算放大器电源为+5 V 和地。假设运算放大器的输出幅度由 0 到+5 V，模拟输入信号的范围为 1~4 V（$V_{REF} = 3$ V）。运算放大器是理想的，只是输出电压表示为：

$$v_o = 1000\,(v_{id} + V_{OS}) + A_{cm}\,v_{cm}$$

其中，v_{id}是差模输入电压，A_{cm}是运算放大器的共模增益，v_{cm}是共模输入电压，V_{os}是运算放大器的直流失调电压。

（a）若$A_{cm}=1$ V/V，$V_{os}=0$ V，其余元件均理想时，在最坏情况下此转换器能够转换的最大位数是多少？

（b）若$A_{cm}=0$ V/V，$V_{os}=40$ mV，其余元件均理想，在最坏情况分析下该转换器能够转换的最大位数是多少？

10.8-7　内插式 ADC 如图 10.8-3 所示，用最坏情况分析求连接在V_{REF}与地之间的电阻必须达到的精度。再对 8 个串联内插式电阻进行同样的分析。

10.8-8　假设图 10.8-6 中 8 个比较器的输入电容相等，求运算放大器A_1、A_2的输出端到 8 个比较器输入端的相对延时。

10.8-9　一个折叠内插式 ADC 的粗化位数为$N1=3$，细化位数为$N2=4$，求所需的比较器个数。一个等效的 7 位闪存式 ADC 需要多少个比较器？

10.8-10 画出一个单端输出在 1~3 V 之间的折叠器示意图，从 1 V 开始到 1 V 结束，6 次经过 2 V。

10.8-11 图 P10.8-11 给出了一个流水式 ADC。如果$V_{REF1}=0.75V_{REF}$，$V_{REF2}=V_{REF}$，$V_{REF3}=0.75V_{REF}$，$V_{REF4}=1.25V_{REF}$，$A=4$，画出其输出-输入特性曲线。用±*LSB* 表示 *INL* 和 *DNL*，并确定该转换器是否单调。

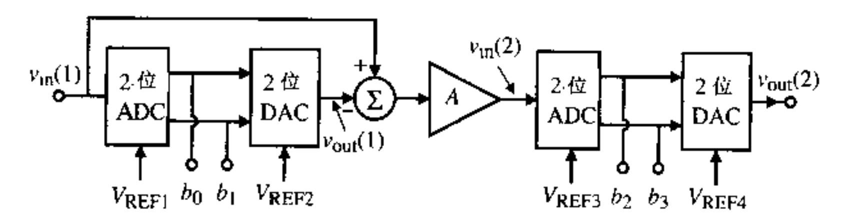


图 P10.8-11

10.8-12 如果$V_{REF1}=V_{REF2}=0.75V_{REF}$，其余均为理想值，重复习题 10.8-11。

10.8-13 如果（a）$A=2$，（b）$A=6$，ADC 其余值均理想，重复习题 10.8-11。

10.8-14 图 10.8-17 的流水式 ADC 中，第一级 DAC 的基准电压为$V_{REF}\pm\Delta V_{REF}$。如果其他均理想，求最小的ΔV_{REF}，使 *INL*：

（a）在±0.5*LSB* 之间；

（b）在±1*LSB* 之间。

10.8-15 图 P10.8-11 中的流水式 ADC 中，假设 2 位 ADC 和 2 位 DAC 均理想，且$V_{REF}=1$ V，放大器的理想值为$A=4$。求不会在 4 位 ADC 中产生错误的A的最大值和最小值（用±%表示）。

10.8-16 图 P10.8-16 中的流水式 ADC 采用了两个相同的理想 2 位 ADC 级组成一个 4 位 ADC。假设b_2、b_3在第 2 级 ADC 中被错误地交换。画出转换器的输出-输入特性曲线，用±*LSB* 表示 *INL* 和 *DNL*，并确定该转换器是否单调。

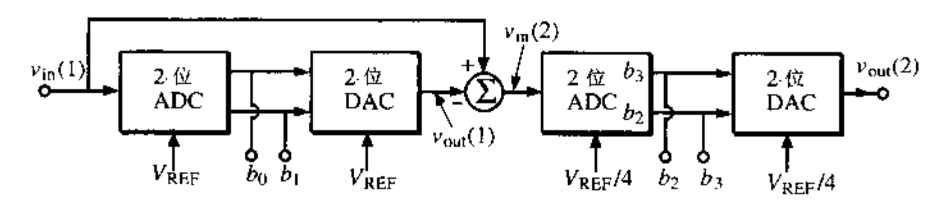


图 P10.8-16

10.9-1 图 P10.9-1 给出了一个一阶ΔΣ调制器。求 $V_{in}(z)=0$ 时输出频谱噪声的幅度。如果采样频率 $f_s=10$ MHz，$k=1$，求 10 位 ADC 的带宽。当 $k=0.5$ 时重复本题。

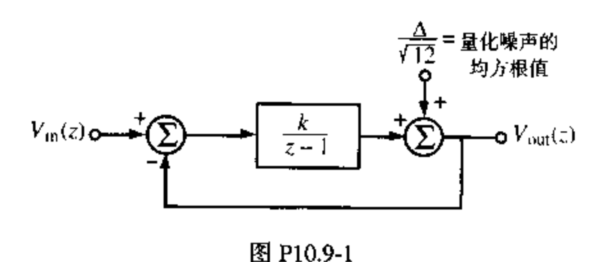


图 P10.9-1

10.9-2 一个 16 位的过采样 ADC，带宽为 100 kHz，采样频率为 10 MHz。

（a）如图 10.9-6 所示的调制器，采用 1 位量化器（$\Delta=V_{REF}/2$），求能满足这些条件的环路的最小数目。

（b）如果调制器有两个环路，求满足条件的量化器的最小位数。

10.9-3 画出图 P10.9-3 所示ΔΣ调制器中虚线范围内的单端开关电容实现方案。假设 1 位 DAC 的输出为 $\pm 0.5V_{REF}$。标明开关的相位（ϕ_1 和 ϕ_2）。

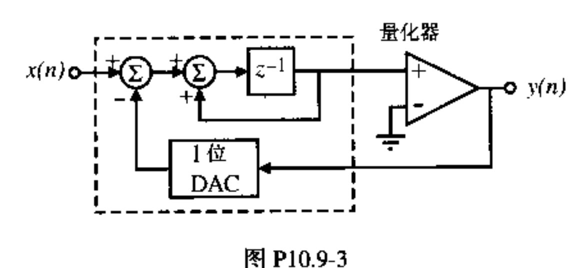


图 P10.9-3

10.9-4 假设一个二阶 1 位 ΔΣ调制器的调制噪声频谱密度为：

$$|N(f)|=\frac{4\Delta}{\sqrt{12}}\sqrt{\frac{2}{f_s}}\sin^2\left(\frac{\omega\tau}{4}\right)$$

其中，Δ为 1 位量化器的输出信号电平，采样频率 $f_s=(1/\tau)=10$ MHz。如果该调制器用于 18 位过采样 ADC，求信号带宽 f_B。写出本题用到的假设。

10.9-5 一个 L 阶过采样 ADC 在信号带宽（0，f_b）内的噪声功率为：

$$n_o=\frac{\Delta}{\sqrt{12}}\frac{\pi^L}{\sqrt{2L+1}}\left(\frac{2f_B}{f_s}\right)^{L+0.5}$$

其中，f_s 为采样频率，$\Delta=\frac{V_{REF}}{2^B-1}$，$B$ 为量化器的位数。求下列情况下的最小过采样率 $OSR=(f_s/2f_B)$。

（a）1 位量化器，3 阶环路，16 位过采样 ADC；

（b）2 位量化器，3 阶环路，16 位过采样 ADC；

（c）3 位量化器，2 阶环路，16 位过采样 ADC。

10.9-6 图 P10.9-6 给出了一个 2 阶过采样调制器。

（a）求噪声传输函数 $Y(z)/Q(z)$；

（b）假设 1 位ΔΣ调制器的量化噪声频谱密度为：

$$|N(f)| = \frac{2V_{\text{REF}}}{\sqrt{12}}\sqrt{\frac{2}{f_s}}\sin^2\left(\frac{\omega}{2f_s}\right)$$

其中，采样频率$f_s = 10$ MHz。若该调制器用于 16 位过采样 ADC，求最大信号带宽f_B。

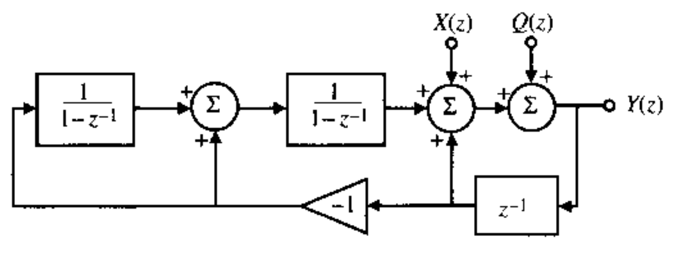


图 P10.9-6

10.9-7　一个多级ΔΣ调制器如图 P10.9-7 所示，用输入 $X(z)$、量化噪声源 $Q_1(z)$和 $Q_2(z)$表示输出 $Y_o(z)$。该调制器的阶数是多少？

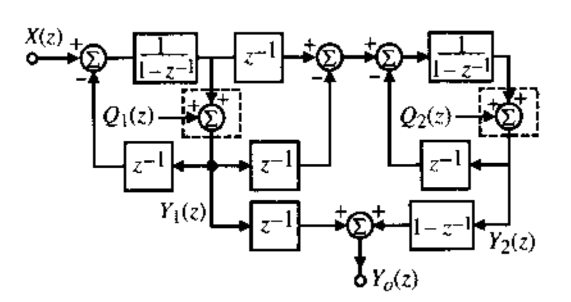


图 P10.9-7

10.9-8　两个一阶ΔΣ调制器进行多路复用，如图 P10.9-8 所示。$\Delta\Sigma_1$在ϕ_1时刻作为 1 位量化器，$\Delta\Sigma_2$在ϕ_2时刻作为 1 位量化器，ϕ_1和ϕ_2为不重叠时钟。一个基本 L 环路ΔΣ调制器的噪声如下：

$$n_o = \frac{\Delta}{\sqrt{12}}\frac{\pi^L}{\sqrt{2L+1}}\left(\frac{2f_B}{f_S}\right)^{L+0.5}$$

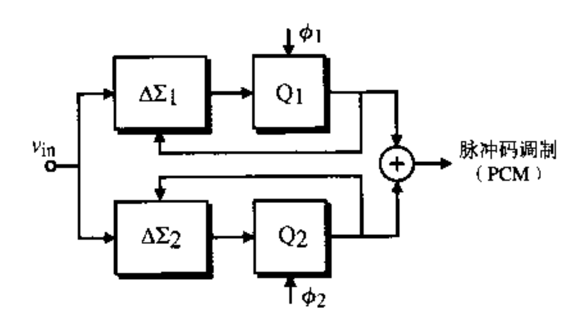


图 P10.9-8

（a）假设每个量化器的量化电平为$\Delta = 0.5V_{\text{REF}}$，时钟频率为 100 MHz，最后一级 ADC 的带宽为 1 MHz，求动态范围为多少（单位为 dB）？

（b）若量化器为 2 位，动态范围为多少（单位为 dB）？

10.9-9 图 P10.9-9 是一个一阶 1 位带通ΔΣ调制器。求调制噪声频谱密度 $N(f)$，并在信号带宽(f_1,f_2)内对此噪声幅值的平方进行积分，用ΔΣ与过采样因子 M 表示带宽内的噪声功率 $n_o(f)$，$M=f_s/(2f_B)$。如果采样频率为 $f_s=10$ MHz，求使用此调制器的 14 位 ADC 的 f_B。

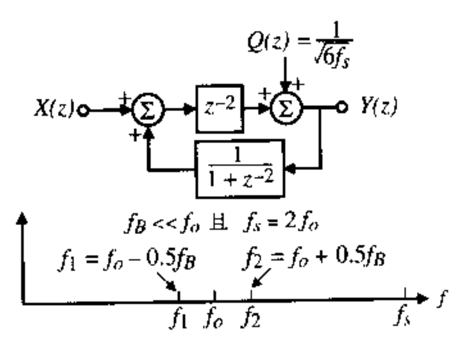


图 P10.9-9

10.9-10 图 P10.9-10 是一个一阶 1 位带通ΔΣ调制器。求调制噪声频谱密度 $N(f)$，并在信号带宽(f_1,f_2)内对此噪声幅值的平方进行积分，用Δ与过采样因子 M 表示带宽内的噪声功率 $n_o(f)$，$M=f_s/(2f_B)$。如果采样频率为 $f_s=100$ MHz，求使用此调制器的 12 位 ADC 的 f_B。假设 $f_s=4f_o$，$f_B \ll f_o$。

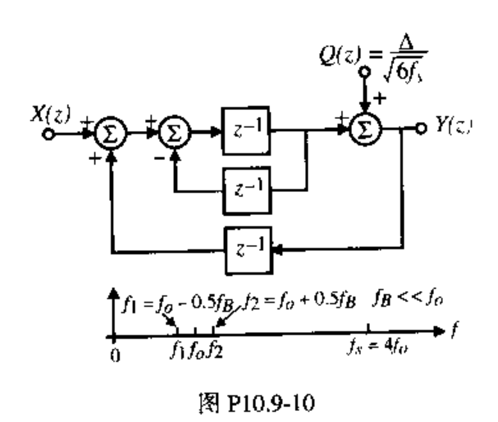


图 P10.9-10

参考文献

1. B. M. Gordon, "Linear Electronic Analog/Digital Conversion Architecture, Their Origins, Parameters, Limitations, and Applications," *IEEE Trans. Circuits Syst.*, Vol. CAS-25, No. 7, pp. 391–418, July 1978.
2. D. Gilbert, "Understanding D/A Accuracy Specs.," *Electronic Products*, Vol. 24, No. 3, pp. 61–63, July 1981.
3. F. O. Eynde and W. M. C. Sansen, *Analog Interfaces for Digital Signal Processing Systems*. Norwell, MA: Kluwer Academic Publishers, 1993.
4. A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*. New York: Wiley, 1984.
5. D. H. Sheingold, *Analog–Digital Conversion Handbook*. Norwood, MA: Analog Devices, 1972.
6. B. Fotouhi and D. A. Hodges, "High-Resolution A/D Conversion in MOS/LSI," *IEEE J. Solid-State Circuits*, Vol. SC-14, pp. 920–926, Dec. 1979.
7. R. E. Suarez, P. R. Gray, and D. A. Hodges, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques—Part II," *IEEE Solid-State Circuits*, Vol. SC-10, No. 6, pp. 379–385, Dec. 1975.
8. R. H. Charles and D. A. Hodges, "Charge Circuits for Analog LSI," *IEEE Trans. Circuits Syst.*, Vol. CAS-25, No. 7, pp. 490–497, July 1978.
9. X. Hu and K. W. Martin, "A Switched-Current Sample-and-Hold Circuit," *IEEE J. Solid-State Circuits*, Vol. 32, No. 6,

pp. 898–904, Jan. 1997.

10. I. Mehr and T. L Sculley, "A 16-bit Current Sample/Hold Circuit Using a Digital CMOS Process," *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 5.417–5.420, 1994.
11. S. A. Trotter, *Introduction to Discrete-Time Signal Processing*, New York: Wiley, 1976.
12. J. Doernberg, H. S. Lee, and D. A. Hodges, "Full-Speed Testing of A/D Converters," *IEEE J. Solid-State Circuits*, Vol. SC-19, No. 6, pp. 820–827, Dec. 1984.
13. "Dynamic Performance Testing of A to D Converters," *Hewlett Packard Product Note 5180A-2.*
14. G. F. Landsburg, "A Charge-Balancing Monolithic A/D Converter," *IEEE Solid-State Circuits*, Vol. SC-12, No. 6, pp. 662–673, Dec. 1977.
15. E. R. Hnatek, *A User's Handbook of D/A and A/D Converters*, New York: Wiley, 1976.
16. P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A Ratio-Independent Algorithmic Analog-to-Digital Conversion Technique," *IEEE Solid-State Circuits*, Vol. SC-19, No. 6, pp. 828–836, Dec. 1984.
17. M. Flynn, "A 400 Msample/s, 6-b CMOS Folding and Interpolating ADC," *IEEE J. Solid-State Circuits*, Vol. 33, No. 12, pp. 1932–1938, Dec. 1998.
18. S. Tsukamoto, "A CMOS 6-b, 400-Msample/s ADC with Error Correction," *IEEE J. Solid-State Circuits*, Vol. 33, No. 12, pp. 1939–1947, Dec. 1998.
19. M. Steyaert, R. Roovers, and J. Craninckx, "A 100 MHz 8-bit CMOS Interpolating A/D Converter," *IEEE Custom Integrated Circuits Conference*, San Diego, May 1993, pp. 28.1.1–28.1.4.
20. J. van Valburg and R. J. van de Plassche, "An 8-b, 650-MHz Folding ADC," *IEEE J. Solid-State Circuits*, Vol. 27, pp. 1662–1666, Dec. 1992.
21. M. Flynn and D. Allstot, "CMOS Folding A/D Converters with Current-Mode Interpolation," *IEEE J. Solid-State Circuits*, Vol. 31, No. 9, pp. 1248–1257, Sept. 1996.
22. P. Vorenkamp and R. Roovers, "A 12-b, 60-MSample/s Cascaded Folding and Interpolating ADC," *IEEE J. Solid-State Circuits*, Vol. 32, No. 12, pp. 1876–1886, Dec. 1997.
23. B. Nauta and A. Venes, "A 70 Ms/s 110 mW 8-b CMOS Folding and Interpolating A/D Converter," *IEEE J. Solid-State Circuits*, Vol. 30, no. 12, pp.1302–1308, Dec. 1995.
24. A. Venes and R. van de Plassche, "An 80 MHz, 80 mW, 8-b CMOS Folding A/D Converter with Distributed Track-and-Hold Preprocessing," *IEEE J. Solid-State Circuits*. Vol. 31, no. 12, pp. 1846–1853, Dec. 1996.
25. K. Nakamura, M. Hotta, L. R. Carley, and D. J. Allstot, "An 85 mW, 10b, 40 Msample/s CMOS Parallel-Pipelined ADC," *IEEE J. Solid-State Circuits*, Vol. 30, No. 3, pp. 173–183, Mar. 1995.
26. L. A. Singer and T. L. Brooks, "A 14-bit 10-MHz Calibration-Free CMOS Pipelined A/D Converter," *Symposium VLSI Circuits Digest of Technical Papers*, Honolulu, HI, June 1997, pp. 94–95.
27. S. H. Lewis and P. R. Gray, "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, Vol. SC-22, no. 6, pp. 954–961, Dec. 1987.
28. R. Petschacher, B Zojer, B. Astegner, H. Jessner, and A. Eechner,"A 10-b 75-MSPS Subranging A/D Converter with Integrated Sample and Hold," *IEEE J. Solid-State Circuits*, Vol. 25, pp. 1339–1346, Dec. 1990.
29. B. E. Boser and B. A. Wooley, "The design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE J. Solid-State Circuits*, Vol. SC-23, pp. 1298–1308, Dec. 1988.
30. J. Candy and G. Temes, *Oversampling Delta-Sigma Data Converters*. New York: IEEE Press, 1997.
31. S. R. Norsworthy, R. Schreier, and G. Temes, *Delta-Sigma Data Converters*. New York: IEEE Press, 1992, pp. 1–29.
32. J. W. Scott, W. Lee, C. Giansario, and C. G. Sodini, "A CMOS Slope Adaptive Delta Modulator," *ISSCC Dig. Tech. Papers*, pp. 130–131. Feb. 1986.
33. H. Inose, Y. Yasada, and J. Murakami, "A Telemetering System Code Modulation—Δ-Σ Modulation," *IRE Trans. Space Electron. and Telemetry*, Vol. SET-8, pp. 204–209, Sept. 1962.
34. Y. Geerts, A. M. Marques, V. Peluso, M. S. J. Steyaert, and W. Sansen, "A 3.3-V, 15-bit Delta-Sigma ADC with a Bandwidth of 1.1 MHz for ADSL Applications," *IEEE J. Solid-State Circuits*, Vol. 34, No. 7, pp. 927–936, July 1999.
35. T. Brooks, D. Robertson, D. Kelly, A. Del Muro, and S. Hanston, "A Cascaded Sigma-Delta Pipeline A/D Converter with 1.25 MHz Signal Bandwidth and 89 dB SNR," *IEEE J. Solid-State Circuits*, Vol. 32, No. 12, pp. 1896–1906, Dec. 1997.
36. A. K. Org and B. A. Wooley, "A Two-path Bandpass ΔΣ Modulator for Digital IF Extraction at 20 MHz," *IEEE J. Solid-State Circuits*, Vol. 32, No. 12, pp. 1920–1934, Dec. 1997.
37. S. A. Jantzi, K. W. Martin, and A. S. Sedra, "Quadrature Bandpass ΔΣ Modulation for Digital Radio," *IEEE J. Solid-State Circuits*, Vol. 32, No. 12, pp. 1935–1950, Dec. 1997.
38. A. Hairapetian, "An 81 MHz IF Receiver in CMOS," *ISSCC Dig. Tech. Papers*, pp. 56–57, Feb. 1996.
39. A. V. Oppenheim and R. W. Schafer, *Discrete-Time Signal Processing*. New York: Prentice-Hall, 1989.
40. J. Candy, "A Use of Double Integration in Sigma Delta Modulation," *IEEE Trans. Commun.*, Vol. COM-33, pp. 249–258, Mar. 1985.
41. B. Razavi, *Principles of Data Conversion System Design*. New York: IEEE Press, 1995.
42. B. P. Brandt, *Oversampled Analog-to-Digital Conversion*, Ph.D. Thesis, Stanford University, 1991.
43. F. Op't Eynde and W. Sansen, *Analog Interfaces for Digital Signal Processing Systems*. Boston: Kluwer Academic Publishers, 1993.

44. R. W. Adams, P. R. Ferguson, Jr., A. Ganesan, S. Vincelette, A. Volpe, and R. Libert, "Theory and Practical Implementation of a Fifth-Order Sigma-Delta A/D converter," *J. Audio Eng. Soc.*, Vol. 39, No. 7/8, pp. 515–528, July 1991.
45. T. Ritoniemi, T. Karema, and H. Tenhunen, "Design of Stable High Order 1-bit Sigma-Delta Modulators," *Proc. ISCAS*, pp. 3267–3270, May 1990.
46. P. R. Ferguson, Jr., A. Ganesan, and R. W. Adams, "One-Bit Higher Order Sigma-Delta A/D Converters," *Proc. ISCAS*, pp. 890–893, May 1990.
47. R. T. Baird and T. S. Fiez, "Stability Analysis of High-Order Delta-Sigma Modulators for ADCs," *IEEE Trans. Circuits Syst. II*, Vol. 41, No. 1, pp. 59–62, Jan. 1994.
48. K. C-H. Chao, S. Nadeem, W. L. Lee, and C. G. Sodini, "A Higher Order Topology for Interpolative Modulators for Oversampling A/D Converters," *IEEE Trans. Circuits Syst.*, Vol. CAS-37, pp. 309–318, Mar. 1990.
49. S. Nadeem, C. G. Sodini, and H. S. Lee, "16-Channel Oversampled Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, Vol. 29, No. 9, pp. 1077–1085, Sept. 1994.
50. F. Op't Eynde, G. M. Yin, and W. Sansen, "A CMOS Fourth-Order 14b, 500 ksample/s Sigma-Delta ADC Converter," *ISSCC Dig. Tech. Paper.*, pp. 62–63, Feb. 1991.
51. S. Au and H. Leung, "A 1.95-V, 0.3 mW, 12-b Sigma-Delta Modulator Stabilized by Local Feedback Loops," *IEEE J. Solid-State Circuits*, Vol. 32, No. 3, pp. 321–328, Mar. 1997.
52. P. van Gog, B. M. J. Kup, and R. van Osch, "A Two-Channel 16/18b Audio AD/DA Including Filter Function with 60/40 mW Power Consumption at 2.7 V," *ISSCC Dig. Tech. Papers*, pp. 208–209, Feb. 1995.
53. D. R. Welland, B. P. Del Signore, E. J. Swanson, T. Tanaka, K. Hamashita, S. Hara, and K. Takasuka, "A Stereo 16-bit Delta-sigma A/D Converter for Digital Audio," *J. Audio Eng. Soc.*, Vol. 37, pp. 476–486, June 1989.
54. C. H. Thomsen and S. R. Bernades, "A Digitally-Corrected 20b Delta-Sigma Modulator," *ISSCC Dig. Tech. Papers*, pp. 194–195, Feb. 1994.
55. D. A. Kerth, D. B. Kasha, T. G. Mellissinos, D. S. Piasecki, and E. J. Swanson, "A 120 dB Linear Switched-Capacitor Delta-Sigma Modulator," *ISSCC Dig. Tech. Pap.*, pp. 196–197, Feb. 1994.
56. K. Y. Leung, E. J. Swanson, K. Leung, and S. S. Zhu, "A 5 V, 118 dB ΔΣ Analog-to-Digital Converter for Wideband Digital Audio," *ISSCC Dig. Tech. Papers* pp. 218–219, Feb. 1997.
57. K. Yamamura, A. Nogi, and A. Barlow, "A Low Power 20-bit Instrumentation Delta-Sigma ADC," *Proc. CICC'94*, pp. 23.7.1–23.7.4, May 1994.
58. E. J. van der Zwan, "A 2.3 mW CMOS ΔΣ Modulator for Audio Applications," *ISSCC Dig. Tech. Papers*, pp. 220–221, Feb. 1997.
59. Y. Matsuya, K. Uchimura, A. Iwata, T. Kobayashi, M. Ishikawa, and T. Yoshitome, "A 16-bit Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Shaping," *IEEE J. Solid-State Circuits*, Vol. SC-22, pp. 921–929, Dec. 1987.
60. L. Longo and M. Copeland, "A 13-bit ISDN-Band Oversampled ADC Using Two-Stage Third Order Noise Shaping," *Proc. IEEE CICC'88*, pp. 21.2.1–21.2.4, Jan. 1988.
61. L. A. Williams III and B. A. Wooley, "A Third-Order Sigma-Delta Modulator with Extended Dynamic Range," *IEEE J. Solid-State Circuits*, Vol. 29, No. 3, pp. 193–202, Mar. 1994.
62. G. Yin, F. Stubbe, and W. Sansen, "A 16-bit 320-kHz CMOS A/D Converter Using Two-Stage Third Order ΔΣ Noise Shaping," *IEEE J. Solid-State Circuits*, Vol. 28, No. 6, pp. 640–647, June 1993.
63. S. Rabii and B. A. Wooley, "A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8 μm CMOS," *IEEE J. Solid-State Circuits*, Vol. 32, No. 6, pp. 783–796, June 1997.
64. B. P. Brandt and B. A. Wooley, "A 50-MHz Multibit Sigma-Delta Modulator for 12-b 2-MHz A/D Conversion," *IEEE J. Solid-State Circuits*, Vol. 26, No. 6, pp. 1746–1756, Dec. 1991.
65. T. Karema, T. Ritoniemi, and H. Tenhunen, "An Oversampled Sigma-delta A/D Converter Circuit Using Two-Stage Fourth Order Modulator," *Proc. ISCAS*, pp. 3279–3282, May 1990.
66. T. Ritoniemi, E. Pajarre, S. Ingalsuo, T. Husu, V. Eerola, and T. Saramaki, "A Stereo Audio Sigma-Delta A/D-Converter," *IEEE J. Solid-State Circuits*, Vol. 29, No. 12, pp. 1514–1523, Dec. 1994.
67. I. Fujimori, K. Koyama, D. Trager, F. Tam, and L. Longo, "A 5-V Single-Chip Delta-Sigma Audio A/D Converter with 111 dB Dynamic Range," *IEEE J. Solid-State Circuits*, Vol. 32, No. 3, pp. 329–336, Mar. 1997.
68. G. Yin and W. Sansen, "A High-Frequency and High-Resolution Fourth-Order ΔΣ A/D Converter in BiCMOS Technology," *IEEE J. Solid-State Circuits*, Vol. 29, No. 8, pp. 857–865, Aug. 1994.
69. F. Medeiro, B. Perez-Verdu, and A. Rodriguez-Vazquez, "A 74 dB Dynamic Range, 1.1-MHz Signal Band 4th-Order 2-1-1 Cascade Multi-bit CMOS ΔE Modulator for ADSL," *Proc. ESSCIRC'97*, pp. 72–75, Sept. 1997.
70. I. Dedic, "A Sixth Order Triple-Loop Sigma-Delta CMOS ADC with 90 dB SNR and 100 kHz Bandwidth," *ISSCC Dig. Tech. Papers*, pp. 188–189, Feb. 1994.
71. R. T. Baird and T. S. Fiez, "A Low Oversampling Ratio 14-b 500-kHz ΔΣ ADC with a Self-Calibrated Multibit DAC," *IEEE J. Solid-State Circuits*, Vol. 31, No. 3, pp. 312–320, Mar. 1996.
72. T. Cataltepe, E. R. Kramer, G. C. Temes, and R. H. Walden, "Digitally-Corrected Multi-bit ΔΣ Data Converters," *Proc. ISCAS*, pp. 647–650, May 1989.

73. M. Sarhang-Nejad and G. C. Temes, "A High-Resolution Multibit ΔΣ ADC with Digital Correction and Relaxed Amplifier Requirements," *IEEE J. Solid-State Circuits*, Vol. 28, No. 6, pp. 648–660, June 1993.
74. L. R. Carley, "A Noise Shaping Coder Topology for 15+-bit Converters," *IEEE J. Solid-State Circuits*, Vol. SC-24, pp. 267–275, Apr. 1989.
75. J. W. Fattaruso, S. Kiriaki, M. de Wit, and G. Warwar, "Self-Calibration Techniques for a Second-Order Multibit Sigma-Delta Modulator," *IEEE J. Solid-State Circuits*, Vol. 28, No. 12, pp. 1216–1223, Dec. 1993.
76. Y. Sakina, *Multibit ΔΣ Analog-to-Digital Converters with Nonlinearity Correction Using Dynamic Barrel Shifting*, M.A.Sc. Thesis, University of California, Berkeley, 1990.
77. F. Chen and B. H. Leung, "A High Resolution Multibit Sigma-Delta Modulator with Individual Level Averaging," *IEEE J. Solid-State Circuits*, Vol. 30, No. 4, pp. 453–460, Apr. 1995.
78. O. Nys and R. K. Henderson, "A 19-bit Low-Power Multibit Sigma-Delta ADC Based on Data Weighted Averaging, *IEEE J. Solid-State Circuits*, Vol. 32, No. 7, pp. 933–942, July 1997.
79. A. Hairapetian and G. Temes, "A Dual-Quantization Multi-Bit Sigma-Delta Analog/Digital Converter," *Proc. ISCAS*, pp. 5.437–5.440, May 1994.
80. B. P. Brandt and B. A. Wooley, "A Low-Power, Area-Efficient Digital Filter for Decimation and Interpolation," *IEEE J. Solid-State Circuits*, Vol. 29, No. 6, pp. 679–687, June 1994.
81. A. V. Oppenheim and R. W. Schafer, *Discrete-Time Signal Processing*. New York: Prentice-Hall, 1989.
82. R. Adams, K. Q. Nguyen, and K. Sweetland, "A 113-dB SNR Oversampling DAC with Segmented Noise-Shaped Scrambling," *IEEE J. Solid-State Circuits*, Vol. 33, No. 12, pp. 1871–1878, Dec. 1998.
83. I. Fujimuri, A. Nogi, and Sugimoto, "A Multi-bit ΔΣ Audio DAC with 120 dB Dynamic Range," *ISSCC Dig. Tech. Papers*, pp. 152–153, Feb. 1999.
84. A. L. Coban and P. E. Allen, "A 1.5 V 1 mW Audio ΔΣ Modulator with 98 dB Dynamic Range," *ISSCC Dig. Tech. Papers*, pp. 50–51, Feb. 1999.
85. V. Peluso, P. Vancorenland, A. M. Marques, M. S. J. Steyaert, and W. Sansen, "A 900-mV Low-Power ΔΣ A/D Converter with 77-dB Dynamic Range," *IEEE J. Solid-State Circuits*, Vol. 33, No. 12, pp. 1887–1897, Dec. 1998.
86. B. E. Boser and B. A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE J. Solid-State Circuits*, Vol. SC-23, pp. 1298–1308, Dec. 1988.

附录 A　模拟电路设计的电路分析

附录 A 的目的在于提供一种系统分析模拟电路的方法。因为分析在电路设计中具有重要作用，因而这里介绍的方法在模拟集成电路设计的研究中非常有用。我们将首先以综合的观点对建立器件模型做一个简略的介绍，然后引出几种在模拟电路分析中很有用的网络分析技术。这些技术包括网孔及节点分析、叠加、电源替换、网络简化和米勒简化。虽然还有其他一些技术，但以上这些是模拟电路分析中经常使用的。

无论是在模拟电路的分析中还是在设计中，建模都是很重要的。所谓建模，是指通过数学或图形的分析方法对电子元器件进行描述的过程。大多数电子器件至少有三个端口，并且端口间电压电流的关系是非线性的。因此，模型被分成大信号模型和小信号模型。

大信号模型表征了电子器件的非线性特性，小信号模型反映了端口电压电流的线性关系。特别是小信号模型只对幅度有限的信号有效。事实上，为了用线性关系近似非线性关系，必须减小信号的幅度。小信号模型的优点是通过端口电流与电压间固有的线性关系大大简化分析。同时，模型只是真实器件的代表，因此可能在某些给定的电压和电流范围内不能准确地预测元器件的性能。

模拟电路分析中最为重要的原则是使分析方法尽可能地简单，当分析为电路设计服务时，这点变得尤为重要。复杂的表达式不利于我们发现决定器件性能的参数与性能间的关系，因此我们总是使用最简单的模型。当分块分析比整体分析更为简单时，应当将问题分块。当需要的时候，设计者可以进行计算机仿真以得到更为详细的分析。但是，在使用计算机进行仿真的时候，设计者应当知道结果的意义，而且使用计算机可简化手工计算。

A.1　分析技术

在以下的分析技术中只介绍线性电路的分析方法。也就是说，这些方法只适用于小信号模型与电路。这并不表示这些分析方法具有严格的局限性，因为大部分模拟电路的性能可以用小信号分析来描述。

首先，我们要讨论的是列出一组描述电路方程的系统方法。在很多情况下，模拟小信号电路可通过一系列简单的推导运算进行快速分析。这种情况常常出现在输入输出端口间仅存在一条信号通路的时候。举例来说，分析图 A.1-1，如果想求出 v_{out}/v_{in}，简单的方法是写出如下传输函数：

$$\frac{v_{out}}{v_{in}} = \left(\frac{v_{out}}{v_1}\right)\left(\frac{v_1}{v_{in}}\right) = (-g_m R_3)\left(\frac{R_2}{R_1 + R_2}\right) = \frac{-g_m R_2 R_3}{R_1 + R_2} \qquad (A.1-1)$$

在更复杂的电路中，从输入到输出端口间通常存在多条信号通路。在此情况下，必须列出描述电路的一组线性方程。两种著名的方法是使用节点和网孔方程。这两种方法建立在基尔霍夫定律的基础上。所谓基尔霍夫定律，是指流入某节点的电流等于流出该节点的电流，回路的电压降之和必须为零。下面举两个例子来说明上述两种方法。

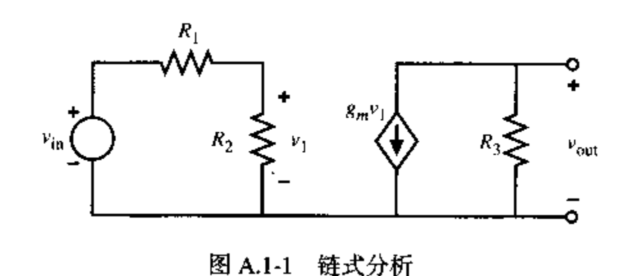


图 A.1-1　链式分析

例 A.1-1　模拟电路的节点分析法

考虑图 A.1-2，计算 v_{out}/i_{in}。

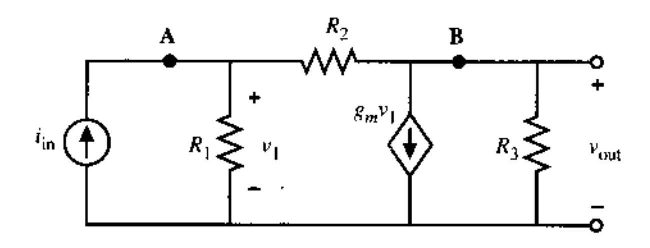


图 A.1-2　节点分析

解：采用节点分析法，我们可以对节点 A 和 B 的输入输出电流之和列出如下等式：

$$i_{in} = (G_1 + G_2)v_1 - G_2 v_{out} \tag{A.1-2}$$

$$0 = (g_m - G_2)v_1 + (G_2 + G_3)v_{out} \tag{A.1-3}$$

注意，在这里用 $G_i = 1/R_i$ 简化表达式。我们可以用克莱姆法则求解矩阵方程，得：

$$v_{out} = \frac{\begin{vmatrix} G_1 + G_2 & i_{in} \\ g_m - G_2 & 0 \end{vmatrix}}{\begin{vmatrix} G_1 + G_2 & -G_2 \\ g_m - G_2 & G_2 + G_3 \end{vmatrix}} = \frac{(G_2 - g_m)i_{in}}{G_1G_2 + G_1G_3 + G_2G_3 + g_mG_2} \tag{A.1-4}$$

则传输函数表示为：

$$\frac{v_{out}}{i_{in}} = \frac{G_2 - g_m}{G_1G_2 + G_1G_3 + G_2G_3 + g_mG_2} \tag{A.1-5}$$

例 A.1-2　模拟电路的网孔分析法

考虑图 A.1-3 中的电路，求电路的传输函数 v_{out}/v_{in}。

解：在电路中，我们定义两个网孔电流 i_a 和 i_b。顺着两个电流写出两个网孔电压降之和，得出以下两个网孔方程：

$$v_{in} = (R_1 + R_2)i_a + R_1 i_b \tag{A.1-6}$$

$$v_{in} = (R_1 - r_m)i_a + (R_1 + R_3)i_b \tag{A.1-7}$$

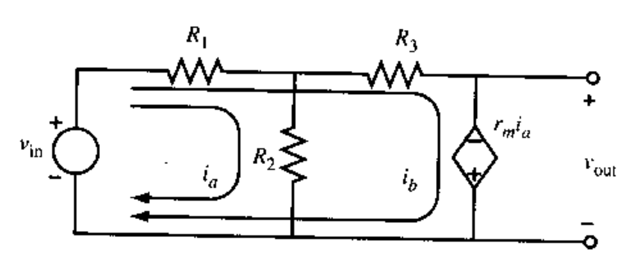


图 A.1-3 网孔分析

由克莱姆法则得出 i_a:

$$i_a = \frac{\begin{vmatrix} v_{in} & R_1 \\ v_{in} & R_1 + R_3 \end{vmatrix}}{\begin{vmatrix} R_1 + R_2 & R_1 \\ R_1 - r_m & R_1 + R_3 \end{vmatrix}} = \frac{R_3 v_{in}}{R_1R_2 + R_1R_3 + R_2R_3 + r_mR_1} \quad \text{(A.1-8)}$$

由于 $v_{out}=-r_m i_a$，我们可以求出 v_{out}/v_{in} 为:

$$\frac{v_{out}}{v_{in}} = \frac{-r_mR_3}{R_1R_2 + R_1R_3 + R_2R_3 + r_mR_1} \quad \text{(A.1-9)}$$

以上两个例子说明了使用节点电流法和回路电压法分析模拟电路的方法。有时候可以采用两种方法的组合分析电路，下面将举例说明。

例 A.1-3 模拟电路的组合分析方法

电流源电路模型如图 A.1-4 所示，求此电路的小信号输出电阻 $r_{out}=v_o/i_o$。

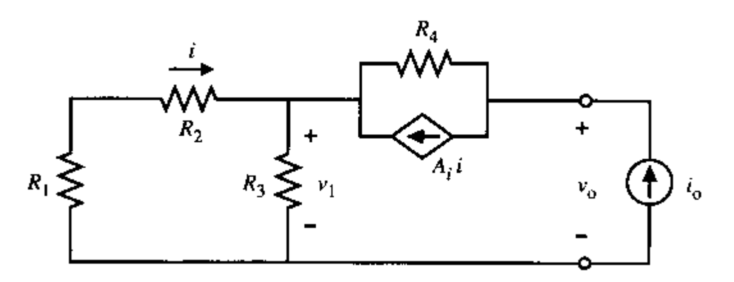


图 A.1-4 模拟电路的组合分析方法

解：为解出 r_{out}，我们列出以下三个方程:

$$i_o = A_i i + \frac{v_o - v_1}{R_4} \quad \text{(A.1-10)}$$

$$i = \frac{-R_3 i_o}{R_1 + R_2 + R_3} \quad \text{(A.1-11)}$$

$$v_1 = i_o\left(\frac{R_3R_1 + R_3R_2}{R_1 + R_2 + R_3}\right) \quad \text{(A.1-12)}$$

这样做的目的是找出 i_o 的表达式，并且方程仅由 i_o 或 v_o 表示。因此，用式(A.1-11)和式(A.1-12)

分别替换式（A.1-10）中的 i 和 v_1，得：

$$r_{out} = \frac{v_o}{i_o} = \frac{R_4(R_1 + R_2 + R_3) + R_3R_4A_i + R_3(R_1 + R_2)}{R_1 + R_2 + R_3} \quad \text{(A.1-13)}$$

另一种电路的分析方法叫做叠加法。叠加法可用在响应由一个或多个激励产生的线性电路中。叠加法的概念表明了总响应是各个激励源单独作用产生的响应之和。虽然叠加是一个简单的概念，但常常被错误地应用，尤其在运算放大（运算放大器）电路中。下面就举例说明叠加法在运算放大器电路中的应用。

例 A.1-4　差分放大器的分析

图 A.1-5（a）中的电路是一个由运算放大器实现的差分放大器。运算放大器有一个有限电压增益 A_v、无限大输入电阻和零输出电阻。求 v_o 与 v_1、v_2 的关系式。

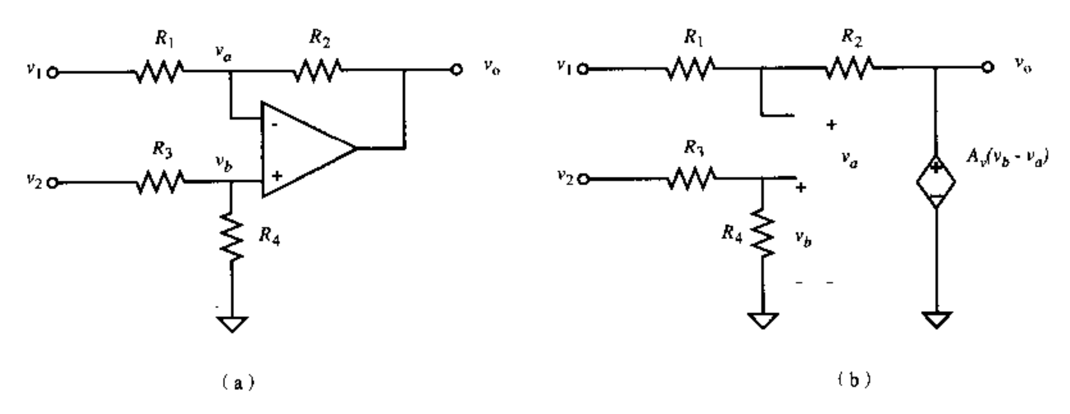


图 A.1-5（a）使用运算放大器的差分放大器；（b）（a）的小信号模型

解：图 A.1-5（b）为图 A.1-5（a）电路的小信号模型。输出电压为 v_o，可以写出：

$$v_o = A_v(v_b - v_a) \quad \text{(A.1-14)}$$

v_b 可以表示为：

$$v_b = \frac{R_4}{R_3 + R_4} v_2 \quad \text{(A.1-15)}$$

通过叠加法可以求得 v_a，它是 v_1 和 v_o 的函数。结果为：

$$v_a = \left(\frac{R_2}{R_1 + R_2}\right)v_1 + \left(\frac{R_1}{R_1 + R_2}\right)v_o \quad \text{(A.1-16)}$$

将式（A.1-15）和式（A.1-16）代入式（A.1-14）并化简，得：

$$v_o = \frac{A_v}{1 + \left(\frac{A_vR_1}{R_1 + R_2}\right)}\left[\left(\frac{R_4}{R_3 + R_4}\right)v_2 - \left(\frac{R_2}{R_1 + R_2}\right)v_1\right] \quad \text{(A.1-17)}$$

假如 R_3/R_4 和 R_1/R_2 相等，那么放大器就是差分放大器。式（A.1-17）给出了有限电压增益 A_v 的影响。

线性有源电路分析的首要原则是在分析之前对模型进行处理以简化运算。实现以上原则的两种常用方法称为电源分割和电源替换。这两个概念用例子说明会比下定义更为简单。让我们看一看图 A.1-6（a），电流源被电压 v_1 控制，并且连接在两个网络 N_1 和 N_2 之间，这两个网络本身对电源分割概念的阐述并不重要。我们可以对电路进行简化，注意，受控电流源的作用是从节点 1 将电流 g_mv_1 送到节点 2。电源分割使得 g_mv_1 由两个电源组合而成，如图 A.1-6（b）所示。在电路中，电流 g_mv_1 由节点 1 流入节点 3，同样的电流又由节点 3 流入节点 2。可以看出这两个电路的性能是一样的。

接着，我们注意到左边的电流源由其上的电压控制，这使得我们可以使用电源替换的概念，把左边的电流源用 $1/g_m$ 欧姆的电阻代替。最后化简的结果如图 A.1-6（c）所示。分析图 A.1-6（c）就比分析图 A.1-6（a）简单多了。

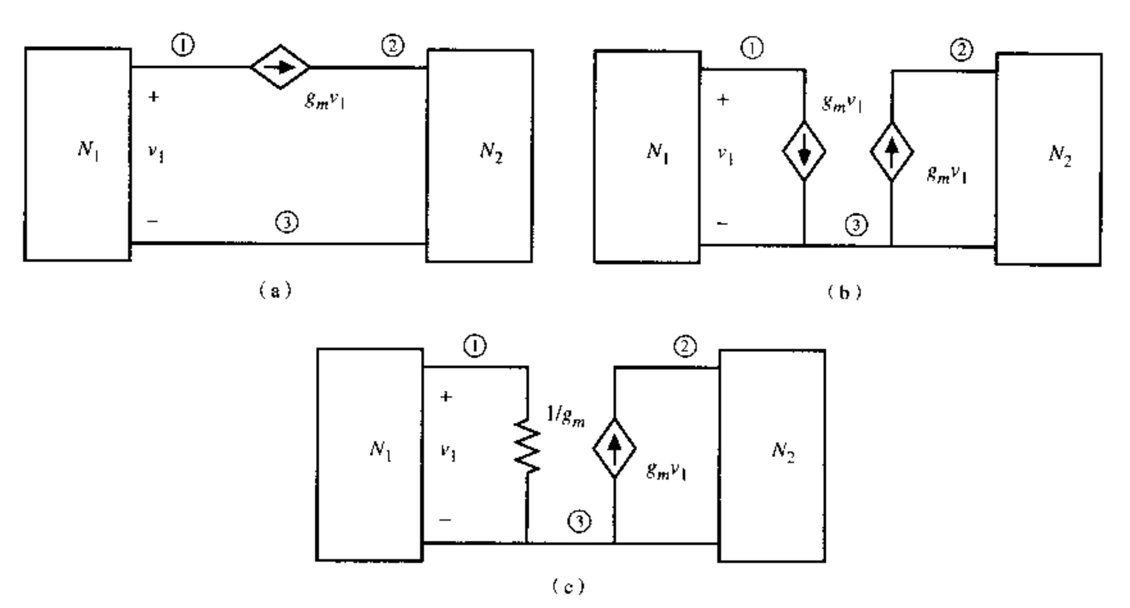


图 A.1-6　电流源的分割与替换。（a）原始电路；（b）电流源的分割；（c）电流源由电阻 $1/g_m$ 代替

图 A.1-7（a）~（c）表示了电压源与两个网络并联的电路的简化过程，电压源受其中一个网络的电流控制。应用电源分割的概念使得电压源向两个网络移动，成为两个串联的电压源。下面，我们举例说明电源分割和电源替换中的一些概念。

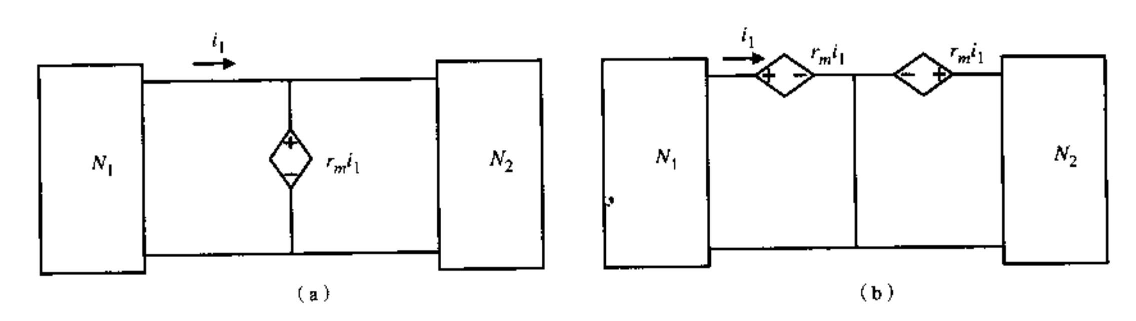


图 A.1-7　电压源的分割与替换。（a）原始电路；（b）电压源的分割

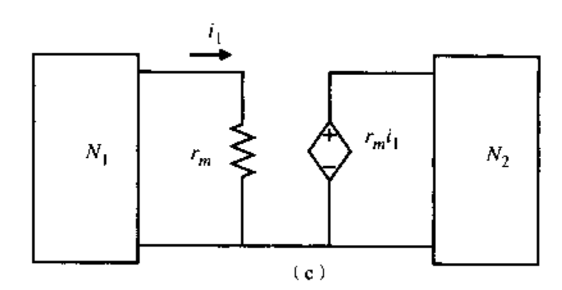


图 A.1-7（续） 电压源的分割与替换。（c）电压源由电阻 r_m 代替

例 A.1-5 电源分割和电源替换举例

应用电源分割和电源替换的概念，简化图 A.1-8 中的线性有源电路并进行计算。

解： 受控电流源 $g_m v_1$ 的分割如图 A.1-8（b）所示。接下来，左边的受控源 $g_m v_1$ 被电阻 $1/g_m$ 代替。至此，电路已被简化从而可以进行一系列的计算。

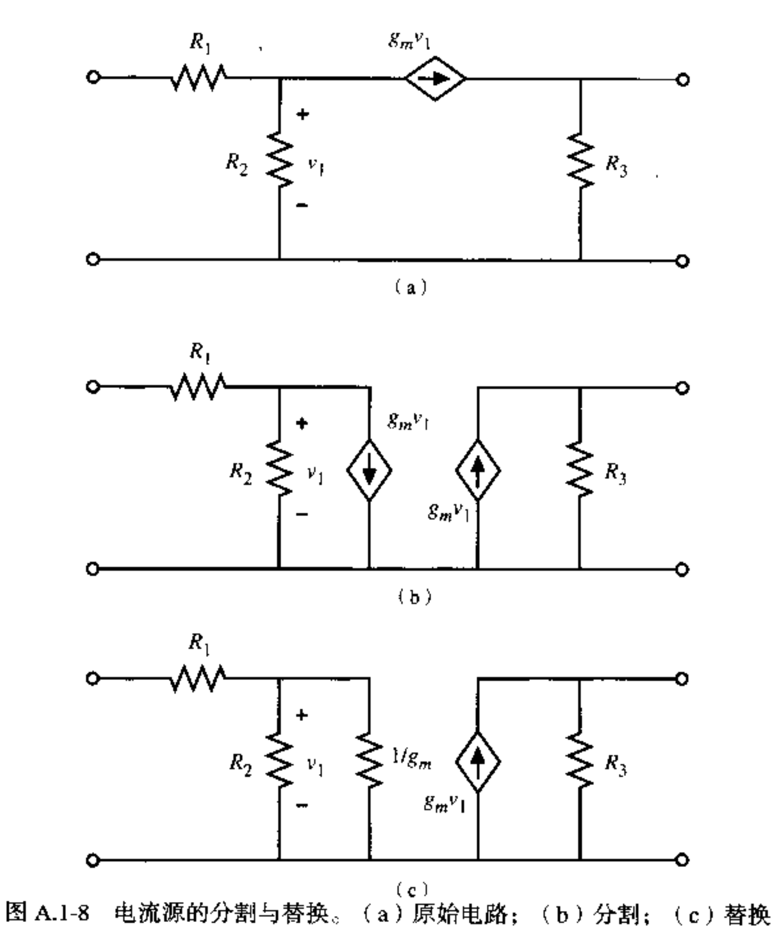


图 A.1-8 电流源的分割与替换。（a）原始电路；（b）分割；（c）替换

另一种化简电路的方法叫做电源简化（source reduction）。这种方法可以用于以图 A.1-9 所示的方式连接的受控源中。我们注意到这里的几种受控源的结构为 VCVS 或 CCCS 类型，而电源替

换法中，我们遇到的是 VCCS 或 CCVS 类型。图 A.1-9（a）的电路简化技术说明如果受控源 $A_v v_1$ 被短路，网络 N_1 和 N_2 中的电流不会改变，且：

1. N_1 中的各个电阻、电感、电容倒数、电压源都乘以因子 $1+A_v$；
2. N_2 中的各个电阻、电感、电容倒数、电压源都除以因子 $1+A_v$。

图 A.1-9（b）的电路简化技术说明网络 N_1 和 N_2 中的电压不会改变，如果受控源 $A_i i_1$ 被开路，且：

1. N_1 中的各个电导、电感倒数、电容、电流源都乘以系数 $1+A_i$；
2. N_2 中的各个电导、电感倒数、电容、电流源都除以系数 $1+A_i$。

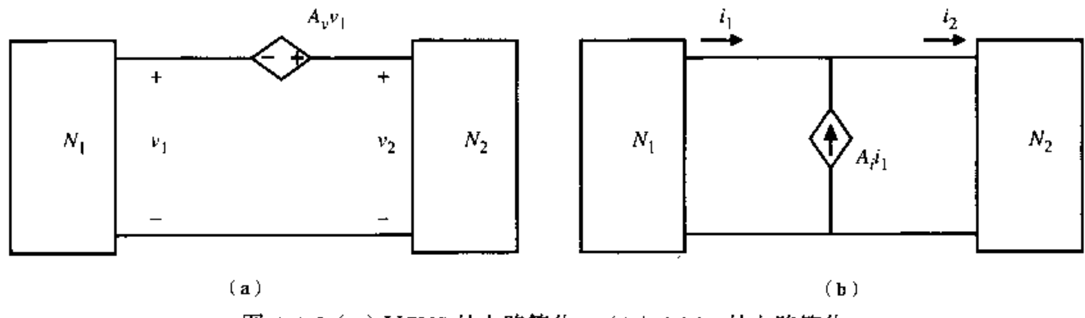


图 A.1-9（a）VCVS 的电路简化；（b）CCCS 的电路简化

例 A.1-6　电源简化技术的应用

使用电源简化技术化简图 A.1-10（a）中的电路。

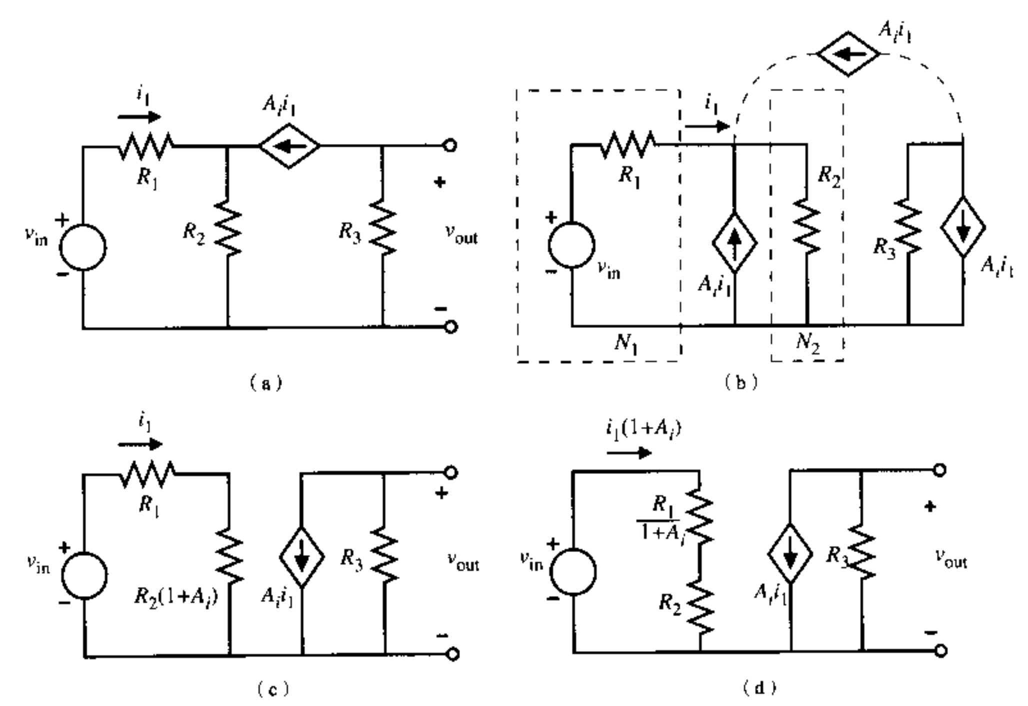


图 A.1-10　电流简化。（a）原始电路；（b）N_1 和 N_2 的定义；（c）N_2 的修改；（d）N_1 的修改

解：为了使用简化技术，电路被重新画在图A.1-10（b）中。注意，与电流源串联的电阻 R_3 并不会

影响我们使用这种方法。图A.1-10（c）是对N_1的修改，图 A.1-10（d）是对N_2的修改。简化后的电路更适合计算。

这里要介绍的最后一个技术是米勒简化。这个技术可以很好地消除跨接在电路中的元件，并且考虑其对电路前向增益的影响。图A.1-11（a）说明了可以应用米勒简化的情况。我们假设在两个网络中间有一个阻抗 Z。我们使用阻抗是因为米勒简化通常用于跨接元器件为电抗的时候。我们应该换用复信号符号。米勒简化的关键在于能用 V_1 表示 V_2。为了得到较好的结果，表达式应该是准确的。如果 $V_2=KV_1$，则从 N_1 看进去的阻抗 Z_1 就可以表示为：

$$Z_1 = \frac{V_1}{I_1} = \frac{V_1}{(V_1 - V_2)/Z} = \frac{ZV_1}{V_1 - KV_1} = \frac{Z}{1 - K} \tag{A.1-18}$$

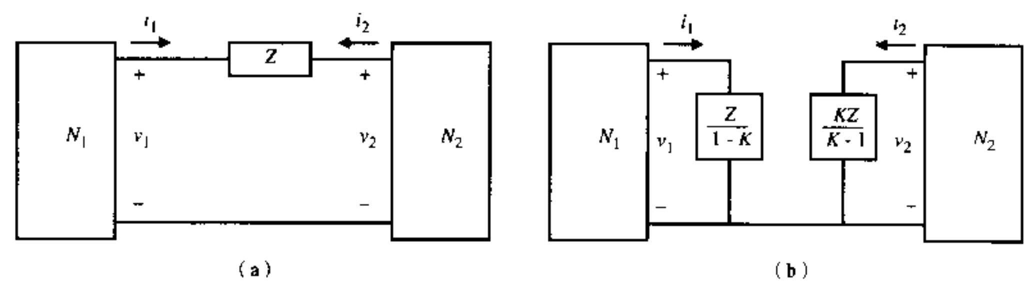


图 A.1-11 米勒简化。（a）原始电路；（b）（a）的等效电路

从 N_2 看进去的阻抗 Z_2 为：

$$Z_2 = \frac{V_2}{I_2} = \frac{V_2}{(V_2 - V_1)/Z} = \frac{ZKV_1}{KV_1 - V_1} = \frac{ZK}{K - 1} \tag{A.1-19}$$

通常，K 为负数且绝对值大于 1。下面的例了进一步说明了米勒简化技术的应用。

例 A.1-7 米勒简化技术的应用

考虑图 A.1-2。假设 R_2 远远大于 R_3，使用米勒简化消除 R_2。

解：如果 R_2 远远大于 R_3，那么我们可以假设 $g_m v_1$ 的大部分电流流过了R_3。因此，电压 v_{out} 可以表示为：

$$v_{out} = -g_m R_3 v_1 = K v_1 \tag{A.1-20}$$

因此，电路可以被简化为图 A.1-12，其中，R'_2 为：

$$R'_2 = \frac{R_2}{1 - K} = \frac{R_2}{1 + g_m R_3} \tag{A.1-21}$$

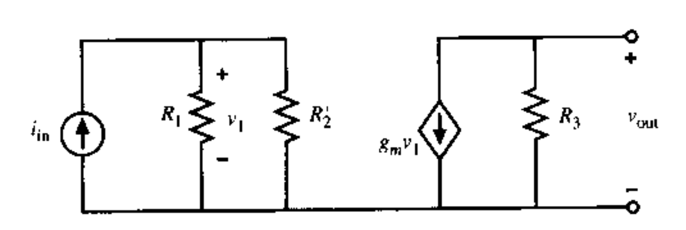


图 A.1-12 应用米勒简化概念得到的结果

我们没有放置一个电阻 $R_2K/(K-1)$与 R_3 并联的原因如下：如果 $g_mR_3>1$，那么 $R_2K/(K-1)$近似等于 R_2。但是，我们前面已经假设 $R_2>R_3$，所以放置电阻 R_2 与 R_3 并联并不合适。

如果图 A.1-2 的受控源是一个电压源而不是一个电流源，那么有必要使用例 A.1-7 的假设。在这种情况下，R_2 可映射到 N_1 和 N_2 中。图 A.1-3 给出 R_3 可用米勒简化消除，并根据式（A.1-18）和式（A.1-19）被映射到 N_1 和 N_2 中的例子。

尽管还有其他简化方法，但上述的这些方法是分析线性有源电路最有用的。本书的参考文献进一步阐述了本附录中提及概念的使用。说明这些原理的习题可在第 1 章后的习题中找到。

附录 B CMOS 器件性能

第 3 章中介绍了两种强反型 MOS 管模型，它们在一定的端口（S, G, D, B）条件范围内能够描述 MOS 管的性能。无论采用简单模型还是复杂模型，这些模型在进行手工计算和计算机仿真时都非常有用。但是，在使用模型前，必须提供描述给定器件特性的正确模型参数。假如在设计前不能从晶片厂商那里得到器件模型的参数，就需要对器件进行性能测定，以得到合适的参数。对于设计者而言，从晶片厂商那里得到器件的样品并且进行性能测定，从而得到希望的模型参数是一件很谨慎的事情。性能测定过程就是本附录的内容。

对于简单模型，可用图形和数值方法来提取模型参数。对良好的测试结构中的几何方面问题应引起注意。一些技术和结果将被扩展至复杂模型，通过进一步研究将获得一些与此模型相关的二阶参数。另外，必须进行性能测定的其他方面还有晶体管噪声和无源元件的参数。

B.1 简单晶体管模型的特性

描述MOS管在强反型饱和与非饱和区的公式已在3.1节给出，为了方便起见在这里重新给出。

$$i_D = K'\left(\frac{W_{\rm eff}}{2L_{\rm eff}}\right)(v_{GS} - V_T)^2(1 + \lambda v_{DS}) \tag{B.1-1}$$

$$i_D = K'\left(\frac{W_{\rm eff}}{L_{\rm eff}}\right)\left[(v_{GS} - V_T)v_{DS} - \frac{v_{DS}^2}{2}\right] \tag{B.1-2}$$

其中：

$$V_T = V_{T0} + \gamma\left[\sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|}\right] \tag{B.1-3}$$

我们关心的主要参数是 $V_{T0}(V_{SB}=0)$、K'、γ 和λ。本节将重点放在确定这些参数的方法上。在前面，我们注意到参数 K' 对于饱和区和非饱和区是不同的。因此，不同的情况应当做不同的描述。为了使专业术语简单，在这部分附录中，我们用 K'_S 表示饱和区，K'_L 表示非饱和区。采用这个定义后，式（B.1-1）和式（B.1-2）可以写成：

$$i_D = K'_S\left(\frac{W_{\rm eff}}{2L_{\rm eff}}\right)(v_{GS} - V_T)^2(1 + \lambda v_{DS}) \tag{B.1-4}$$

$$i_D = K'_L\left(\frac{W_{\rm eff}}{L_{\rm eff}}\right)\left[(v_{GS} - V_T)v_{DS} - \frac{v_{DS}^2}{2}\right] \tag{B.1-5}$$

首先假设 v_{DS} 的选择使式（B.1-4）中的λv_{DS}远小于 1，且 v_{SB} 为零，因此 $V_T = V_{T0}$。式（B.1-4）可以简化为：

$$i_D = K'_S\left(\frac{W_{\rm eff}}{2L_{\rm eff}}\right)(v_{GS} - V_{T0})^2 \tag{B.1-6}$$

经过整理得到：

$$i_D^{1/2} = \left(\frac{K_S' W_{\text{eff}}}{2L_{\text{eff}}}\right)^{1/2} v_{GS} - \left(\frac{K_S' W_{\text{eff}}}{2L_{\text{eff}}}\right)^{1/2} V_{T0} \tag{B.1-7}$$

上式具有如下形式：

$$y = mx + b \tag{B.1-8}$$

容易看出该式为一直线方程，其中 m 为直线的斜率，b 为 y 轴上的截距。对比式(B.1-7)和式(B.1-8)可以得到：

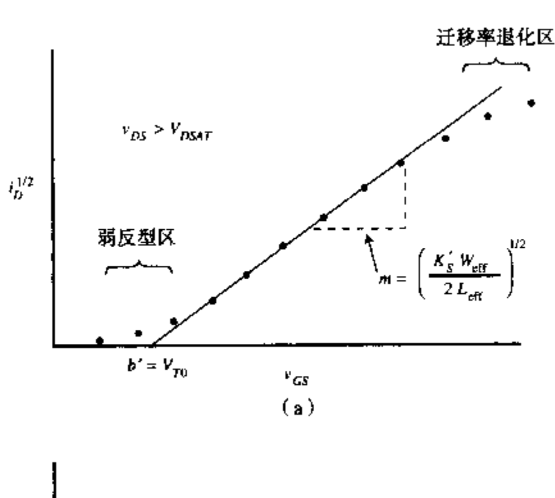
$$y = i_D^{1/2} \tag{B.1-9}$$

$$x = v_{GS} \tag{B.1-10}$$

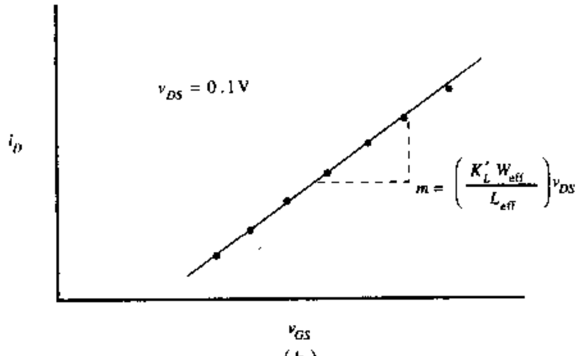
$$m = \left(\frac{K_S' W_{\text{eff}}}{2L_{\text{eff}}}\right)^{1/2} \tag{B.1-11}$$

$$b = -\left(\frac{K_S' W_{\text{eff}}}{2L_{\text{eff}}}\right)^{1/2} V_{T0} \tag{B.1-12}$$

由这些方程可以看出，如果画出 $i_D^{1/2}$ 随 v_{GS} 变化的图形，并且测量图形直线部分的斜率，在假设 W_{eff} 和 L_{eff} 已知的情况下，可以很容易地提取 K_S'。同时，当 $i_D^{1/2}=0$ 时，x 的截距为 V_{T0}。图 B.1-1（a）说明了这些方法。在选择器件进行性能分析时，选择大的 W 和 L 非常重要，这样可使 W_{eff} 和 L_{eff} 的值尽可能接近设计值，使得在提取 K_S' 时得到更好的精度。



（a）



（b）

图 B.1-1 （a）$i_D^{1/2}$ 和 v_{GS} 的关系曲线，用于确定 V_{T0} 和 K_S'；（b）i_D 和 v_{GS} 的关系曲线，用于确定 K_L'

线性迭代这样的数值方法可以取代图 B.1-1（a）中的图形分析法以提取上述器件参数。在使用数值方法时，要注意下面一些问题。一些二阶效应，例如在 $v_{GS}=V_{T0}$ 附近存在弱反型电流，在 v_{GS} 较大时迁移率退化现象可能导致最佳拟和曲线不准确，以及由此导致 V_{T0} 和 K'_S 的数值错误。因此，不适合模型的数据不能在参数提取过程中使用。

例 B.1-1　V_{T0} 和 $K'_S(W/L)$ 的计算

晶体管的数据如表 B.1-1 所示，线性迭代公式基于下面的公式确定 V_{T0} 和 $K'_S W/2L$。

$$y = mx + b$$

$$m = \frac{\Sigma x_i y_i - (\Sigma x_i \Sigma y_i)/n}{\Sigma x_i^2 - (\Sigma x_i)^2/n} \qquad \text{(B.1-13)}$$

$$b = \bar{y} = m\bar{x} \qquad \text{(B.1-14)}$$

表 B.1-1 中的数据同样给出了 $i_D^{1/2}$ 和 v_{GS} 的关系。

表 B.1-1　例 B.1-1 的数据

v_{GS}(V)	i_D(μA)	$\sqrt{I_D}$ (μA)$^{1/2}$	v_{SB}(V)
1.000	0.700	0.837	0.000
1.200	2.00	1.414	0.000
1.500	8.00	2.828	0.000
1.700	13.95	3.735	0.000
1.900	22.1	4.701	0.000

解：

在使用线性迭代之前，必须检查数据的线性度。检查数据点间的斜率是一种确定线性度的简单方法。使用以下公式：

$$斜率 = m = \frac{\Delta y}{\Delta x} = \frac{\sqrt{I_{D2}} - \sqrt{I_{D1}}}{V_{GS2} - V_{GS1}}$$

得出：

$$m_1 = \frac{1.414 - 0.837}{0.2} = 2.885 \qquad m_2 = \frac{2.828 - 1.414}{0.3} = 4.713$$

$$m_3 = \frac{3.735 - 2.828}{0.2} = 4.535 \qquad m_4 = \frac{4.701 - 3.735}{0.2} = 4.830$$

这些结果说明第一个数据点（v_{GS} 的最小值）如果不是错误的就是在管子处于弱反型时的数据。在以下分析中不应该使用这个数据点。经过线性迭代计算，得出以下结果：

$$V_{T0} = 0.898\ \text{V}$$

$$\frac{K'_S W_{eff}}{2L_{eff}} = 21.92\ \mu\text{A/V}^2$$

接下来，考虑非饱和工作区参数 K'_L 的提取。式（B.1-5）可以重新写成：

$$i_D = K'_L\left(\frac{W_{\text{eff}}}{L_{\text{eff}}}\right)v_{DS}v_{GS} - K'_L\left(\frac{W_{\text{eff}}}{L_{\text{eff}}}\right)v_{DS}\left(V_T + \frac{v_{DS}}{2}\right) \tag{B.1-15}$$

如果 i_D 和 v_{GS} 的关系曲线如图 B.1-1（b）所示，则可以得到斜率为：

$$m = \frac{\Delta i_D}{\Delta v_{GS}} = K'_L\left(\frac{W_{\text{eff}}}{L_{\text{eff}}}\right)v_{DS} \tag{B.1-16}$$

知道了斜率，可以很容易地确定 K'_L 为：

$$K'_L = m\left(\frac{L_{\text{eff}}}{W_{\text{eff}}}\right)\left(\frac{1}{v_{DS}}\right) \tag{B.1-17}$$

如果 W_{eff}、L_{eff}（假设这些值足够大从而可以减少尺寸变化与外部扩散的影响）和 v_{DS} 已知，那么零电场迁移率参数 μ_o 的近似值可由式（3.1-13）的 K'_L 得到。下一节将给出更准确的 μ_o 计算方法。

至此，γ 是未知的。使用和前面同样的方法，式（B.1-3）可被写成线性形式，其中：

$$y = V_T \tag{B.1-18}$$

$$x = \sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|} \tag{B.1-19}$$

$$m = \gamma \tag{B.1-20}$$

$$b = V_{T0} \tag{B.1-21}$$

$2|\phi_F|$ 是未知的，但通常在 0.6 ~ 0.7 V 的范围中。一旦 γ 被计算出来，那么使用式（3.1-4）可以计算出 N_{SUB}，使用式（3.1-5）可以计算出 $2|\phi_F|$。再应用式（B.1-18）、式（B.1-19）、式（B.1-20）、式（B.1-21）就可以确定 γ 的数值。迭代技术可以用来实现所需精度的 $2|\phi_F|$ 和 γ 的值。总体说来，$2|\phi_F|$ 的近似值可以给出令人满意的结果。

通过画出 V_T 和式（B.1-19）中 x 的关系曲线，可以测量出最佳拟合曲线的斜率，并由这条线可以提取参数 γ。为此，必须用先前介绍的方法确定不同 v_{SB} 下的 V_T 值。图 B.1-2 说明了这个过程，图中画出的每个 V_T 值必须与 v_{SB} 对应。结果如图 B.1-3 所示。由最佳拟和曲线测出的斜率 m 即是参数 γ。

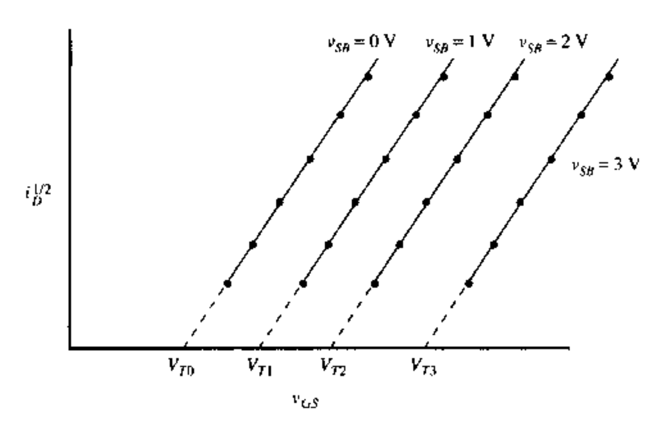


图 B.1-2　不同 v_{SB} 的值所对应的 $i_D^{1/2}$ 和 v_{GS} 的关系曲线，用于确定 γ

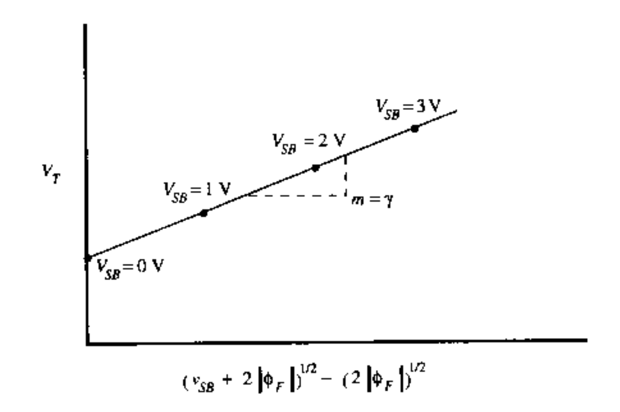


图 B.1-3　V_T和$f(v_{SB})$的关系曲线，用于确定 γ

例 B.1-2　计算 γ

使用例B.1-1 的结果和以下晶体管的数据，使用线性迭代的方法来计算 γ 的数值。假设 $2|\phi_F|$ 为 0.6 V。

解:

表 B.1-2 中列出了 $v_{SB}=1$ V 和 $v_{SB}=2$ V 时晶体管的数据。通过对表中数据进行快速的线性检查发现 $i_D^{1/2}$ 和 v_{GS} 为线性关系，可以用于线性迭代分析。

表 B.1-2　例 B.1-2 的数据

v_{SB}(V)	v_{GS}(V)	i_D(μA)
1.000	1.400	1.431
1.000	1.600	4.55
1.000	1.800	9.44
1.000	2.000	15.95
2.000	1.700	3.15
2.000	1.900	7.43
2.000	2.10	13.41
2.000	2.30	21.2

采用与例 B.1-1 相同的处理过程，可以得到以下阈值：$V_{T0}=0.898$ V（由例 B.1-1 得出），$V_T=1.143$ V（$v_{SB}=1$ V），$V_T=1.322$ V（$v_{SB}=2$ V）。表 B.1-3 给出了在三个 v_{SB}值下，V_T与$[(2|\phi_F|+v_{SB})^{1/2}-(2|\phi_F|)^{1/2}]$的函数值。有了这些数值，线性回归可以在 V_T和$[(2|\phi_F|+v_{SB})^{1/2}-(2|\phi_F|)^{1/2}]$的相应数据上进行。式（B.1-13）的回归参数为：

表 B.1-3　例 B.1-2 的数据

v_{SB}(V)	V_T(V)	$[\sqrt{2\|\phi_F\|+v_{SB}}-\sqrt{2\|\phi_F\|}]$
0.000	0.898	0.000
1.000	1.143	0.490
2.000	1.322	0.838

$$\Sigma x_i y_i = 1.668$$

$$\Sigma x_i \Sigma y_i = 4.466$$

$$\Sigma x_i^2 = 0.9423$$

$$(\Sigma x_i)^2 = 1.764$$

由此得出 $m = 0.506 = \gamma$。

简单模型中的三个主要参数已经被计算出来，接下来要做的是提取剩余的三个参数λ、ΔL 和 ΔW。所有可能用到的器件长度的沟道长度调制参数λ将被确定。为简单起见，式（B.1-4）可以重新写成：

$$i_D = i'_D \lambda v_{DS} + i'_D \quad \text{(B.1-22)}$$

该式是我们熟悉的线性形式，其中：

$$y = i_D \quad [\text{式 (B.1-4)}] \quad \text{(B.1-23)}$$

$$x = v_{DS} \quad \text{(B.1-24)}$$

$$m = \lambda i'_D \quad \text{(B.1-25)}$$

$$b = i'_D \quad [\text{式 (B.1-4)}, \ \lambda = 0] \quad \text{(B.1-26)}$$

通过画出 i_D~v_{DS} 曲线可以测量饱和区数据的斜率，并且除以截距 y 就可以计算出λ。图 B.1-4 说明了下面的例子的求解过程。

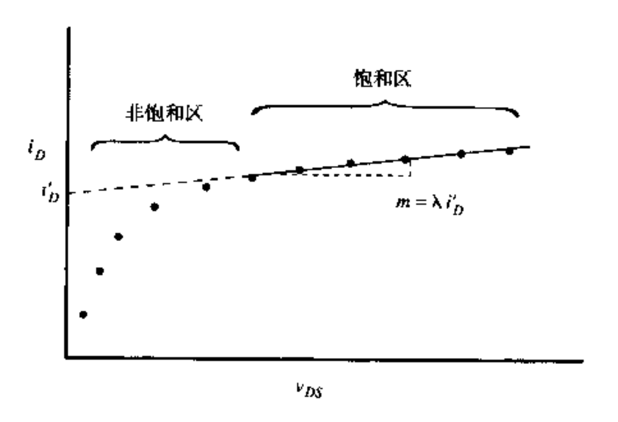


图 B.1-4 i_D 和 v_{DS} 的关系曲线，用于确定 λ

例 B.1-3 确定λ

表 B.1-4 给出了 i_D 和 v_{DS} 的数据，确定参数λ。

表 B.1-4 例 B.1-3 的数据

i_D(μA)	v_{DS}(V)
39.2	0.500
68.2	1.000
86.8	1.500

（续表）

i_D(μA)	v_{DS}(V)
94.2	2.000
95.7	2.50
97.2	3.00
98.8	3.50
100.3	4.00

解：

注意，表 B.1-4 的数据覆盖了饱和区和非饱和区。通过快速检查发现在 $v_{DS}=2.0$ V 时已达到饱和。为了计算参数λ，我们应该采用 v_{DS} 大于等于 2.5 V 时的数据。线性迭代参数为：

$$\Sigma x_i y_i = 1277.85$$

$$\Sigma x_i \Sigma y_i = 5096.00$$

$$\Sigma x_i^2 = 43.5$$

$$(\Sigma x_i)^2 = 169.0$$

由这些值可以计算出 $m=\lambda i'_D=3.08$ 和 $b=i'_D=88$，求得 $\lambda=0.035\ \text{V}^{-1}$。

饱和区的斜率通常非常小，要特别小心，不要将两个低分辨率的数据点相减（以得到斜率），产生一个与数据点测量精度相同大小的数。如果出现这些情况，那么得到的数值就会出现令人无法接受的错误。

到目前为止，在所出现的方程中，L_{eff} 和 W_{eff} 分别用来表示管子的长度和宽度。之所以使用这些符号，是因为这些尺寸由晶片厂商决定，它们与版图画的尺寸是不一样的（由于扩散、氧化侵蚀、掩膜误差等原因）。以下分析将确定有效尺寸与版图尺寸之间的不同。

比较两个晶体管：它们有相同的宽度，但是其长度不等，工作在非饱和区，v_{DS} 相等。假设晶体管的宽度非常大，因此 $W \cong W_{\text{eff}}$。大信号模型可以表示为：

$$i_D = \frac{K'_L W_{\text{eff}}}{L_{\text{eff}}}\left[(v_{GS}-V_{T0})v_{DS} - \left(\frac{v_{DS}^2}{2}\right)\right] \tag{B.1-27}$$

$$\frac{\partial i_D}{\partial v_{GS}} = g_m = \left(\frac{K'_L W_{\text{eff}}}{L_{\text{eff}}}\right) v_{DS} \tag{B.1-28}$$

两个晶体管的宽长比(*W*/*L*)为：

$$\frac{W_1}{L_1+\Delta L} \tag{B.1-29}$$

$$\frac{W_2}{L_2+\Delta L} \tag{B.1-30}$$

在式（B.1-29）和式（B.1-30）中，假设两个晶体管的 ΔL 是一样的。比较式（B.1-28）、式（B.1-29）和式（B.1-30），可以得到：

$$g_{m1} = \frac{K'_L W}{L_1+\Delta L} v_{DS} \tag{B.1-31}$$

$$g_{m2} = \frac{K_L' W}{L_2 + \Delta L} v_{DS} \quad (\text{B.1-32})$$

其中，$W_1 = W_2 = W$（假设为有效宽度）。对式（B.1-31）和式（B.1-32）进行进一步代数处理，可以得到：

$$\frac{g_{m1}}{g_{m1} - g_{m2}} = \frac{L_2 + \Delta L}{L_2 - L_1} \quad (\text{B.1-33})$$

进一步处理可得：

$$L_2 + \Delta L = L_{\text{eff}} = \frac{(L_2 - L_1) g_{m1}}{g_{m1} - g_{m2}} \quad (\text{B.1-34})$$

L_1和L_2的数值已知，并且小信号模型参数g_{m1}和g_{m2}可以通过测量得到，所以L_{eff}（或ΔL）可以计算得到。通过相似的分析可以计算出W_{eff}，并得到下面的结果：

$$W_2 + \Delta W = W_{\text{eff}} = \frac{(W_1 - W_2) g_{m2}}{g_{m1} - g_{m2}} \quad (\text{B.1-35})$$

式（B.1-35）在两个晶体管具有相同长度但不同宽度时有效。

在计算ΔL（或ΔW）的时候，为了避免大数相减时可能出现的数值误差，我们必须十分小心以使长度（或宽度）值有较大的差别，并且这些值要足够小以使所选模型可以适用于所有晶体管。下面的例子将说明如何计算ΔL。

例 B.1-4 计算ΔL

给定两个具有相同宽度和不同长度的晶体管。根据以下数据计算L_{eff}和ΔL。

$$W_1/L_1 = 20\ \mu\text{m}/10\ \mu\text{m}\ (\text{画图尺寸})$$

$$W_2/L_2 = 20\ \mu\text{m}/20\ \mu\text{m}\ (\text{画图尺寸})$$

$$g_{m1} = 6.65\ \mu\text{S}\,(v_{DS} = 0.1\ \text{V},\ i_D = 6.5\ \mu\text{A})$$

$$g_{m2} = 2.99\ \mu\text{S}\,(v_{DS} = 0.1\ \text{V},\ i_D = 2.75\ \mu\text{A})$$

解：

使用式（B.1-40），L_{eff}可以计算如下：

$$L_{\text{eff}} = L_2 + \Delta L = (20 - 10)(6.65)/(6.65 - 2.99) = 18.17\ \mu\text{m}$$

因此，$\Delta L = -1.83\ \mu\text{m}$。由这个结果，可以估算横向扩散（$LD$）为：

$$LD = |\Delta L|/2 = 0.915\ \mu\text{m}$$

本节说明了如何确定简单模型的参数V_{T0}、K_S'、K_L'、γ、$2|\phi_F|$、λ、ΔL和ΔW。假设N_{SUB}已知，$2|\phi_F|$可以由迭代确定（如果N_{SUB}未知，那么N_{SUB}必须通过其他方法测量，例如体电阻）。同时，要记住这些模型参数中，除了λ、ΔL和ΔW，其他参数与温度有关。

B.2 1/F 噪声

在许多应用中，较好的噪声性能对于模拟电路的设计来说尤为重要。因此，应当对管子的噪

声特性进行描述。式（3.2-12）定义的 MOS 管的均方噪声电流重复如下：

$$i_n^2 = \left[\frac{8kTg_m(1+\eta)}{3} + \frac{(KF)I_D}{fC_{ox}L^2}\right]\Delta f \quad (A^2) \tag{B.2-1}$$

所有符号与 3.2 节保持一致。在高频情况下，式（B.2-1）中的第一项起主要作用，而在低频情况下，式中的第二项起主要作用。由于只有第二项含有模型参数，因此它是特性描述中惟一需要考虑的部分。式（B.2-2）描述了低频时的均方噪声电流：

$$i_n^2 = \left[\frac{(KF)I_D}{fC_{ox}L^2}\right]\Delta f \quad (A^2) \tag{B.2-2}$$

这个均方噪声电流在晶体管小信号模型中由源极和漏极间的电流源表示，如图B.2-1所示。因为噪声通常在输入端而不是在输出端考虑，那么输入等效噪声由式（B.2-2）乘 g_m^{-2} 得到：

$$e_n^2 = \left[\frac{(KF)I_D}{g_m^2 fC_{ox}L^2}\right]\Delta f \quad (V^2) \tag{B.2-3}$$

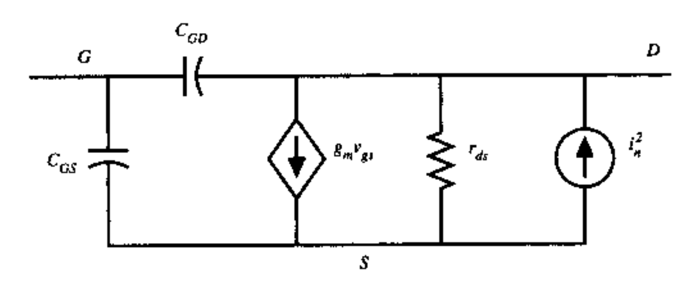


图 B.2-1　包含噪声电流的 MOS 管小信号模型

在饱和区，将 g_m 的表达式代入式（B.2-3）：

$$g_m = \sqrt{2K_S'(W/L)I_D} \tag{B.2-4}$$

可以得到输入噪声电压：

$$e_n^2 = \left[\frac{KF}{2K_S' WLfC_{ox}}\right]\Delta f \quad (V^2) \tag{B.2-5}$$

为了性能分析的需要，假设噪声电压在 1 Hz 带宽内进行测量，则Δf 项等于 1。式（B.2-5）可以重写为：

$$\log[e_n^2] = \log\left[\frac{KF}{2K_S' WLC_{ox}}\right] - \log[f] \tag{B.2-6}$$

作图表示 $\log[f]$和 $\log[e_n^2]$ 的关系并测量其截距，其值等于：

$$\log\left[\frac{KF}{2K_S' WLC_{ox}}\right]$$

从中可提取参数 KF。

B.3　其他有源元件的性能描述

前面几节对大信号模型的重要参数进行了描述，本节将对典型 CMOS 工艺中的其他元件进行

描述。

对 CMOS 设计者最为重要的有源器件之一是衬底双极型晶体管（BJT）（见 2.5 节）。BJT 的集电极常与 CMOS 工艺的衬底相连。例如，若 CMOS 工艺采取的是 p 阱工艺，那么 n 衬底就是集电极，p 阱为基极，p 阱中 n^+扩散区为发射极。衬底 BJT 常常被用在以下两个方面：第一是输出驱动，因为 BJT 的 g_m 值比 MOS 管的 g_m 值要大，且 BJT 输出阻抗（通常为 $1/g_m$）也较小；第二是带隙基准电压电路。在这两个应用中，我们感兴趣的参数是直流β值β_{dc}和漏电流密度 J_S。我们同样对β_{dc}与发射极直流电流的依赖关系感兴趣。正如下列方程所示，这些参数影响着器件的工作。对于 $v_{BE}>>kT/q$ 的情况：

$$v_{BE} = \frac{kT}{q}\ln\left(\frac{i_C}{J_S A_E}\right) \tag{B.3-1}$$

$$\beta_{dc} = \frac{i_E}{i_B} - 1 \tag{B.3-2}$$

其中，A_E是 BJT 发射结的横截面积。为了求参数β_{dc}，式（B.3-2）可写成式（B.3-3）的形式，由此得出 i_E 和 i_B 的线性关系为：

$$i_E = i_B(\beta_{dc} + 1) \tag{B.3-3}$$

画出电流 i_B 随 i_E 变化的关系曲线，通过测量斜率可以得到β_{dc}。一旦β_{dc}已知，式（B.3-1）可以重新写为：

$$v_{BE} = \frac{kT}{q}\ln\left(\frac{i_E\beta_{dc}}{1+\beta_{dc}}\right) - \frac{kT}{q}\ln(J_S A_E) = \frac{kT}{q}\ln(\alpha_{dc} i_E) - \frac{kT}{q}\ln(J_S A_E) \tag{B.3-4}$$

画出 $\ln[i_E\beta_{dc}/(1+\beta_{dc})]$ 随 v_{BE} 变化的曲线，其中：

$$m = 斜率 = \frac{kT}{q} \tag{B.3-5}$$

$$b = y-截距 = -\left(\frac{kT}{q}\right)\ln(J_S A_E) \tag{B.3-6}$$

因为发射区面积已知，J_S 可以直接得到。

例 B.3-1 确定β_{dc}和 J_S

现有一只双极型晶体管，其发射区面积为 1000 μm^2，以下是相关数据：

$I_E(\mu A)$	$I_B(\mu A)$	$V_{BE}(V)$
100	0.90	0.540
136	1.26	0.547
144	1.29	0.548
200	1.82	0.558
233	2.11	0.560

利用这些数据，确定β_{dc}和 J_S。

解：

使用线性迭代方法分析 I_E 随 I_B 变化的数据以确定斜率 m。结果为：

$$m = 110 = \beta_{dc}$$

因为β_{dc}已知，由式（B.3-4）可以得到斜率和截距，由此可以计算 J_S。下表列出了各次计算的值。

V_{BE}(V)	$\ln[I_E\beta_{dc}/(1+\beta_{dc})]$
0.540	−9.20
0.547	−8.89
0.548	−8.84
0.558	−8.51
0.560	−8.36

由这些数据，斜率和截距的计算结果为：

$$m = 0.025\ \text{V} = kT/q$$

$$b = 0.769 = -(kT/q)[ln(J_S A_E)]$$

由此可以得到 $J_S A_E$ 的值为 43.8 fA。发射区面积为 1000 μm^2，$J_S = 4.38\times10^{-17}$A/μm^2。

B.4　电阻的特性

到目前为止，已经介绍了对于 CMOS 电路的设计者来说可用的主要有源器件的特性，本节将介绍无源元件和它们的寄生参数，其中包括电阻、接触电阻和电容。

首先考虑方块电阻的特性。虽然有很多描述特性的办法，但是由电阻的几何尺寸可以得到最有用的结果。这种方法的优点表现在：（1）方块电阻在不同宽度下是不同的；（2）弯曲（bend）效应导致的不准确；（3）不能准确地预测端点效应。因此，电阻值应当是宽度的函数，同时应当考虑弯曲效应和端点效应对电阻值的影响。

图 B.4-1 所示是一种可用于确定方块电阻和几何宽度变化（偏差）[1]的结构。通过对节点 A 引入电流，并使节点 F 接地，测量 $BC(V_n)$和 $DE(V_w)$的电压降，电阻 R_n 和 R_w 可以确定如下：

$$R_n = \frac{V_n}{I} \qquad (\text{B.4-1})$$

$$R_w = \frac{V_w}{I} \qquad (\text{B.4-2})$$

方块电阻的计算如下：

$$R_S = R_n\left(\frac{W_n - \text{偏差}}{L_n}\right) \qquad (\text{B.4-3})$$

$$R_S = R_w\left(\frac{W_w - \text{偏差}}{L_w}\right) \qquad (\text{B.4-4})$$

其中：

R_n = 窄电阻器的电阻值（Ω）

R_w = 宽电阻器的电阻值（Ω）

R_S = 材料的方块电阻［多晶硅，扩散电阻，等等(Ω/□)］

L_n = 版图中窄电阻器长度

L_w = 版图中宽电阻器长度

W_n = 版图中窄电阻器宽度

W_w = 版图中宽电阻器宽度

偏差 = 版图宽度与实际器件宽度的差值

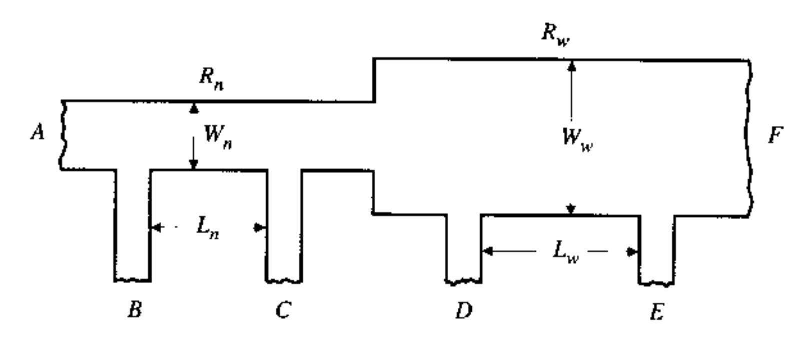


图 B.4-1 方块电阻和偏差监测

求解式（B.4-3）和式（B.4-4）得：

$$\text{偏差} = \frac{W_n - kW_w}{1 - k} \tag{B.4-5}$$

其中：

$$k = \frac{R_w L_n}{R_n L_w} \tag{B.4-6}$$

和

$$R_S = R_n\left(\frac{W_n - \text{偏差}}{L_n}\right) = R_w\left(\frac{W_w - \text{偏差}}{L_w}\right) \tag{B.4-7}$$

这个方法消除了任何接触电阻的影响，这是因为没有足够大的电流流过接触电阻引起压降。下面的例子介绍了这种方法的使用。

例 B.4-1 计算 R_S 和偏差（BIAS）

考虑图 B.4-1 的结构，其中各种尺寸给出如下：

$$W_n = 10\ \mu\text{m} \qquad L_n = 40\ \mu\text{m}$$
$$W_w = 50\ \mu\text{m} \qquad L_w = 200\ \mu\text{m}$$

使流入节点 A 的电流为 1 mA，节点 F 接地。经测量，得到以下电压：

$$V_n = 133.3\ \text{mV}$$
$$V_w = 122.5\ \text{mV}$$

因此 R_n 和 R_w 的值为：

$$R_n = \frac{0.1333}{0.001} = 133.3\ \Omega$$

$$R_w = \frac{0.1225}{0.001} = 122.5\ \Omega$$

确定方块电阻 R_s 和偏差。

解：

利用式（B.4-6）计算 k 值得：

$$k = \frac{R_w L_n}{R_n L_w} = \frac{122.5(40)}{133.3(200)} = 0.184$$

利用式（B.4-5）和计算出的 k 值可以确定偏差：

$$偏差 = \frac{10 - (0.184)50}{1 - 0.184} = 0.98\ \mu\text{m}$$

计算完偏差以后，利用式（B.4-7）可以确定方块电阻：

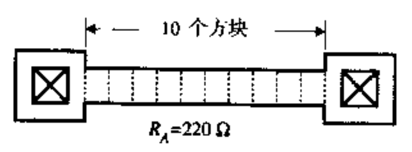
$$R_s = 133.3\left(\frac{10 - 0.98}{40}\right) = 30.06\ \Omega/\square$$

我们不仅可以进一步计算电阻器的方块电阻率，还可以计算接触电阻。考虑图 B.4-2 所示的两个电阻器，这两个电阻器的值为（假设接触电阻相同）：

$$R_A = R_1 + 2R_c; \qquad R_1 = N_1 R_S \tag{B.4-8}$$

和

$$R_B = R_2 + 2R_c; \qquad R_2 = N_2 R_S \tag{B.4-9}$$



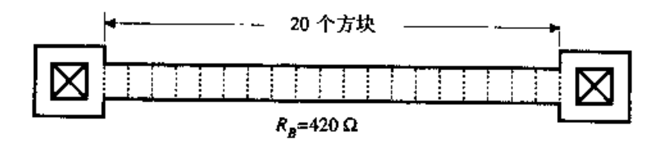


图 B.4-2　用于确定 R_S 和 R_C 的两个电阻器

其中，N_1 为 R_1 的方块个数，R_S 为方块电阻率，以Ω/□为单位，R_c 为接触电阻。同时求解这两个方程可以得到：

$$R_S = \frac{R_B - R_A}{N_2 - N_1} \tag{B.4-10}$$

和

$$2R_c = R_A - N_1 R_S = R_B - N_2 R_S \tag{B.4-11}$$

下面的例子将说明这些方程的应用。

例 B.4-2 计算接触电阻和方块电阻率

考虑图 8.4-2 所示的电阻器。

解：

它们的电阻值可以表示为：

$$R_A = 2R_c + 10R_S$$

和

$$R_B = 2R_c + 20R_S$$

R_A 和 R_B 的测量值为 220 Ω和 420 Ω，利用式（B.4-8）和式（B.4-9），可得 R_S 和 R_c 为：

$$R_S = \frac{R_B - R_A}{N_2 - N_1} = \frac{420 - 220}{20 - 10} = 20\ \Omega/\square$$

$$2R_c = R_A - N_1 R_S = 220 - 10(20) = 20\ \Omega$$

$$R_c = 10\ \Omega$$

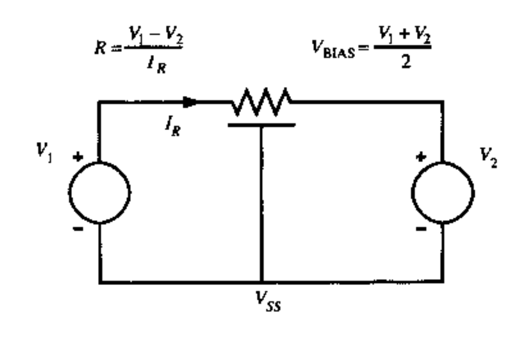


图 B.4-3 说明反偏影响的 n 阱电阻

在描述轻掺杂电阻 p 阱或 n 阱中的夹层电阻器（pinched resistor）性能时，应考虑电阻所在衬底的反偏（backbias）效应（即电阻器和其衬底间的电位差的影响）。为此，我们要测量电阻值随端点和衬底之间电压的变化，如图 B.4-3 所示。根据应用，我们可以将电阻描述为反偏电压的函数，并通过列表给出，或用 JFET 作为电阻器的模型，相应的模型方程类似于 MOSFET。图B.4-4说明了 p 阱电阻与反偏的关系。

一种更为简单的直接确定接触电阻的方法在某些场合更有用。图 B.4-5 示出了这种结构[1]，它将两种不同的材料（金属或其他材料）通过单一接触连接在一起。这种结构的等效电路如图B.4-6 所示。容易看出，若电流从焊盘 1 流向焊盘 2，测量焊盘 3 和焊盘 4 间的电压，那么电压与电流的比值就是接触电阻。

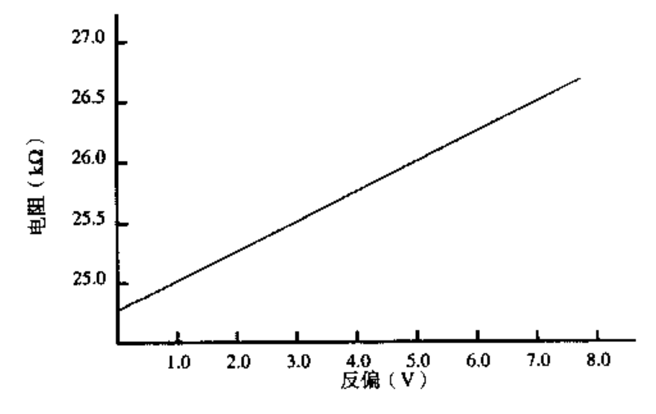


图 B.4-4 作为偏置电压函数的 n 阱电阻

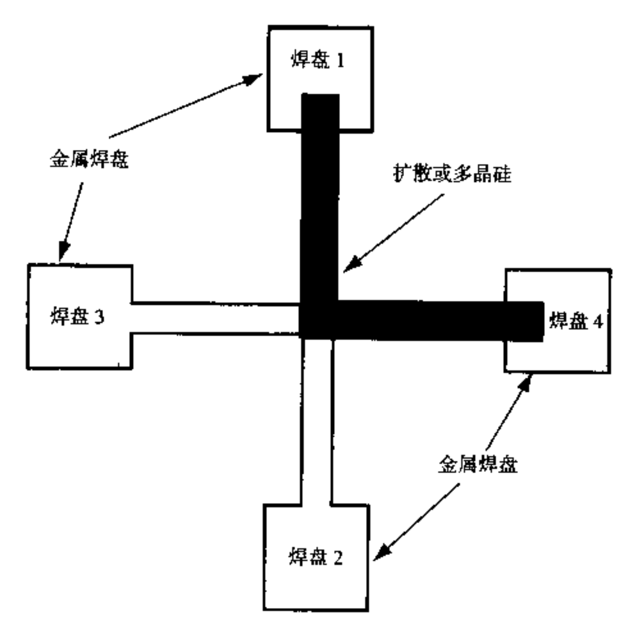


图 B.4-5　接触电阻测试结构

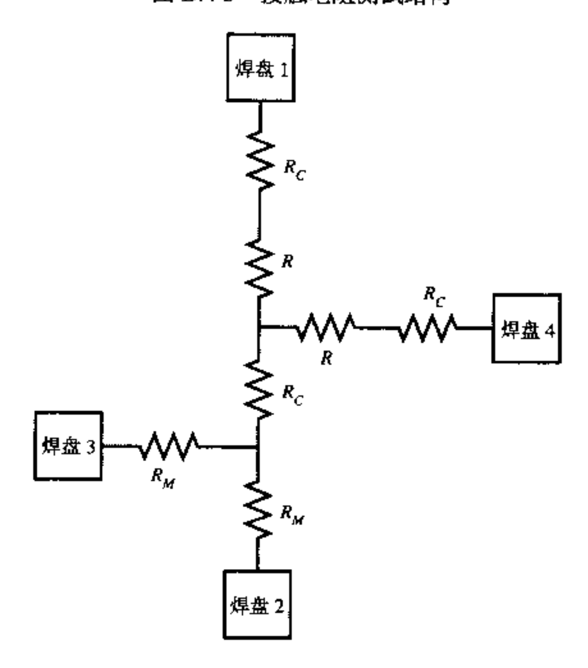


图 B.4-6　图 B.4-5 的等效电路

B.5　电容特性

在 CMOS 工艺中常常遇到很多电容。我们可以把它们分成两类：MOS 电容和耗尽型电容。MOS 电容器包括寄生电容，如 C_{GS}、C_{GD} 和 C_{GB}。耗尽型电容器则包括 C_{DB} 和 C_{SB}。此外还有许多其他的互连电容需要描述，它们包括 $C_{poly\text{-}field}$、$C_{metal\text{-}field}$ 和 $C_{metal\text{-}poly}$。我们希望对这些电容的描述可用于它们的仿真模型中（如 SPICE 电路仿真），同时作为寄生元件被包括在电路仿真中。用于

SPICE 晶体管模型中的电容特性描述是 CGSO、CGDO 和 CGBO（当 $V_{GS}=V_{GB}=0$ 时）。通常情况下，SPICE 使用漏源面积、结（耗尽）电容和 CJ（零偏置值）计算 C_{DB} 和 C_{SB}。另外两个模型参数是 MJ 和 MJSW，它们用于计算耗尽电容，这一电容是电容两端电压的函数。此外，必须对寄生电容进行描述，这样可以估计互连电容，并包括在仿真中。

考虑晶体管寄生电容 CGSO、CGDO 和 CGBO。前两个（CGSO 和 CGDO）在 SPICE 模型中是器件宽度的函数，而电容 CGBO 则是器件的单位长度值。在 SPICE 中，三种电容都以 F/m 为单位。典型晶体管的栅极、漏极重叠电容非常小，因而虽然有直接测量的可能性，但难度太大。为了减少测量步骤，可以增加寄生电容的乘数因子，这就是说，测量一个较宽的管子的 C_{GS}，然后将结果除以管子的宽度，由此得到 CGSO（每单位宽度）。图 B.5-1[2]给出了一个测量 C_{GS} 和 C_{DS} 的实用测试结构的例子。这种结构使用了多个较宽的晶体管以便于测量。连接源极和漏极的金属线与栅极平行，并与栅极充分分开，以减小栅极到金属的电容。图 B.5-2 示出了测量栅极到漏极和源极电容的实验装置。测量的电容为：

$$C_{meas} = W(n)(\text{CGSO} + \text{CGDO}) \tag{B.5-1}$$

其中：

C_{meas} = 总的测量电容

W = 一个晶体管的总宽度

n = 晶体管的总数

假设 CGSO 和 CGDO 相等，它们可以通过式（B.5-1）和测量的数据来计算。

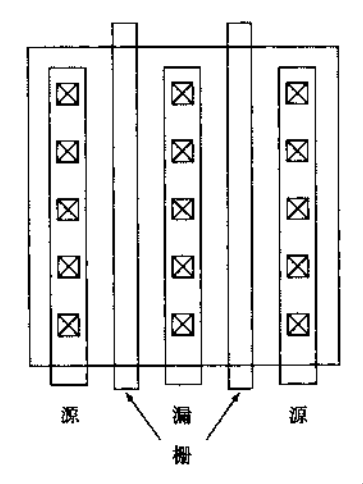


图 B.5-1 用于确定 C_{GS} 和 C_{GD} 的结构

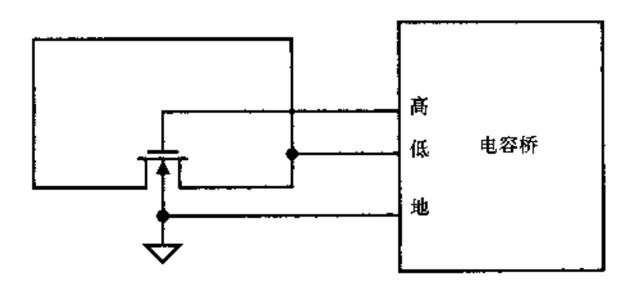
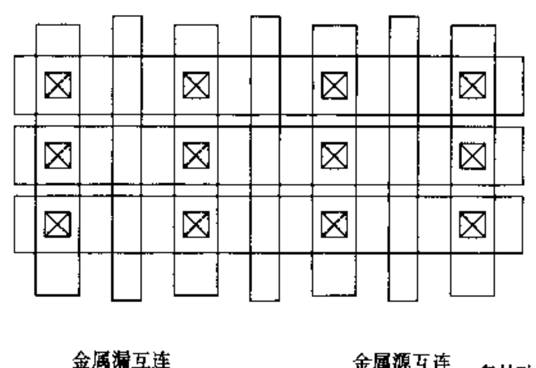
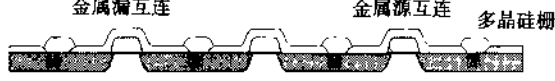


图 B.5-2 测量 C_{GS} 和 C_{GD} 的实验装置

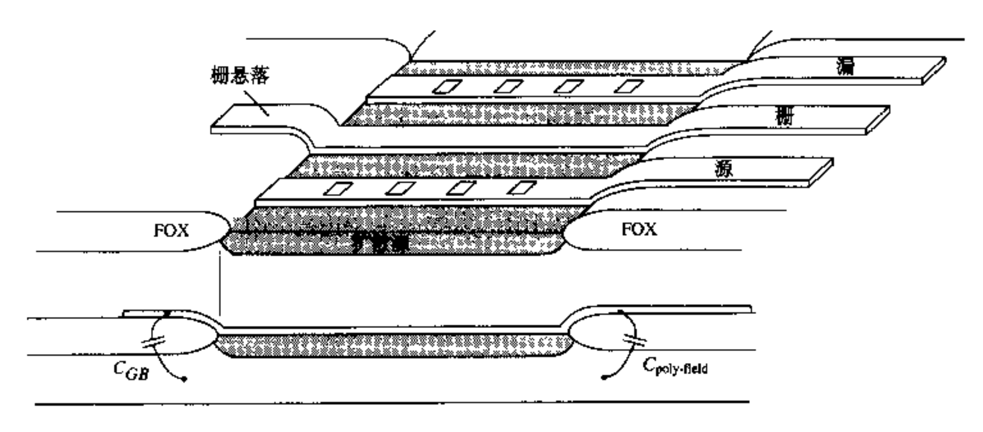
对于非常窄的晶体管，由于晶体管边界的边缘场和其他边界效应，使用上述方法得出的结果不是很准确。为了描述窄器件的CGSO和CGDO，可以使用类似于图B.5-1的结构代替不同的器件尺寸。这样的结构如图B.5-3所示。计算寄生电容的公式与式（B.5-1）相同。





图B.5-3　测量 C_{GS} 和 C_{GD} 的结构，对于 L 值较小的管子，包括了边缘效应

电容CGBO是由管子栅极的一端悬落（overhang）在场氧化层之上产生的（参见表2.6-1中的3D规则），如图B.5-4所示。这个电容由互连电容 $C_{\text{poly-field}}$ 近似（注意：由于场氧化层的倾斜，悬落电容并不是真正的平板电容）。因此，对CGBO性能分析的第一步是通过测量场上多晶硅带（宽度应该与要求的器件长度一致）的总电容以得到 $C_{\text{poly-field}}$ 的值，并根据以下的关系用该值除以总的面积。



图B.5-4　栅极到衬底电容和多晶硅–场氧化层电容的说明

$$C_{\text{poly-field}} = \frac{C_{\text{meas}}}{L_R W_R} \quad (\text{F/m}^2) \tag{B.5-2}$$

其中：

C_{meas} = 多晶硅带电容的测量值

L_R = 多晶硅带的中心线的长度

W_R = 多晶硅带的宽度（通常为器件长度）

在得到 $C_{\text{poly-field}}$ 的值后，CGBO可近似为（见图3.2-6）：

$$\text{CGBO} \cong 2\,(C_{\text{poly-field}})(d_{\text{overhang}}) = 2C_5 \quad (\text{F/m}) \tag{B.5-3}$$

其中：

$$d_{\text{overhang}} = \text{悬落于场氧化层上的尺寸（见表 2.6-1 中的 3D 规则）}$$

接下来，考虑结电容 C_{BD} 和 C_{BS}。正如式（3.2-5）和式（3.2-6）所描述的那样，这些电容由底部和周边元件组成。为方便起见，这里给出的方程采用的符号略有不同。

$$\text{CJ}(V_J) = A\cdot\text{CJ}(0)\left(1+\frac{V_J}{\text{PB}}\right)^{-\text{MJ}} + P\cdot\text{CJSW}(0)\left(1+\frac{V_J}{\text{PB}}\right)^{-\text{MJSW}} \tag{B.5-4}$$

其中：

V_J = 结的反向偏置电压

$\text{CJ}(V_J)$ = V_J 处的底部结电容

$\text{CJSW}(V_J)$ = V_J 处的周边结电容

A = 电容底部的面积

P = 电容的周长

PB = 衬底的结电位

常数 CJ 和 MJ 可以通过测量一个较大的矩形电容结构来得到，这种结构的周边电容对总电容的贡献最小[3]。对于这样的结构，$\text{CJ}(V_J)$可近似为：

$$\text{CJ}(V_J) = A\cdot\text{CJ}(0)\left(1+\frac{V_J}{\text{PB}}\right)^{-\text{MJ}} \tag{B.5-5}$$

为了便于进行线性迭代计算，我们把上式重新写成：

$$\log[\text{CJ}(V_J)] = (-\text{MJ})\log\left(1+\frac{V_J}{\text{PB}}\right) + \log[A\cdot\text{CJ}(0)] \tag{B.5-6}$$

通过测量不同电压条件下的 $\text{CJ}(V_J)$值，并绘出 $\log[\text{CJ}(V_J)]$和 $\log[1+V_J/\text{PB}]$的关系曲线，我们可以确定曲线的斜率–MJ 和 Y 轴的截距 $\log[A\cdot\text{CJ}(0)]$（其中 Y 是左边的一项）。知道电容的面积后，底部结电容的计算可以直接进行。

例 B.5-1 计算 CJ 和 MJ

考虑大的结电容（100 μm × 100 μm 的大小）在不同反向偏置电压条件下的以下数值。假设周边电容可以忽略，计算系数 MJ 和底部结电容 CJ(0)。其中 PB 的数值近似为 0.7。

V_J(V)	C_{meas}(10^{-12}F)
0	3.10
1	1.95
2	1.57
3	1.35
4	1.20
5	1.10

解：

以上数值应转换为式（B.5-6）所要求的形式，给出如下：

log[1+V_r/PB]	log[CJ/(V_r)]
0.000	−11.51
0.3853	−11.71
0.5863	−11.80
0.7231	−11.87
0.8270	−11.92
0.9108	−11.96

使用线性迭代方法进行处理，可以得到 MJ 和 CJ(0)的近似值为：

$$CJ(0) = 3.1 \times 10^{-4} \quad (F/m^2)$$

$$MJ = 0.49$$

使用窄长条形结构和与前面相似的处理办法可以计算得到 CJSW 和 MJSW。这种窄长条形结构的结电容的大小主要由周长而不是底面积决定。

计算 $C_{poly\text{-}field}$ 的方法同样可用于计算 $C_{metal\text{-}field}$ 和 $C_{metal\text{-}poly}$。我们需要一种可以达到足够大电容以方便测量的测试结构。一旦建立了这种结构，这些（每平方米）电容就可以用来确定互连电容。

另外一些描述电路电容特性的方法在文献[4, 5]中做了介绍。出于简明的考虑，我们不做过多说明。有兴趣的读者可参见参考文献[6~8]。

参考文献

1. C. Alcorn, D. Dworak, N. Haddad, W. Henley, and P. Nixon, "Kerf Test Structure Designs for Process and Device Characterization," *Solid State Technol.*, Vol. 28, No. 5, pp. 229–235, May 1985.
2. P. Vitanov, U. Schwabe, and I. Eisele, "Electrical Characterization of Feature Sizes and Parasitic Capacitances Using a Single Test Structure," *IEEE Trans. Electron Devices*, Vol. ED-31, No. 1, pp. 96–100, Jan. 1984.
3. A. Vladimirescu and S. Liu, "The Simulation of MOS Integrated Circuits Using SPICE2," Memorandum No. UCB/ERL M80/7, October 1980, Electronics Research Laboratory, College of Engineering, University of California, Berkeley, CA 94720.
4. H. Iwai and S. Kohyama, "On-Chip Capacitance Measurement Circuits in VLSI Structures," *IEEE Trans. Electron Devices*, Vol. ED-29, No. 10, pp. 1622–1626, Oct. 1982.
5. M. J. Thoma and C. R. Westgate, "A New AC Measurement Technique to Accurately Determine MOSFET Constants," *IEEE Trans. Electron Devices*, Vol. ED-31, No. 9, pp. 1113–1116, Sept. 1984.
6. Y. R. Ma and K. L. Wang, "A New Method to Electrically Determine Effective MOSFET Channel Width," *IEEE Trans. Electron Devices*, Vol. ED-29, No. 12, pp. 1825–1827, Dec. 1982.
7. F. H. De La Moneda and H. N. Kotecha, "Measurement of MOSFET Constants," *IEEE Electron Device Lett.*, Vol. EDL-3, No. 1 pp. 10–12, Jan. 1982.
8. D. Takacs, W. Muller, and U. Schwabe, "Electrical Measurement of Feature Sizes in MOS Si2-Gate VLSI Technology," *IEEE Trans. Electron Devices*, Vol. ED-27, No. 8, pp. 1368–1373, Aug. 1980.

附录 C　二阶系统的时域和频域关系

在学习运算放大器的过程中，有许多原因需要考虑二阶系统的时频和特性间的关系。首先，很多运算放大器结构在合适的精度下可以近似为二阶系统，这样的处理是在模型精度和复杂度之间的一种合理折中。另一个原因是这些关系允许我们通过简单的时域测量来预测频域特性。

C.1　频域中的二阶系统

通常，一个二阶低通系统的传输函数在频域中用电压变量表示为：

$$A(s)=\frac{V_o(s)}{V_{\text{in}}(s)}=\pm\frac{A_0\omega_n^2}{s^2+2\zeta\omega_n s+\omega_n^2}=\pm\frac{A_0\omega_0^2}{s^2+(\omega_0/Q)s+\omega_0^2} \tag{C.1-1}$$

其中：

$A_0=V_o(s)/V_{\text{in}}(s)$的低频增益

$\omega_0=\omega_n=$ 以弧度/秒表示的极点频率

$\zeta=$ 阻尼因子$(1/2Q)$

$Q=$ 极点 Q $(=1/2\zeta)$

式（C.1-1）的根如图 C.1-1 所示。

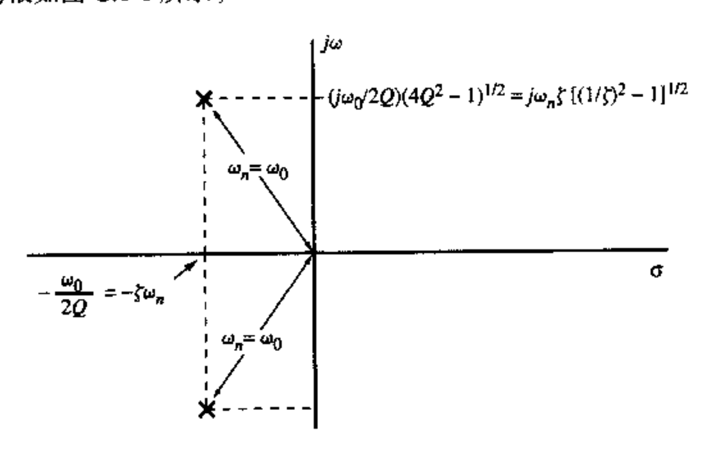


图 C.1-1　一般二阶系统的极点位置

频域响应的幅度可由式（C.1-1）求出：

$$|A(j\omega)|=\frac{A_0\omega_n^2}{\sqrt{(\omega_n^2-\omega^2)^2+4\zeta^2\omega_n^2\omega^2}} \tag{C.1-2}$$

然而，在式（C.1-2）中，可以用A_0对其幅度进行归一化，并且用ω_n对其角频率进行归一化得：

$$\frac{|A(j\omega/\omega_n)|}{A_0}=\frac{1}{\sqrt{[1-(\omega/\omega_n)^2]^2+4\zeta^2(\omega/\omega_n)^2}} \tag{C.1-3}$$

图 C.1-2 示出了用 dB 表示的式（C.1-3）随 $\log\omega/\omega_n$ 的变化情况，其中 ζ 或 $1/2Q$ 被用做参数。求式（C.1-3）对 ω/ω_n 的导数并令其为 0，得到 $|A(j\omega/\omega_0)/A_0|$ 的峰值为：

$$M_p=\frac{1}{2\zeta\sqrt{1-\zeta^2}} \tag{C.1-4}$$

其中 $\zeta<0.707$。

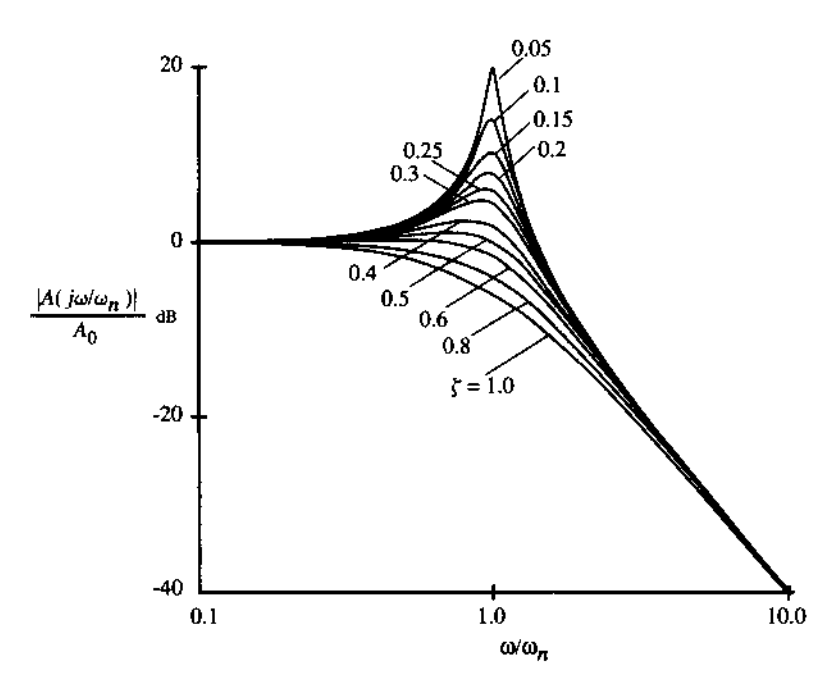


图 C.1-2　不同 ζ 值时的二阶低通系统的增益幅度响应

式（C.1-1）的二阶函数可以在很多实际系统的分析中看到。考虑图 C.1-3 所示的单环反馈方框图。闭环增益 $A(s)$ 可表示为：

$$A(s)=\frac{V_o(s)}{V_i(s)}=\frac{\alpha a\beta}{1+a\beta} \tag{C.1-5}$$

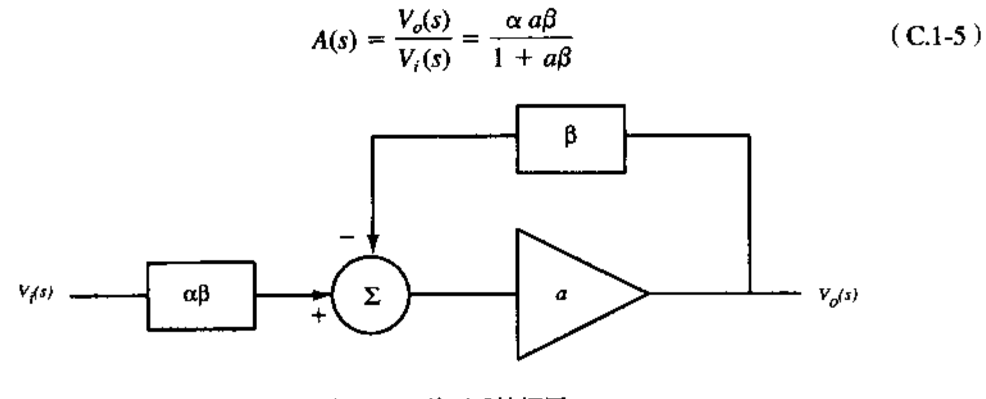


图 C.1-3　单环反馈框图

设α和β是实数，且 a 为放大器增益并表示为：

$$a(s) \cong \frac{a_0\omega_1\omega_2}{(s+\omega_1)(s+\omega_2)} \qquad (C.1\text{-}6)$$

其中，a_0是放大器的直流增益而ω_1和ω_2是负的实轴极点。将式（C.1-6）带入式（C.1-5）得：

$$A(s) = (\alpha\beta)\frac{a_0\omega_1\omega_2}{s^2+(\omega_1+\omega_2)s+\omega_1\omega_2(1+a_0\beta)} \qquad (C.1\text{-}7)$$

比较式（C.1-7）和式（C.1-1）得出下面等式：

$$A_0 = \alpha\, a_0\beta/(1+a_0\beta) \qquad (C.1\text{-}8)$$

$$\omega_n = \omega_0 = \sqrt{\omega_1\omega_2(1+a_0\beta)} \qquad (C.1\text{-}9)$$

$$2\zeta = 1/Q = \frac{\omega_1+\omega_2}{\sqrt{\omega_1\,\omega_2\,(1+a_0\beta)}} \qquad (C.1\text{-}10)$$

同样的方法也适用于二阶带通或高通系统，但是我们经常遇到的是低通，因此我们只详细地讨论低通情况。β和α可能和频率有关，这将使分析变得更为复杂。

C.2 时域中的二阶低通系统

遗憾的是，在频域中进行测量会花很多时间。因此，从时域性能判断其频域性能是很有意义的。下面进行分析推导。式（C.1-1）的单位阶跃响应为：

$$v_o(t) = A_0\left[1-\frac{1}{\sqrt{1-\zeta^2}}e^{-\zeta\omega_n t}\sin\left(\sqrt{1-\zeta^2}\,\omega_n t+\phi\right)\right] \qquad (C.2\text{-}1)$$

其中：

$$\phi = \tan^{-1}\left(\frac{\sqrt{1-\zeta^2}}{\zeta}\right) \qquad (C.2\text{-}2)$$

采用归一化幅度和角频率的阶跃响应见图C.2-1。对这幅图的说明要小心，因为它是归一化的，ω_1和ω_2 的几何均值都保持恒定（即ω_n保持恒定），即使ζ变化，时间常数也是恒定的。当补偿放大器时，这种情况是不会出现的，因为主极点和非主极点的几何均值不断增加直至获得期望的响应。

让我们先看一看欠阻尼的情况，即$\zeta<1$。对于欠阻尼情况，总存在过冲，见图 C.2-2，过冲可表式为：

$$过冲 = \frac{峰值 - 终值}{终值} = \exp\left(\frac{-\pi\zeta}{\sqrt{1-\zeta^2}}\right) \qquad (C.2\text{-}3)$$

在图 C.2-2 中，可求出发生过冲的时间 t_p 为：

$$t_p = \frac{\pi}{\omega_n\sqrt{1-\zeta^2}} \qquad (C.2\text{-}4)$$

因此，过冲的测量可用来计算ζ（或 $1/2Q$）。有了这些结果和 t_p的值，我们可以利用式（C.2-4）计算ω_n。因此$\zeta<1$ 的二阶低通系统频率响应可以由阶跃响应的 t_p和过冲的测量结果确定。

接下来考虑过阻尼情况，即$\zeta \le 1$。这种情况下没有过冲。单位阶跃响应可由式（C.2-1）化简

得到：

$$v_o(t) = A_0\left\{1 - \frac{1}{2\sqrt{\zeta^2-1}}\left[\frac{e^{-\omega_n t(\zeta-\sqrt{\zeta^2-1})}}{\zeta-\sqrt{\zeta^2-1}} - \frac{e^{-\omega_n t(\zeta+\sqrt{\zeta^2-1})}}{\zeta+\sqrt{\zeta^2-1}}\right]\right\} \tag{C.2-5}$$

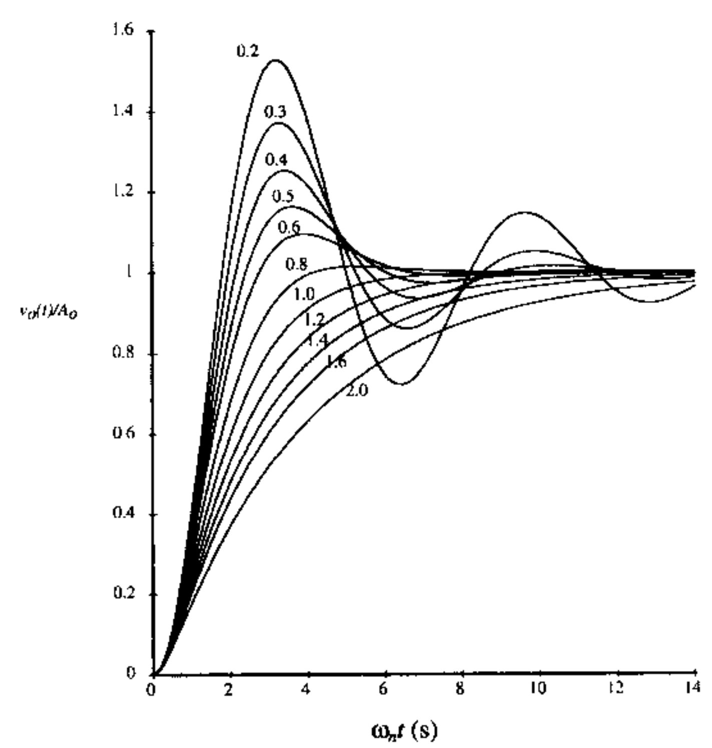


图 C.2-1　不同ζ下的二阶低通系统的阶跃响应

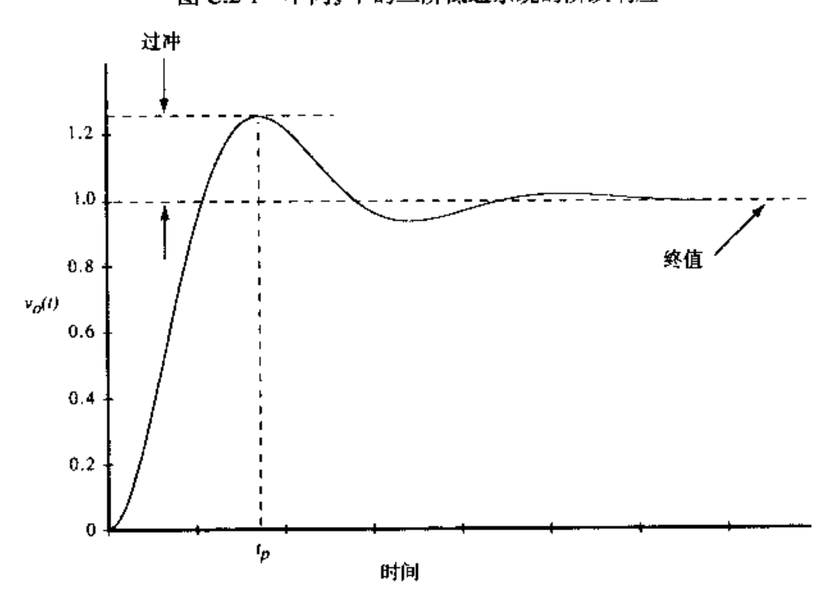


图 C.2-2　过冲和 t_p

很难测量这种响应的各个参数，因此很难确定ζ和ω_n。幸运的是，很少碰到$\zeta > 1$的情况。如果$\zeta > 1$，找出图 C.2-1 中与阶跃响应最一致的曲线就可获得最佳的结果。估计$v_o(t)$（在$\omega_n t = 4$时），并且选择ζ的值，直到$v_o(4/\omega_n)$在这一点上与实验数据一致，则可获得更高的准确性。

C.3 由ζ和ω_n确定相位裕量和交界频率

在前面的讨论中我们给出了如何从时域阶跃响应确定ζ和ω_n。本节将讨论如何从ζ和ω_n得出相位裕量ϕ_m和交界频率ω_c。图 C.3-1 说明了ϕ_m和ω_c的含意。

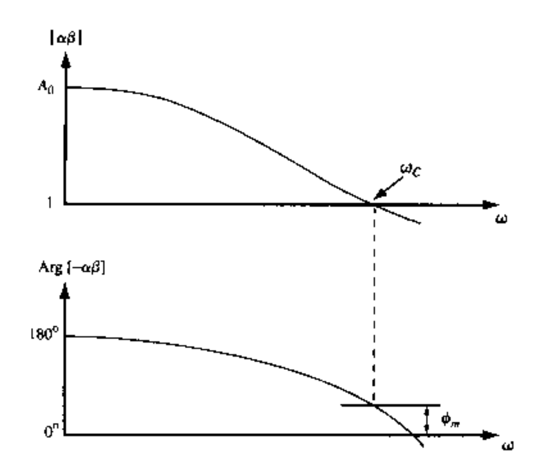


图 C.3-1 交界频率和相位裕量

为了得到期望的关系式和方便起见，假设β和α是实数。从式（C.1-5）可以得到：

$$a\beta = \frac{1/\alpha}{(1/A) - (1/\alpha)} \quad \text{(C.3-1)}$$

将式（C.1-1）代入式（C.3-1）给出环路增益为：

$$a\beta = \frac{A_0\omega_n^2/\alpha}{(s^2 + 2\zeta\omega_n s + \omega_n^2) - (A_0\,\omega_n^2/\alpha)} = \frac{A_0/\alpha}{\left(\dfrac{s}{\omega_n}\right)^2 + 2\zeta\left(\dfrac{s}{\omega_n}\right) + 1 - \left(\dfrac{A_0}{\alpha}\right)} \quad \text{(C.3-2)}$$

当$|a\beta|=1$时，则$\omega = \omega_c$，因此式（C.3-2）变为：

$$|a\beta| = \frac{A_0/\alpha}{\sqrt{[1 - A_0/\alpha - (\omega_c/\omega_n)^2]^2 + [2\zeta(\omega_c/\omega_n)]^2}} \quad \text{(C.3-3)}$$

因为$|a\beta| = 1$，我们可由式（C.3-3）解得ω_c为

$$\omega_c = \omega_n\left[\sqrt{[2\zeta^2 - (1 - A_0/\alpha)]^2 - (1 - 2A_0/\alpha)} - 2\zeta^2 + (1 - A_0/\alpha)\right]^{1/2} \quad \text{(C.3-4)}$$

知道了A_0、α、ω_n和ζ，我们可以计算二阶系统的截止频率。在运算放大器中，$\alpha = A_0$，因此式（C.3-4）变为：

$$\omega_c = \omega_n\left(\sqrt{4\zeta^4 + 1} - 2\zeta^2\right)^{1/2} \quad \text{(C.3-5)}$$

图 C.3-2 给出了这一有用函数的图形。

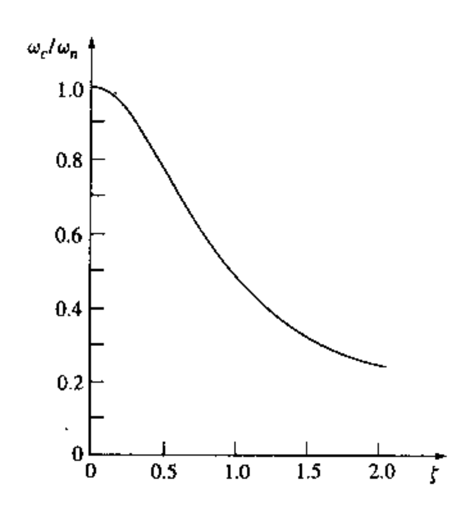


图 C.3-2 低通二阶系统中ω_c/ω_n与ζ的关系图

$a\beta$的相位可以由式（C.3-2）求出。但是我们必须加上±π以表示图 C.1-3 中加法器的符号，因此：

$$\phi_m = -\tan^{-1}\left(\frac{2\zeta\omega_c/\omega_n}{(1 - A_0/\alpha) - (\omega_c/\omega_n)^2}\right) \quad \text{(C.3-6)}$$

因为$A_0=\alpha$，我们可以将式（C.3-6）写为：

$$\phi_m = \tan^{-1}\left(\frac{2\zeta}{\omega_c/\omega_n}\right) \quad \text{(C.3-7)}$$

将式（C.3-5）代入式（C.3-7）得：

$$\phi_m = \tan^{-1}\left(\frac{2\zeta}{(\sqrt{4\zeta^4+1} - 2\zeta^2)^{1/2}}\right) \quad \text{(C.3-8)}$$

式（C.3-8）的等效形式为：

$$\phi_m = \cos^{-1}\left(\sqrt{4\zeta^4+1} - 2\zeta^2\right) \quad \text{(C.3-9)}$$

图 C.3-3 给出了式（C.3-8）、式（C.3-9）以及式（C.2-3）中的ϕ_m与阻尼系数ζ之间的函数关系图形。因此，由ζ确定的系统时域性能使设计者可以通过式（C.3-9）或图 C.3-3 来估计相位裕量的值。例如，如果过冲峰值为 10%，那么图 C.3-3 中的虚线表示对应的相位裕量大约为 58°。

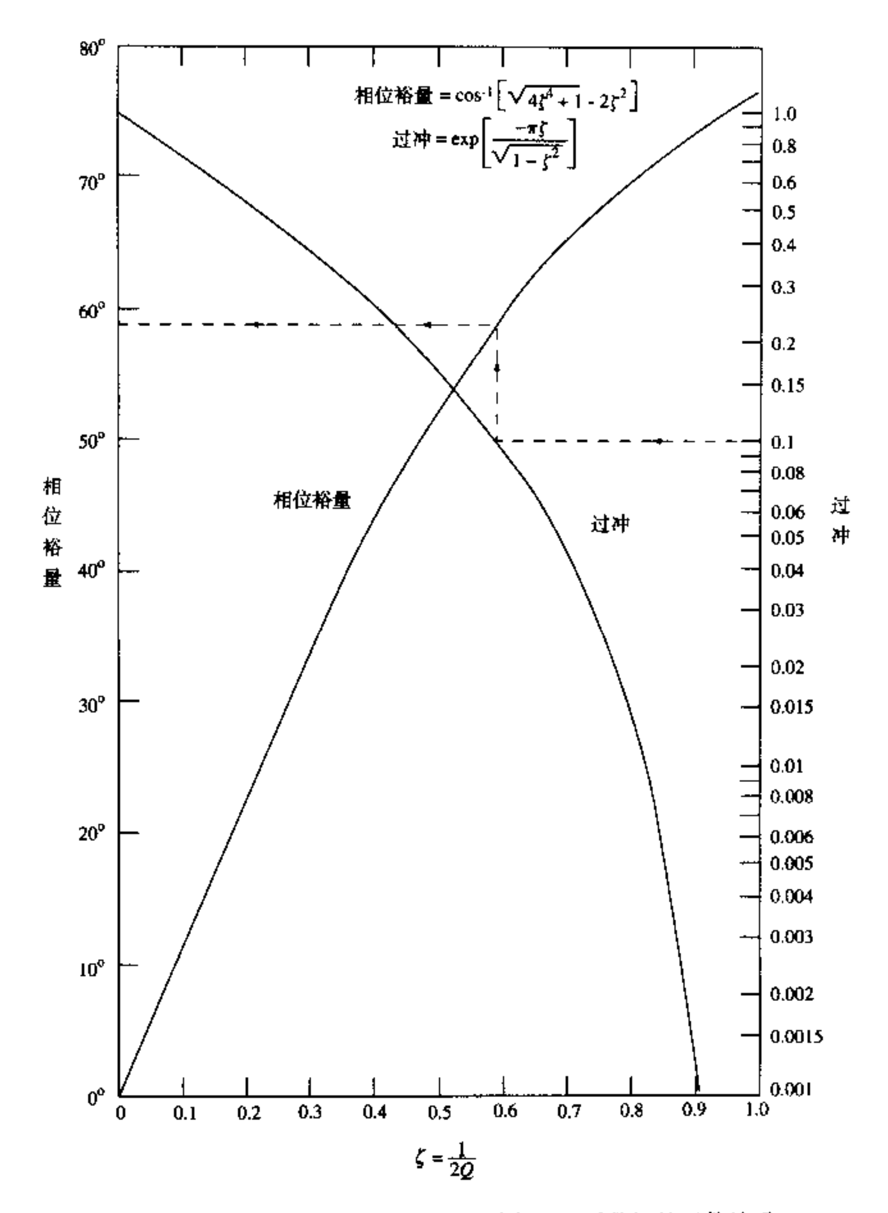


图 C.3-3 二阶系统中相位裕量和过冲与阻尼系数间的函数关系

索　　引